



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0133336
(43) 공개일자 2019년12월03일

(51) 국제특허분류(Int. Cl.)
G11C 7/06 (2006.01) G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 7/06 (2013.01)
G11C 7/12 (2013.01)
(21) 출원번호 10-2018-0058121
(22) 출원일자 2018년05월23일
심사청구일자 2018년05월23일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
윤홍일
서울특별시 서초구 태봉로2길 5, 107동 1302호 (우면동, 서초네이처힐5단지)
이충근
서울특별시 서대문구 연희로10가길 27(연희동)
(74) 대리인
특허법인우인

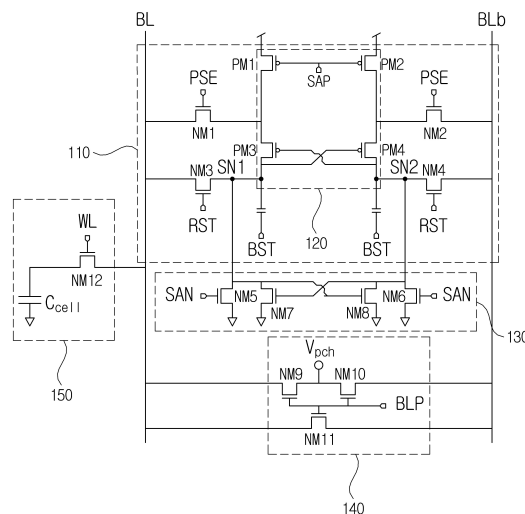
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 센스 앰프 회로 및 그에 따른 동작 방법

(57) 요약

본 발명의 실시예에 따른 센스 앰프 회로는 서로 상보적 관계를 가지는 제1 비트라인과 제2 비트라인을 포함하는 비트라인 쌍, 프리차지(pre-charge) 신호가 활성화되면, 초기 전압 레벨에 따른 제1 전압 레벨을 상기 비트라인 쌍으로 인가하는 프리차지 회로부 및 상기 비트라인 쌍 사이에 위치하며, 제1 센싱노드와 제2 센싱노드를 포함하고, 상기 비트라인 쌍과 상기 센싱노드들을 전기적으로 연결하거나 차단하며, 상기 제1 비트라인과 제2 비트라인 사이의 전위차를 증가시키는 프리센싱 회로부를 포함할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 10080722

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업(반도체)

연구과제명 클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구

기 여 율 1/1

주관기관 연세대학교

연구기간 2017.07.01 ~ 2021.12.31

명세서

청구범위

청구항 1

서로 상보적 관계를 가지는 제1 비트라인과 제2 비트라인을 포함하는 비트라인 쌍;

프리차지(pre-charge) 신호가 활성화되면, 초기 전압 레벨에 따른 제1 전압 레벨을 상기 비트라인 쌍으로 인가하는 프리차지 회로부; 및

상기 비트라인 쌍 사이에 위치하며, 제1 센싱노드와 제2 센싱노드를 포함하고, 상기 비트라인 쌍과 상기 센싱노드들을 전기적으로 연결하거나 차단하며, 상기 제1 비트라인과 제2 비트라인 사이의 전위차를 증가시키는 프리 센싱 회로부;를 포함하는 센스 앰프 회로.

청구항 2

제1 항에 있어서,

제1 인에이블(enable) 신호의 인가 여부에 따라 상기 제1 비트라인과 전기적으로 연결되거나 차단되어, 상기 제1 비트라인으로 셀 데이터를 입력하거나 출력하는 입출력부를 더 포함하는 것을 특징으로 하는 센스 앰프 회로.

청구항 3

제2항에 있어서, 상기 입출력부는,

상기 셀 데이터를 저장하고 있는 셀 커패시터; 및

상기 제1 인에이블 신호에 따라 상기 셀 데이터를 상기 제1 비트라인으로 입력하거나 출력할 수 있도록 상기 셀 커패시터와 상기 제1 비트라인을 연결하거나 차단하는 워드라인(wordline) 트랜지스터;를 더 포함하고,

상기 입출력부는 상기 제1 인에이블 신호에 따라 상기 워드라인 트랜지스터가 활성화되어, 상기 셀 커패시터와 상기 제1 전압 레벨이 인가된 상기 제1 비트라인을 연결시킴으로써 상기 제1 비트라인의 전위를 증폭시키는 것을 특징으로 하는 센스 앰프 회로.

청구항 4

제1항에 있어서,

상기 프리센싱 회로부로부터 상기 제1 비트라인과 제2 비트라인 사이의 전위차가 증폭된 이후, 제2 인에이블 신호에 따라 상기 센싱노드들의 전압 레벨을 풀다운(pull-down) 구동하는 풀다운 회로부를 더 포함하는 것을 특징으로 하는 센스 앰프 회로.

청구항 5

제4항에 있어서, 상기 프리센싱 회로부는,

상기 제1 센싱노드 및 제2 센싱노드의 전압 레벨을 증폭시키기 위해 풀업 구동하는 풀업 회로부;

리스토어(restore) 제어신호의 인가 여부에 따라 상기 센싱노드들과 상기 비트라인 쌍을 연결하거나 차단하는 리스토어 트랜지스터; 및

프리센싱 제어신호의 인가 여부에 따라 상기 비트라인 쌍과 상기 풀업 구동부를 연결하거나 차단하는 프리센싱 트랜지스터;

를 더 포함하는 것을 특징으로 하는 센스 앰프 회로.

청구항 6

제5항에 있어서,

상기 풀업 회로부는 복수개의 PMOS 트랜지스터들로 구성되고, 상기 복수개의 PMOS 트랜지스터들 중 일부는 래치형(latch type) PMOS 트랜지스터인 것을 특징으로 하는 센스 앰프 회로.

청구항 7

제6항에 있어서,

상기 제1 센싱노드 및 제2 센싱노드는, 상기 리스토어 트랜지스터, 상기 래치형 PMOS 트랜지스터 및 상기 풀다운 회로부를 연결하는 노드에 위치하는 것을 특징으로 하는 센스 앰프 회로.

청구항 8

제7항에 있어서,

상기 프리센싱 회로부는,

상기 제1 센싱노드 또는 제2 센싱노드와 상기 래치형 PMOS 트랜지스터와 연결되며, 인가되는 부스팅 제어신호에 따라 상기 제1 센싱노드 또는 상기 제2 센싱노드의 전위를 증폭시키는 부스팅 커패시터를 더 포함하는 것을 특징으로 하는 센스 앰프 회로.

청구항 9

제4항에 있어서, 상기 풀다운 회로부는 복수개의 NMOS 트랜지스터들로 구성되고, 상기 복수개의 NMOS 트랜지스터들 중 일부는 래치형(latch type) NMOS 트랜지스터인 것을 특징으로 하는 센스 앰프 회로.

청구항 10

센스 앰프 회로의 동작 방법에 있어서,

메모리 셀에 저장된 셀 데이터를 읽기 위하여 서로 상보적 관계를 가지는 제1 비트라인과 제2 비트라인을 초기 전압 레벨에 따른 제1 전압 레벨로 충전하는 단계;

상기 제1 전압 레벨로 충전된 상기 제1 비트라인에 셀 데이터를 입력하고, 상기 셀 데이터가 입력되어 상기 제1 비트라인의 전압 레벨이 제1 전압 레벨에서 제2 전압 레벨로 전환되는 단계;

상기 제1 비트라인과 제2 비트라인 사이에 위치하는 제1 센싱노드와 제2 센싱노드를 복수의 트랜지스터들을 이용하여 상기 비트라인 쌍과 전기적으로 연결하거나 차단함으로써 상기 제1 비트라인과 제2 비트라인 사이의 전위차를 1차로 증가시키는 단계;를 포함하는 센스 앰프 회로의 동작 방법.

청구항 11

제10항에 있어서,

상기 제1 비트라인 및 상기 제2 비트라인과 상기 제1 센싱노드 및 상기 제2 센싱노드를 전기적으로 연결함에 따라 상기 제1 센싱노드 및 상기 제2 센싱노드의 전위를 증폭시키는 단계를 더 포함하되,

상기 제1 비트라인은 상기 제2 전압 레벨로 전환된 상태에서 상기 제1 센싱노드와 연결되고, 상기 제2 비트라인은 제1 전압 레벨로 충전된 상태에서 상기 제2 센싱노드와 연결되는 것을 특징으로 하는 센스 앰프 회로의 동작 방법.

청구항 12

제10항에 있어서,

상기 제2 전압 레벨로 충전된 제1 비트라인과 상기 제1 전압 레벨로 충전된 제2 비트라인 사이의 전위차를 이용하여, 상기 제1 센싱노드 및 상기 제2 센싱노드의 전위를 증폭시키고, 상기 전위가 증폭된 제1 센싱노드 및 상기 제2 센싱노드에 따라 상기 제1 비트라인과 상기 제2 비트라인 사이의 전위차를 2차로 더욱 증가시키는 것을 특징으로 하는 센스 앰프 회로의 동작 방법.

청구항 13

제10항에 있어서,

상기 제1 비트라인과 제2 비트라인 사이의 전위차가 2차로 증가된 이후, 인에이블 신호에 따라 상기 제1 센싱노드 및 제2 센싱노드의 전압 레벨을 풀다운(pull-down) 구동하는 단계를 더 포함하는 것을 특징으로 하는 센스 앰프 회로의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 센스 앰프 회로에 관한 것이고, 특히 본 발명은 미세한 전기적 신호의 차이를 감지 및 증폭하는 센스 앰프 회로에 관한 것이다.

배경 기술

[0002] 센스 앰프 회로는 각종 반도체 장치에서 미세한 전기적 신호 차이를 감지하고 이를 증폭시키기 위한 회로이다.

[0003] DRAM(Dynamic Random Access Memory)과 같은 반도체 메모리 장치의 경우, 메모리 셀에 저장된 데이터에 의해 비트라인에 인가되는 전기적 신호의 차이를 감지하기 위해 센스 앰프 회로가 사용되며, 이러한 전기적 신호의 차이는 메모리 셀의 커패시터 용량과 비트라인의 커패시터 용량의 비율 및 전원전압의 크기에 의해 결정된다. DRAM에서 메모리 셀에 저장된 데이터에 의해 비트라인 쌍에 유기되는 전위차는 셀 커패시터 용량과 비트라인 커패시터 용량의 비율에 반비례하고, 전원전압 크기에 비례한다. 낮은 동작 전압 환경에서 감소되는 비트라인 전위차에 의해 센스 앰프 장치의 읽기 동작 속도가 저하되고, 오류가 발생할 확률 또한 높아진다.

[0004] 최근에는, 반도체 메모리 장치의 저전압화 추세에 따라 센스 앰프 회로의 동작 속도 및 안정성이 계속 떨어지고 있다. 특히, 낮은 전원전압 조건에서 비트라인에 인가되는 전압이 센스 앰프 회로 내의 트랜지스터들의 문턱 전압보다 더 낮아지는 경우에는 센싱(sensing) 동작이 정상적으로 수행되지 않는 문제가 발생할 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 공개 특허 제10-2016-0093456호 (공개)

발명의 내용

해결하려는 과제

[0006] 상기 기술한 바와 같은 종래의 문제점을 해결하기 위해 DRAM에서 전원 전압의 저하에 따른 읽기 동작 속도의 저하와 읽기 동작 오류의 증가를 보완하기 위해 PMOS 프리앰프를 이용하여 DRAM 셀에 저장되어 있던 데이터에 의해 비트라인 쌍에 유기되는 작은 크기의 비트라인 전위차를 증폭하고, 증폭된 전위차를 센스 앰프 장치의 입력으로 사용하여 읽기 동작을 수행할 수 있도록 하는 센스 앰프 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위한 센스 앰프 장치는, 서로 상보적 관계를 가지는 제1 비트라인과 제2 비트라인을 포함하는 비트라인 쌍, 프리차지(pre-charge) 신호가 활성화되면, 초기 전압 레벨에 따른 제1 전압 레벨을 상기 비트라인 쌍으로 인가하는 프리차지 회로부 및 상기 비트라인 쌍 사이에 위치하며, 제1 센싱노드와 제2 센싱노드를 포함하고, 상기 비트라인 쌍과 상기 센싱노드들을 전기적으로 연결하거나 차단하며, 상기 제1 비트라인과 제2 비트라인 사이의 전위차를 증가시키는 프리센싱 회로부를 포함할 수 있다.

[0008] 또한, 제1 인에이블(enable) 신호의 인가 여부에 따라 상기 제1 비트라인과 전기적으로 연결되거나 차단되어, 상기 제1 비트라인으로 셀 데이터를 입력하거나 출력하는 입출력부를 더 포함할 수 있다.

[0009] 또한, 상기 입출력부는, 상기 셀 데이터를 저장하고 있는 셀 커패시터 및 상기 제1 인에이블 신호에 따라 상기 셀 데이터를 상기 제1 비트라인으로 입력하거나 출력할 수 있도록 상기 셀 커패시터와 상기 제1 비트라인을 연결하거나 차단하는 워드라인(wordline) 트랜지스터를 더 포함할 수 있다.

[0010] 또한, 상기 입출력부는 상기 제1 인에이블 신호에 따라 상기 워드라인 트랜지스터가 활성화되어, 상기 셀 커패

시터와 상기 제1 전압 레벨이 인가된 상기 제1 비트라인을 연결시킴으로써 상기 제1 비트라인의 전위를 증폭시킬 수 있다.

- [0011] 또한, 상기 프리센싱 회로로부터 상기 제1 비트라인과 제2 비트라인 사이의 전위차가 증폭된 이후, 제2 인에이블 신호에 따라 상기 센싱노드들의 전압 레벨을 풀다운(pull-down) 구동하는 풀다운 회로부를 더 포함할 수 있다.
- [0012] 또한, 상기 프리센싱 회로부는, 상기 제1 센싱노드 및 제2 센싱노드의 전압 레벨을 증폭시키기 위해 풀업 구동하는 풀업 회로부, 리스토어(restore) 제어신호의 인가 여부에 따라 상기 센싱노드들과 상기 비트라인 쌍을 연결하거나 차단하는 리스토어 트랜지스터 및 프리센싱 제어신호의 인가 여부에 따라 상기 비트라인 쌍과 상기 풀업 구동부를 연결하거나 차단하는 프리센싱 트랜지스터를 더 포함할 수 있다.
- [0013] 또한, 상기 풀업 회로부는 복수개의 PMOS 트랜지스터들로 구성되고, 상기 복수개의 PMOS 트랜지스터들 중 일부는 래치형(latch type) PMOS 트랜지스터일 수 있다.
- [0014] 또한, 상기 제1 센싱노드 및 제2 센싱노드는, 상기 리스토어 트랜지스터, 상기 래치형 PMOS 트랜지스터 및 상기 풀다운 회로부를 연결하는 노드에 위치할 수 있다.
- [0015] 또한, 상기 프리센싱 회로부는, 상기 제1 센싱노드 또는 제2 센싱노드와 상기 래치형 PMOS 트랜지스터와 연결되며, 인가되는 부스팅 제어신호에 따라 상기 제1 센싱노드 또는 상기 제1 센싱노드의 전위를 증폭시키는 부스팅 커패시터를 더 포함할 수 있다.
- [0016] 또한, 상기 풀다운 회로부는 복수개의 NMOS 트랜지스터들로 구성되고, 상기 복수개의 NMOS 트랜지스터들 중 일부는 래치형(latch type) NMOS 트랜지스터일 수 있다.
- [0017] 상기 목적을 달성하기 위한 본 발명의 또 다른 일 실시예에 따른 센스 앰프 회로의 동작 방법은, 메모리 셀에 저장된 셀 데이터를 읽기 위하여 서로 상보적 관계를 가지는 제1 비트라인과 제2 비트라인을 초기 전압 레벨에 따른 제1 전압 레벨로 충전하는 단계, 상기 제1 전압 레벨로 충전된 상기 제1 비트라인에 셀 데이터를 입력하고, 상기 셀 데이터가 입력되어 상기 제1 비트라인의 전압 레벨이 제1 전압 레벨에서 제2 전압 레벨로 전환되는 단계, 상기 제1 비트라인과 제2 비트라인 사이에 위치하는 제1 센싱노드와 제2 센싱노드를 복수의 트랜지스터들을 이용하여 상기 비트라인 쌍과 전기적으로 연결하거나 차단함으로써 상기 제1 비트라인과 제2 비트라인 사이의 전위차를 1차로 증가시키는 단계를 포함할 수 있다.
- [0018] 또한, 상기 제1 비트라인 및 상기 제2 비트라인과 상기 제1 센싱노드 및 상기 제2 센싱노드를 전기적으로 연결함에 따라 상기 제1 센싱노드 및 상기 제2 센싱노드의 전위를 증폭시키는 단계를 더 포함할 수 있고, 상기 제1 비트라인은 상기 제2 전압 레벨로 전환된 상태에서 상기 제1 센싱노드와 연결되고, 상기 제2 비트라인은 제1 전압 레벨로 충전된 상태에서 상기 제2 센싱노드와 연결될 수 있다.
- [0019] 또한, 상기 제2 전압 레벨로 충전된 제1 비트라인과 상기 제1 전압 레벨로 충전된 제2 비트라인 사이의 전위차를 이용하여, 상기 제1 센싱노드 및 상기 제2 센싱노드의 전위를 증폭시키고, 상기 전위가 증폭된 제1 센싱노드 및 상기 제2 센싱노드에 따라 상기 제1 비트라인과 상기 제2 비트라인 사이의 전위차를 2차로 더욱 증가시킬 수 있다.
- [0020] 또한, 상기 제1 비트라인과 제2 비트라인 사이의 전위차가 2차로 증가된 이후, 인에이블 신호에 따라 상기 제1 센싱노드 및 제2 센싱노드의 전압 레벨을 풀다운(pull-down) 및 풀업(pull-up) 구동하는 단계를 더 포함할 수 있다.

발명의 효과

- [0021] 본 발명의 센스 앰프 회로는 종래의 센스 앰프 장치에 비해 프리 앰프 동작 수행에 따른 읽기 동작 속도의 향상과 신뢰성을 향상시킬 수 있는 장점이 있고, 종래에는 프리-센싱(Pre-sensing) 동작의 예비 동작으로 부스팅(boosting) 동작이 필요했지만, 본 발명의 센스 앰프 회로는 해당 과정이 프리-차지(pre-charge) 동작과 병렬로 수행할 수 있도록 하여 읽기 동작 속도를 향상시킬 수 있는 효과가 있다.
- [0022] 또한, 본 발명의 센스 앰프 회로는 프리-앰프 회로 구성을 위한 별도의 트랜지스터가 필요하지 않아 보다 작은 면적의 회로로 구현할 수 있다.

도면의 간단한 설명

- [0023] 도1은 본 발명의 일 실시예에 따른 센스 앰프 회로의 구성도이다.
- 도2는 본 발명의 일 실시예에 따른 센스 앰프 회로의 동작 순서도이다.
- 도3은 본 발명의 일 실시예에 따른 센스 앰프 회로로 인가되는 제어신호들의 타이밍도이다.
- 도4는 본 발명의 일 실시예에 따른 센스 앰프 회로의 동작을 시뮬레이션한 결과를 나타낸 도면이다.
- 도5는 본 발명의 또 다른 일 실시예에 따른 센스 앰프 회로의 동작을 시뮬레이션한 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- [0025] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될
- [0026] 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계 없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0027] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록"등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0028] 이하, 본 발명의 일 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0029] 이하에서는 본 발명의 실시예에 따른 센스 앰프 회로의 구성을 관련된 도면을 참조하여 상세히 설명한다. 본 발명의 센스 앰프 회로는 낮은 전원전압을 가지는 DRAM에 저장된 셀 데이터를 읽어내는 회로이다. DRAM은 셀 커패시터에 전하를 저장하고, 저장된 전하량을 센스 앰프 장치를 통해 데이터를 읽어낸다.
- [0030] 일반적인 센스 앰프 회로에서 프리 차지 동작에 의해 비트 라인 쌍에 유기되는 전압은 전원 전압의 절반이 되고, 셀에 저장되는 전압의 크기는 '0' 또는 VDD 값을 가지기 때문에 전원 전압의 크기 감소는 비트 라인 쌍에 유기되는 전위차의 감소를 초래한다. 또한 다수의 데이터 셀이 하나의 비트 라인에 연결되는 DRAM의 특성상 집적도가 높아질수록 비트 라인에 형성되는 커패시턴스의 크기가 증가하기 때문에 비트 라인 쌍에 유기되는 전압은 더욱 감소하게 된다. 이는 풀업(pull-up)/풀다운(pull-down) 래치(latch)를 동작시키기 위한 전위차를 얻는데 소요되는 시간을 증가시킬 뿐만 아니라 노이즈 성분 및 센스 앰프 장치를 구성하는 트랜지스터의 불균형 성분에 의해 읽기 동작이 실패할 확률을 증가시킨다.
- [0031] 이러한 문제를 해결하기 위해 비트-라인 쌍에 유기되는 전위차를 증폭시키는 프리 앰프 장치를 포함하는 센스 앰프 장치가 제안되었지만 프리 앰프 장치를 구성하는 트랜지스터의 추가로 면적이 증가하는 단점이 발생한다. 저 전력 어플리케이션의 증가로 전원 전압의 크기가 점점 낮아지고 있는 현 상황에서 센스 앰프 장치의 읽기 동작 속도를 향상 시키고, 읽기 동작 신뢰성 보장을 위해 프리 앰프 장치를 이용하기 위해서는 그로 인한 면적의 증가를 최소화 할 수 있는 방법이 필요하다.
- [0032] 상기와 같은 문제를 해결하기 위한 본 발명의 센스 앰프 장치는 셀 커패시터에 저장된 전하량에 따라 셀이 연결된 비트라인 전압의 변화를 상보적인 비트라인 전압과 비교하여 그 차이를 감지하고 증폭하는 역할을 수행한다. 비트라인 쌍에 유기되는 전압의 변화는 셀에 저장된 전압의 크기와 프리 차지 동작에 의해 비트라인에 유기된 전압의 크기의 차이에 비례하고, 셀 커패시턴스(capacitance)와 비트라인 커패시턴스 비율에 반비례한다.
- [0033] 도1은 본 발명의 일 실시예에 따른 센스 앰프 회로의 구성도이다. 도1을 참조하면, 비트라인 쌍(BL, BLb), 프리 센싱 회로부(110), 풀업 회로부(120), 풀다운 회로부(130), 프리 차지 회로부(140) 및 입출력부(150)를 포함할 수 있다. 여기서, 상기 풀업 회로부(120)는 프리 센싱 회로부(110) 내에 위치하는 일부 영역에 따른 회로로, 프리 센싱 회로부(110)가 풀업 회로부(120)를 포함할 수 있다.
- [0034] 먼저, 본 발명의 실시예에 따른 비트라인 쌍(BL, BLb)은 제1 비트라인(BL)과 상기 제1 비트라인과 상보적인 관

계에 따른 제2 비트라인(BLb)을 포함할 수 있다.

- [0035] 또한, 풀업 회로부(120)는 비트라인 쌍(BL, BLb)의 전위차를 감지하는 센싱 노드(SN1, SN2)들과 복수개의 PMOS 트랜지스터(PM1, PM2, PM3, PM4) 및 부스팅 제어 신호를 인가받는 부스팅 커패시터(C1, C2)를 포함할 수 있다.
- [0036] 그리고, 프리 센싱 회로부(110)는 비트라인(BL, BLb)과 제3, 제4 PMOS 트랜지스터(PM3, PM4)를 연결하기 위한 스위칭 역할을 하는 제1, 제2 NMOS 트랜지스터(NM1, NM2)를 포함하고, 비트라인(BL, BLb)과 센싱 노드(SN1, SN2)를 연결하기 위해 스위칭 역할을 하는 제3, 제4 NMOS 트랜지스터(NM3, NM4)를 포함할 수 있다. 또한, 제1, 제2 PMOS 트랜지스터(PM1, PM2)는 SAP 제어신호에 따라 스위칭되고, 제3, 제4 PMOS 트랜지스터(PM3, PM4)는 래치되어 센싱 노드의 전압을 게이트로 입력받아 스위칭 될 수 있다.
- [0037] 여기서, 본 발명의 프리 센싱 회로부(110)는 제1 비트라인과 제2 비트라인 사이의 전위차를 이용하여 비트라인 쌍에 유기된 전위차 대비 상기 센싱 노드 사이에 증가된 전위차를 생성할 수 있다. 이와 관련된 상세한 설명은 후술하는 동작 방법에서 보충하여 설명하도록 한다.
- [0038] 여기서, 프리 센싱 회로부(110)의 제3, 제4 PMOS 트랜지스터(PM3, PM4)는 제1 센싱노드(SN1) 및 제2 센싱노드(SN2)의 전압 레벨을 증폭시키기 위해 풀업 구동하는 풀업 회로부(120)에 해당한다. 즉, 이에 따른 일 실시예에 따른 풀업 회로부(120)는 제1, 제2, 제3, 제4 PMOS 트랜지스터(PM1, PM2, PM3, PM4) 및 제1, 제2 센싱 노드(SN1, SN2)를 포함할 수 있다.
- [0039] 또, 본 발명의 풀다운 회로부(130)는 센싱 노드(SN1, SN2)와 그라운드 전압을 연결하는 제5, 제6 NMOS 트랜지스터(NM5, NM6)를 포함하며, 상기 센싱 노드와 제5, 제6 NMOS 트랜지스터(NM5, NM6) 사이의 전압을 게이트 입력받아 또 다른 그라운드 전압과 연결하는 래치(latch) 형태의 제7, 제8 NMOS 트랜지스터(NM7, NM8)를 포함한다.
- [0040] 본 발명의 프리 차지 회로부(140)는 비트라인 쌍(BL, BLb)에 프리 차지 전압(초기 전압, 제1 전압 레벨)을 인가하기 위해 초기 전압 공급원과 비트라인 쌍(BL, BLb)을 연결하기 위한 제9, 제10, 제11 NMOS 트랜지스터(NM9, NM10, NM11)를 포함한다.
- [0041] 마지막으로, 본 발명의 입출력부(150)는 메모리 셀(cell)에 저장되어 있는 데이터를 제1 비트라인(BL)에 입력하거나 프리 센싱 회로부(110)로부터 센싱된 데이터를 제1 비트라인(BL)으로부터 전달받아 메모리 셀로 출력할 수 있도록 스위칭하는 제12 NMOS 트랜지스터(NM12)를 포함한다.
- [0042] 도2는 본 발명의 센스 앰프 회로의 동작 순서도이고, 도3은 본 발명의 센스 앰프 회로로 인가되는 제어신호들의 타이밍도이며, 도4는 본 발명의 센스 앰프 회로의 동작을 시뮬레이션한 결과를 나타낸 도면이다. 이하, 도2 내지 도4를 참조하여 본 발명에 의한 센스 앰프 회로의 데이터 센싱 동작을 상세히 살펴보기로 한다. 셀 데이터는 논리 '하이(HIGH)' 레벨, 즉, '1'인 것으로 가정한다.
- [0043] 먼저, 도3의 T1 시점(S210)에서 프리 차지 단계에서 제어신호(BLP) '하이'로 활성화되어 NMOS 트랜지스터(NM9, NM10, NM11)가 제1 전압 레벨과 연결되고, 비트라인 쌍(BL, BLb)에 프리 차지 전압(V_{pch} , 예를 들어 $VDD/2$)으로 동일하게 프리 차지한다. 여기서, 상기 제1 전압 레벨은 읽기 동작 수행을 위해 상기 프리차지 회로부의 동작을 통해 유기되는 상기 비트라인 쌍의 초기 전압 레벨이며, 이는 전원 전압의 1/2 수준이다.
- [0044] 또한, 프리센싱 신호(PSE)도 활성화 상태이기 때문에 제3, 제4 PMOS 트랜지스터의 소스측 노드가 제1 전압 레벨(프리 차지 전압)로 비트라인과 동일하게 프리차지 된다. T1 시점에서 부스팅 신호(BST)가 '하이' 전압으로 활성화된 상태이지만 제어신호(SAN)도 활성화 상태로 제5, 제6 NMOS 트랜지스터(NM5, NM6)가 연결되어 센싱노드(SN1, SN2)는 그라운드 전압으로 연결된다. 제7, 제8 NMOS 트랜지스터(NM7, NM8)는 센싱노드(SN1, SN2)와 래치 형태로 연결되어 있는 형태이기 때문에 센싱노드가 '0' 값을 가지게 됨에 따라 비활성화 상태가 된다.
- [0045] 그리고, T2 시점(S210)에서 제어신호(BLP)를 '로우(LOW)'로 천이하여, NMOS 트랜지스터(NM9, NM10, NM11)가 차단되도록 하여, 비트라인 쌍(BL, BLb)으로의 프리 차지 전압(V_{pch})의 공급을 중단한다.
- [0046] 그 후에, T3 시점(S210)에서 프리센싱 신호(PSE)가 '하이'에서 '로우'로 천이하여, 제1 및 제2 NMOS 트랜지스터(NM1, NM2)에 의해 비트라인 쌍(BL, BLb)과 풀업 회로부(120)를 전기적으로 분리된다.
- [0047] T4 시점(S220)에서 워드라인 제어 신호(WL)를 '하이'로 활성화하여, 제12 NMOS 트랜지스터(NM12)가 연결되어 메모리 셀의 데이터가 제1 비트라인(BL)으로 인가된다. 이에 따라 제1 비트라인(BL)의 전압은 $V_{pch}+dV$ 가 되고, 제2 비트라인(BLb)의 전압은 V_{pch} 가 되어, 도4에 도시된 바와 같이 제1 비트라인(BL)과 제2 비트라인(BLb) 간의 소정의 전위차(ΔVBL)가 발생하게 된다. 예컨대, 셀 커패시터와 상기 제1 전압 레벨이 인가된 상기 제1 비트라

인을 연결시킴으로써 셀 커패시터에 저장된 데이터가 1일 경우 상기 제1 비트라인의 전위를 높일 수 있고, 저장된 데이터가 0일 경우 상기 제1 비트라인의 전위를 낮출 수 있다.

[0048] T5 시점(S230)에 따른 프리 센싱 단계에서, 제어 신호(SAN)가 '로우'로 천이하여, 제5, 제6, 제7, 제8 NMOS 트랜지스터(NM5, NM6, NM7, NM8)가 센싱 노드(SN1, SN2)로 인가되는 그라운드 전압의 공급을 차단하고, 부스팅 신호(BST)도 '로우'로 천이함에 따라 센싱 노드(SN1, SN2)의 전위가 '0' 이하로 낮아지게 된다. 그리고, 프리센싱 신호(PSE)가 다시 '하이'로 활성화되어, 제1, 제2 NMOS 트랜지스터(NM1, NM2)가 연결됨에 따라 센싱 노드(SN1, SN2)와 비트라인(BL, BLb)의 전위차에 의해 비트라인(BL, BLb)으로부터 센싱 노드(SN1, SN2)로 전하의 이동이 발생하고, 상대적으로 낮은 커패시턴스 값을 가지는 센싱 노드(SN1, SN2)의 전압이 급격하게 상승하게 된다.

[0049] 셀에 저장된 데이터가 1일때, 제1비트라인(BL)의 전압은 제2 비트라인(BLb)에 비해 상대적으로 높은 값을 가지기 때문에 $V_{BLb}-V_{SN1}$ 보다 $V_{BL}-V_{SN2}$ 가 더 큰 값을 가지게 되므로 제1 센싱노드(SN1)와 제1 비트라인(BL) 사이에 위치한 PMOS 트랜지스터(PM3)가 상대적으로 더 큰 전류를 흘리게 되어, 제1 센싱노드(SN1)의 전압 변화가 제2 센싱 노드(SN2)에 비해 더 급격하게 일어난다.. 이렇게, 센싱노드(SN1, SN2)의 전압이 상승함에 따라 풀다운 동작 단계(T5, S240)에서는 풀다운 회로부(130)의 제7, 제8 NMOS 트랜지스터 (MN7, MN8)이 활성화 되고, 래치형태의 구성에 의해 센싱 노드의 전압 차이를 증폭시킨다.

[0050] 그 후, T6 시점(S250)에서 프리센싱 신호(PSE)가 '로우'로 천이하여, 제1, 제2 NMOS트랜지스터(NM1, NM2)가 다시 풀업 회로부(120)와 비트라인 쌍(BL, BLb)을 분리시키고, 제어신호(SAP)가 '로우'로 활성화되어, PMOS 트랜지스터(PM1, PM2, PM3, PM4)를 동작시키면, 센싱 노드(SN1, SN2)의 전압은 각각 1과 0으로 증폭하게 된다.

[0051] 다음으로 T7 시점(S260)에서 리스토어 신호(RST)가 '하이'로 활성화되어, 제3 NMOS 트랜지스터(NM3)가 전압이 증폭된 제1 센싱 노드(SN1)와 제1 비트라인(BL)을 연결시킴으로써, 제1 비트라인(BL)의 전압도 점차 상승하게 된다.

[0052] 반면에, T7 시점에서 리스토어 신호(RST)에 의해 제4 NMOS 트랜지스터(NM4)가 제1 센싱 노드(SN1)에 비해 상대적으로 낮은 전압을 가지는 제2 센싱 노드(SN2)와 제2 비트라인(BLb)을 연결시킴으로써, 제2 비트라인(BLb)의 전압은 점차 하강하게 된다.

[0053] 이렇게, 풀업 회로부(120)의 제3, 제4 PMOS 트랜지스터(PM3, PM4)는 T5 시점(S230)에서 프리 센싱 래치의 역할을 수행하게 되며, 이로 인해 센싱 노드의 전위는 한 쪽만이 상승하는 결과를 보이게 된다. 센싱 노드(SN1, SN2)의 전위차는 풀다운 회로부(130)에 의해 강화되고, 이어 T7 시점(S250)에서 제3, 제4 PMOS 트랜지스터(PM3, PM4)는 풀업래치 역할을 수행하게 된다. 이에 따라, 전위차가 증폭된 센싱 노드(SN1, SN2)에 의해 비트라인 쌍(BL, BLb)의 전위차를 크게 증폭시킬 수 있게 된다.

[0054] 상기와 같이, 비트라인 쌍의 전위차가 증폭되어 읽기 동작을 수행한 이후 리스토어 신호(RST)가 인가됨에 따라 비트라인에 읽기 결과를 전달하는 리스토어 동작을 수행할 수 있다.

[0055] 읽기 동작이 모두 완료되면, T8 시점에서(S260) 다시 리스토어 신호(RST)를 '로우'로 천이하여 비트라인 쌍(BL, BLb)과 풀업 회로부(120)를 분리시킨다.

[0056] 그리고, T9 시점에서(S260) 제어신호(SAP)를 비활성화시켜, 다시 PMOS 트랜지스터(PM1, PM2, PM3, PM4)를 차단시키고, 제어신호(SAN)를 활성화시켜, 제5, 제6, 제7, 제8 NMOS 트랜지스터(NM5, NM6, NM7, NM8)가 연결됨에 따라 그라운드 신호(GND)가 센싱 노드(SN1, SN2)로 인가된다. 그리고, 부스팅 신호(BST)가 '로우'에서 '하이'로 천이된다.

[0057] T10 시점(S260)에서는 워드라인 신호(WL)를 '로우'로 천이하여, 메모리 셀과 제1 비트라인(BL)을 분리시키고, 마지막으로 T11 시점에서는 다시 제어신호(BLP)를 '하이'로 활성화시켜, 제9, 제10, 제11 NMOS 트랜지스터(NM9, NM10, NM11)가 비트라인 쌍(BL, BLb)에 프리차지 신호(Vpch)가 인가될 수 있도록 비트라인 쌍(BL, BLb)과 제1 전압레벨을 연결시키고, 프리센싱 신호(PSE)를 '하이'로 활성화시켜, 비트라인 쌍(BL, BLb)과 풀업 회로부(120)를 연결한다.

[0058] 도5는 본 발명의 또 다른 일 실시예에 따른 읽기 '0' 동작에서의 센스 앰프 장치의 동작과정을 도시한 도면이며, 일 실시예에 따른 읽기 '1' 동작에서의 센스 앰프 장치의 동작과정을 도시한 도4와 동일하게 동작된다.

[0059] 상술한 바와 같은 본 발명의 센스 앰프 장치는 풀다운 동작 및 풀업 동작을 통해 비트라인 쌍의 전위차를 센싱

노드에 증폭하여 전달함으로써 낮은 전원 전압에 따라 감소하는 비트라인 쌍의 전위차에 의해 발생하는 읽기 동작 속도의 저하와 신뢰성 저하를 보상할 수 있다. 그리고, 풀업 구동부(120)의 회로를 프리 센싱 동작에 이용할 수 있도록 구성하여 기존 방식 대비 회로 면적 증가를 최소화하였다.

[0060] 이상에서 설명한 본 발명의 실시예를 구성하는 모든 구성요소들이 하나로 결합하거나 결합하여 동작하는 것으로 기재되어 있다고 해서, 본 발명이 반드시 이러한 실시예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다.

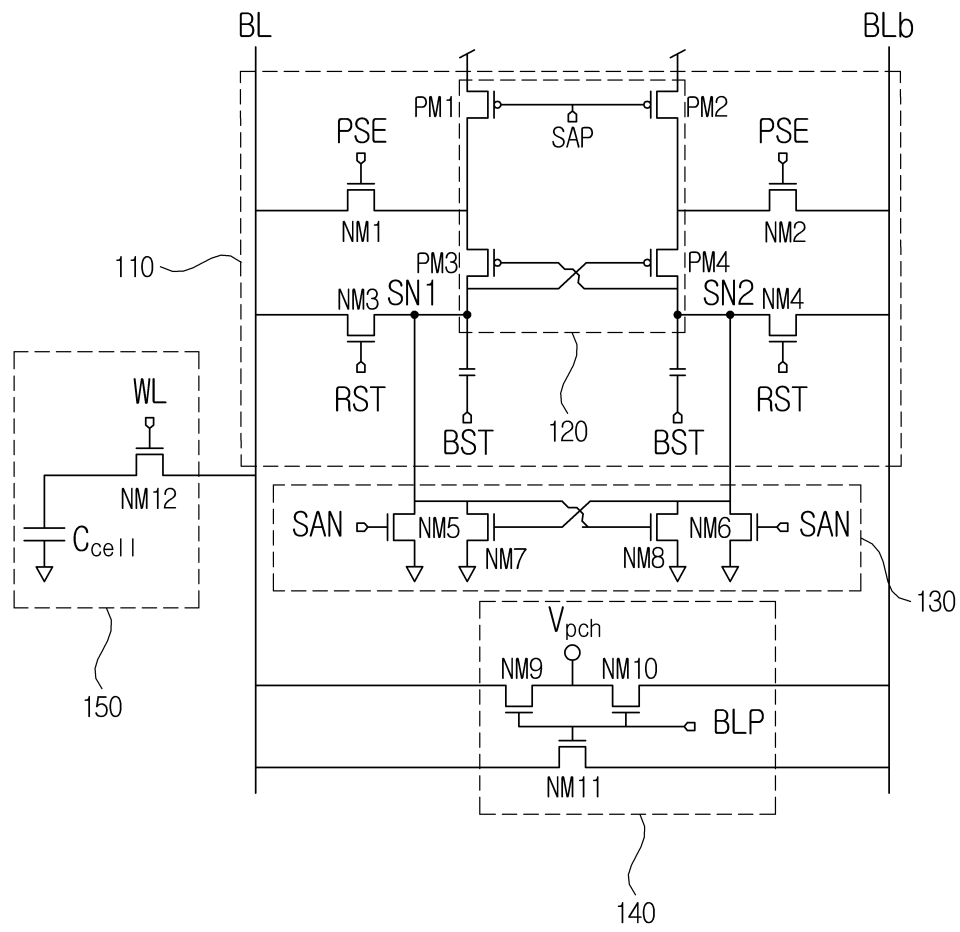
[0061] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 다양한 수정, 변경 및 치환이 가능할 것이다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

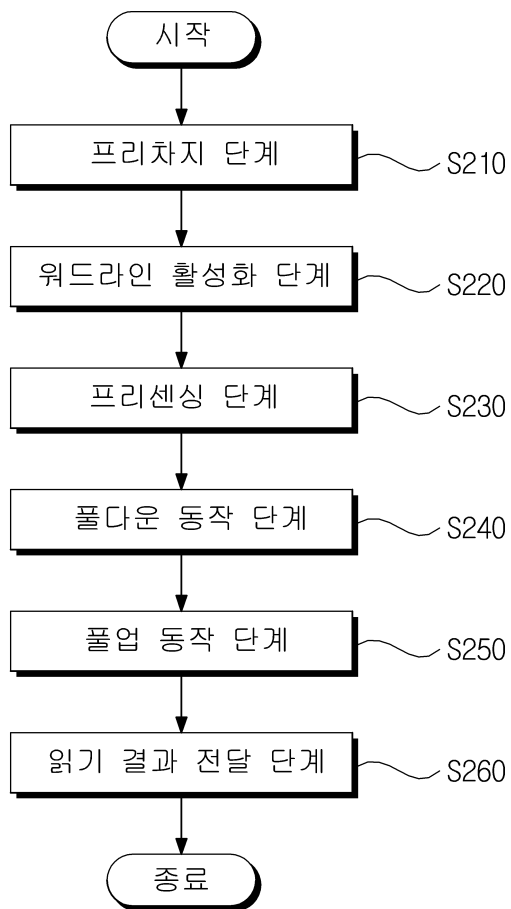
[0062] BL, BLb: 비트라인 쌍
110: 프리 센싱 회로부
120: 풀업 회로부
130: 풀다운 회로부
140: 프리 차지 회로부
150: 입출력부

도면

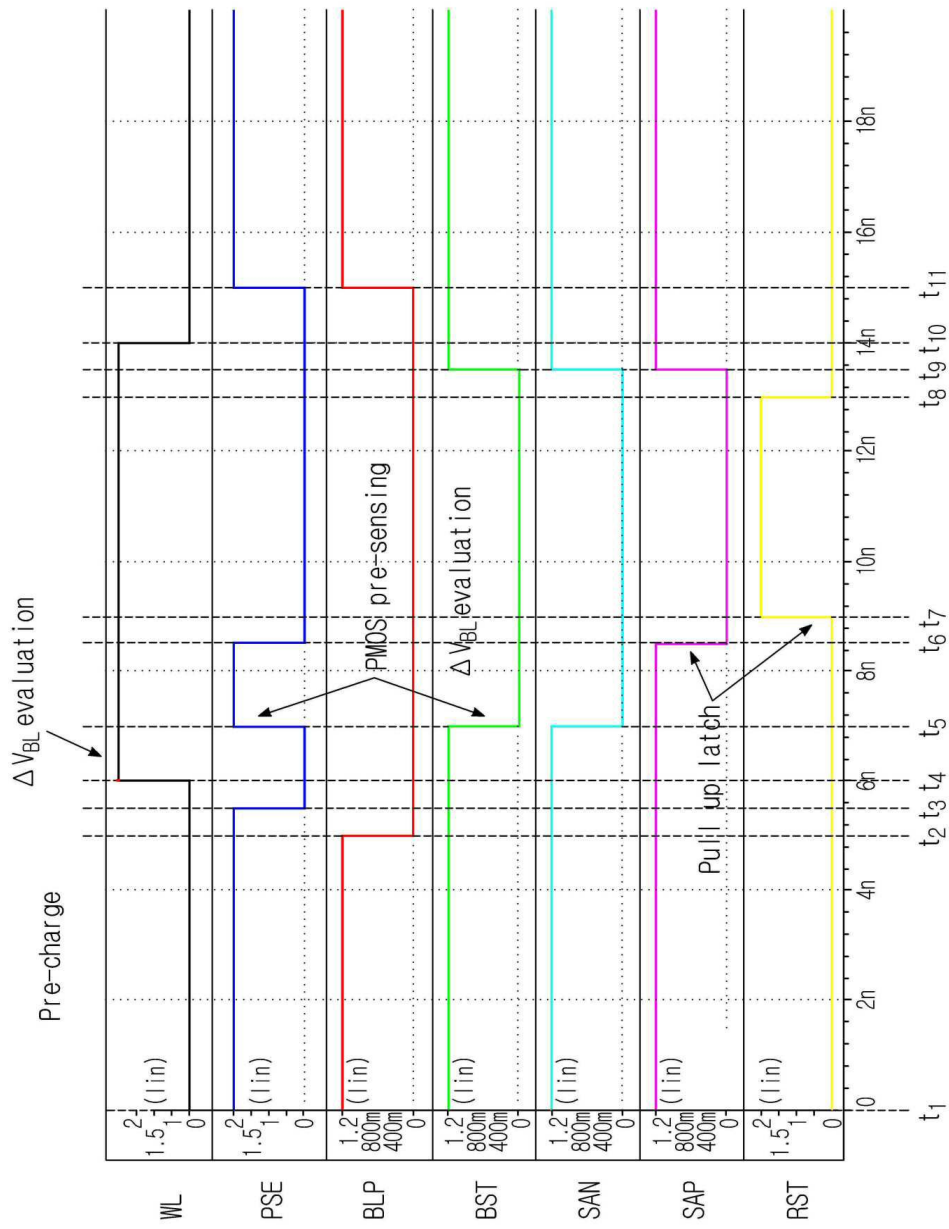
도면1



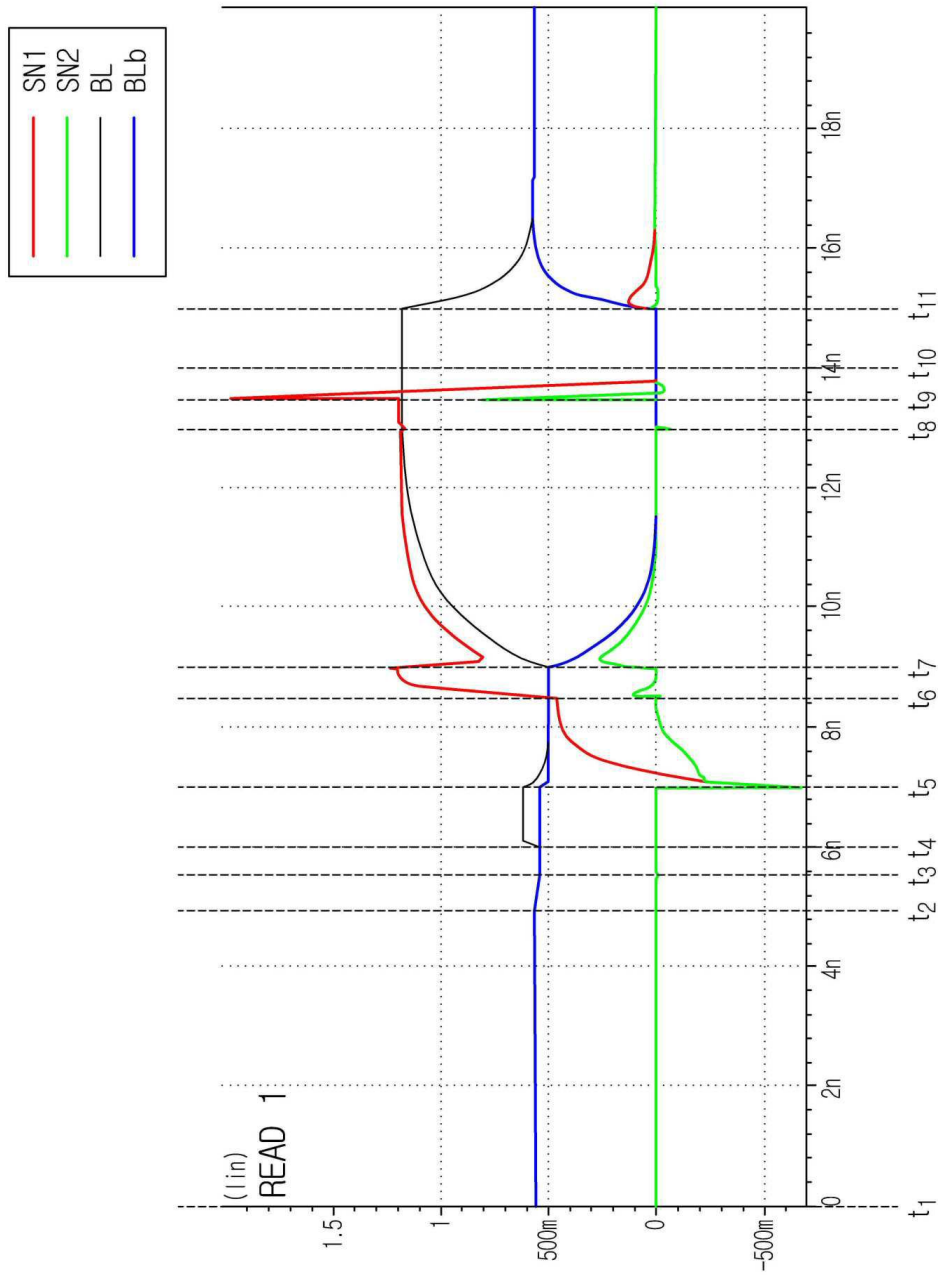
도면2



도면3



도면4



도면5

