



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0132657  
(43) 공개일자 2020년11월25일

(51) 국제특허분류(Int. Cl.)  
G11C 11/16 (2006.01) H01L 43/02 (2006.01)  
(52) CPC특허분류  
G11C 11/161 (2013.01)  
H01L 43/02 (2013.01)  
(21) 출원번호 10-2020-0005462  
(22) 출원일자 2020년01월15일  
심사청구일자 2020년01월15일  
(30) 우선권주장  
1020190057679 2019년05월17일 대한민국(KR)

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
한양대학교 에리카산학협력단  
경기도 안산시 상록구 한양대학로 55  
(72) 발명자  
홍종일  
서울특별시 강남구 압구정로39길 58, 62동 803호  
(압구정동, 구현대아파트)  
오새륜터  
경기도 안산시 상록구 한양대학로 55, 제3공학관  
전자공학부(사동)  
(74) 대리인  
특허법인우인

전체 청구항 수 : 총 15 항

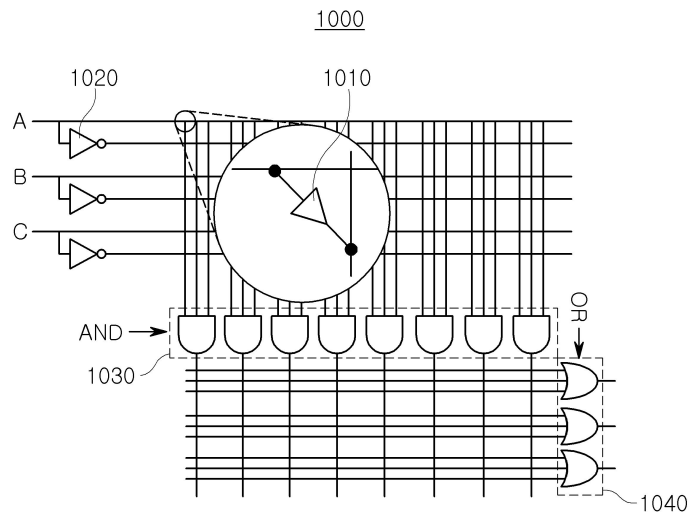
(54) 발명의 명칭 스핀-전하 변환 기반의 스핀 로직 소자 및 그를 이용한 스핀 로직 어레이

### (57) 요약

스핀-전하 변환 기반의 스핀 로직 소자 및 그를 이용한 스핀 로직 어레이를 개시한다.

본 발명의 실시예에 따른 재구성 가능한 스핀 로직 어레이는, 적어도 3 개의 전류 신호를 입력 받는 입력단; 상기 입력단과 연결되어 상기 전류 신호를 전달하고, 서로 교차하는 가로 배선 및 세로 배선을 포함하는 복수의 배선; 상기 배선을 통해 상기 입력단과 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제1 다수결 게이트가 배열된 제1 게이트 어레이; 및 상기 배선을 통해 상기 제1 게이트 어레이와 연결되고, 상기 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제2 다수결 게이트가 배열된 제2 게이트 어레이를 포함할 수 있다.

대표도 - 도10a



이 발명을 지원한 국가연구개발사업

과제고유번호	2019R1A2C2002960
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구자지원사업
연구과제명	수소화그래핀 진성반도체를 이용한 탄소 전자/스핀 소자
기 여 율	1/2
과제수행기관명	연세대학교 산학협력단
연구기간	2019.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	10067739
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업 / 산업핵심기술개발사업 / 전자정보디바이스산업원천기술개발사업
연구과제명	5nm 급 이하 차세대 Logic 소자 원천요소기술개발
기 여 율	1/2
과제수행기관명	한양대학교 에리카산학협력단
연구기간	2016.10.01 ~ 2021.09.30

---

## 명세서

### 청구범위

#### 청구항 1

적어도 3 개의 전류 신호를 입력 받는 입력단;

상기 입력단과 연결되어 상기 전류 신호를 전달하고, 서로 교차하는 가로 배선 및 세로 배선을 포함하는 복수의 배선;

상기 배선을 통해 상기 입력단과 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제1 다수결 게이트가 배열된 제1 게이트 어레이; 및

상기 배선을 통해 상기 제1 게이트 어레이와 연결되고, 상기 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제2 다수결 게이트가 배열된 제2 게이트 어레이

를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 2

제1항에 있어서,

상기 입력단은,

하나의 입력에 대한 상기 전류 신호를 전달하는 제1 가로 배선과 상기 전류 신호의 전류 방향을 변경하기 위한 스핀 로직 소자 기반의 스핀 인버터가 배치된 제2 가로 배선으로 연결되는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 3

제1항에 있어서,

상기 복수의 배선은,

상기 제1 게이트 어레이 및 상기 제2 게이트 어레이를 연결하는 배선을 포함하고,

상기 가로 배선 또는 상기 세로 배선에는, 배선 저항을 고려하여 전류값을 유지시켜주기 위한 리피터(Repeater) 역할을 수행하는 스핀 로직 소자 기반의 배선 스핀 버퍼가 배치되는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 4

제3항에 있어서,

상기 가로 배선 및 상기 세로 배선에 의해 형성되는 교차 지점에는,

상기 가로 배선 및 상기 세로 배선을 연결하는 형태로 스핀 로직 소자 기반의 스핀 버퍼가 배치되고, 상기 스핀 버퍼는 상기 전류 신호의 경로를 라우팅(routing)하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 5

제1항에 있어서,

상기 제1 게이트 어레이는,

상기 스핀 로직 소자를 기반으로 구현된 인버터를 적용한 반전 다수결 게이트 및 상기 스핀 로직 소자를 기반으로 구현된 버퍼를 적용한 비반전 다수결 게이트 중 적어도 하나의 다수결 게이트를 이용하여 구현된 적어도 하나의 상기 제1 다수결 게이트를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 6

제1항에 있어서,

상기 제2 게이트 어레이는,

상기 스핀 로직 소자를 기반으로 구현된 인버터를 적용한 반전 다수결 게이트 및 상기 스핀 로직 소자를 기반으로 구현된 버퍼를 적용한 비반전 다수결 게이트 중 적어도 하나의 다수결 게이트를 이용하여 구현된 적어도 하나의 상기 제2 다수결 게이트를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 7

제6항에 있어서,

상기 제2 게이트 어레이는,

상기 제1 게이트 어레이의 출력을 입력 받아, 기 설정된 함수 처리 결과를 출력하되,

상기 제1 다수결 게이트 및 상기 제2 다수결 게이트의 조정을 통해 상기 함수는 변경 가능한 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 8

제1항에 있어서,

상기 제1 다수결 게이트 및 상기 제2 다수결 게이트의 구현을 위하여 적용된 상기 스핀 로직 소자는,

입력 소스에 의해 스핀전류를 주입받고, 제1 변환층을 통해 상기 스핀전류를 전하전류로 변환하여 출력하는 제1 변환 노드; 및

상기 전하전류에 의해 유도되는 유도 자기장과 유효 전기장에 의하여 자성체층을 자화반전시켜 스핀전류를 출력하는 제2 변환 노드

를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 9

제8항에 있어서,

상기 제1 변환 노드는,

단일 강자성체 또는 인공반자성체로 구현되고, 소정의 자화 방향을 가지며, 상기 입력 소스에 의해 상기 스핀전류를 발생하는 제1 자성체층;

상기 스핀전류를 상기 전하전류로 변환하는 제1 변환층; 및

상기 전하전류를 상기 제2 변환 노드로 전달하는 커넥터

를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 10

제9항에 있어서,

상기 제1 변환층은,

상기 소정의 자화 방향에 따라 결정되는 상기 스핀전류를 스핀 필터를 기반으로 주입하는 스핀전류 주입층; 및

인버스 스핀-홀 효과를 기반으로 상기 스핀전류를 상기 전하전류로 변환하는 스핀-전하 변환층을 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

#### 청구항 11

제8항에 있어서,

상기 제2 변환 노드는,

소정의 자화 방향을 가지며, 상기 자화반전에 의해 상기 스핀전류를 발생하는 제2 자성체층;

상기 전하전류에 따라 유도된 전하를 축적하고, 상기 전하가 유효 전기장으로 작용하여 상기 제2 자성체층의 자기 자화반전이 되도록 하는 유전체층; 및

상기 제1 변환 노드에서 출력된 상기 전하전류를 인가 받기 위한 커넥터를 포함하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

## 청구항 12

제11항에 있어서,

상기 유전체층은,

상기 커넥터와의 계면에 상기 전하를 축적하고, 전기적 분극현상으로 인해 상기 제2 자성체층과의 계면에 전하가 유도되며, 유도된 전하에 의해 상기 제2 자성체층의 자기이방성 에너지를 감소시켜 상기 자화반전이 되도록 하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

## 청구항 13

제12항에 있어서,

상기 제2 변환 노드는,

상기 전하전류가 흐르는 상기 커넥터를 감싸며, 연자성 클래딩 도선 구조를 가지는 클래딩 자성체층을 추가로 포함하며,

상기 클래딩 자성체층은, 상기 커넥터에 흐르는 상기 전하전류에 의해 형성된 상기 유도 자기장을 통해 상기 제2 자성체층을 상기 자화반전시켜 상기 스핀전류가 출력되도록 하는 것을 특징으로 하는 재구성 가능한 스핀 로직 어레이.

## 청구항 14

적어도 3 개의 전류 입력을 인가 받는 전류 입력단;

상기 전류 입력을 결합하여 전하전류를 출력하는 결합부;

상기 전하전류에 의해 유도되는 유도 자기장과 유효 전기장에 의하여 자성체층을 자화반전시켜 스핀전류를 출력하는 일측 변환 노드; 및

입력 소스에 의해 스핀전류를 주입받고, 제1 변환층을 통해 상기 스핀전류를 전하전류로 변환하여 출력하는 타측 변환 노드

를 포함하는 것을 특징으로 하는 스핀 로직 소자.

## 청구항 15

제12항에 있어서,

상기 타측 변환 노드와 연결되어 동작하는 트랜지스터를 추가로 포함하며,

상기 트랜지스터는, 푸터 트랜지스터(Footer Transistor) 및 헤더 트랜지스터(Header Transistor) 중 적어도 하나일 수 있으며, 상기 트랜지스터의 종류에 따라 상기 타측 변환 노드의 상단측 및 하단측 중 적어도 하나에 연결단을 구비하는 것을 특징으로 하는 스핀 로직 소자.

## 발명의 설명

## 기술 분야

본 발명은 스핀-전하 변환 기반의 스핀 로직 소자 및 그를 이용한 스핀 로직 어레이에 관한 것이다.

## 배경 기술

[0001]

[0002] 이 부분에 기술된 내용은 단순히 본 발명의 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 종래의 MESO(MagnetoElectric Spin-orbit) 로직 소자 구조는 단결정 다강체(multi-ferroic material)와 강자성체를 접합시킨 구조를 가지며, 다강체(multi-ferroic)/강자성체간의 자기전기 커플링(MagnetoElectric Coupling)과 스핀 간의 교환 결합(exchange coupling)을 이용하여 스핀을 스위칭 시킨다. 이론적으로 훌륭한 개념이지만 모두 섭씨 800도 이상의 고온에서 성장시킨 단결정 기판위에서 이루어진 결과로 트랜지스터와 강자성체가 집적된 백엔드(back-end) 공정에서 사용될 수 없다. 예를 들어, MESO 로직 소자 구조에 주로 사용된 비스무스철산화물(BiFeO<sub>3</sub>)은 자화와 전기적 분극이 결합되어 전기장에 의해 스핀이 스위칭되는 특성을 보인다. 그러나 이러한 특성을 관찰하기 위해서는 단결정이 필요하며, 성장을 위하여 700 ° C의 고온 및 100 mTorr의 높은 산소압 분위기가 필요하며, 그 두께가 100 nm 이상이어야 한다. 이러한 특성은 기존의 반도체 백엔드(back-end) 공정 시 실행하기 어려운 공정조건이며 또한 박막화가 어려워 소자에 적용하기에 어려움이 있다.

[0004] 또한, 종래의 MESO 로직 소자 구조는 스위칭 시 발생하는 스트레인으로 피로현상이 일어나 로직 소자의 내구성(endurance)을 보장할 수 없다는 치명적 단점을 가지고 있다. 또한, 종래의 MESO 로직 소자 구조에서는 스핀-전하 변환층의 부호가 하나로 정해져 있어 인버터로만 쓰이며 버퍼는 만들 수 없다는 단점이 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 입력 소스에 의해 생성된 스핀전류( $I_S$ )를 전하전류( $I_C$ )로 변환하고, 전하전류에 의해 유도되는 유도 자기장과 유효 전기장에 의하여 자성체층을 자화반전시켜 스핀전류를 출력하는 스핀-전하 변환 기반의 스핀 로직 소자와 그를 이용한 재구성 가능한 스핀 로직 어레이를 제공하는 데 주된 목적이 있다.

### 과제의 해결 수단

[0006] 본 발명의 일 측면에 의하면, 상기 목적을 달성하기 위한 재구성 가능한 스핀 로직 어레이는, 적어도 3 개의 전류 신호를 입력 받는 입력단; 상기 입력단과 연결되어 상기 전류 신호를 전달하고, 서로 교차하는 가로 배선 및 세로 배선을 포함하는 복수의 배선; 상기 배선을 통해 상기 입력단과 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제1 다수결 게이트가 배열된 제1 게이트 어레이; 및 상기 배선을 통해 상기 제1 게이트 어레이와 연결되고, 상기 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제2 다수결 게이트가 배열된 제2 게이트 어레이를 포함할 수 있다.

### 발명의 효과

[0007] 이상에서 설명한 바와 같이, 본 발명은 자연계에 존재하는 극소수의 상온동작 다강체 소재에 국한되어 있던 전압구동 강자성소자 분야에서 새로운 대안소자를 제시하며, 기존의 단결정 산화물 기판에만 증착 가능했던 페로브스카이트 강유전체를 대체하는 실리콘 기판에 제작 가능한 강유전체 초박막을 활용하여, 양산으로 직결 가능한 소자 구조를 제공하는 효과가 있다.

[0008] 또한, 본 발명은 Si CMOS의 한계를 극복하는 대안을 제공할 수 있는 효과가 있다.

[0009] 또한, 스핀소자에 대한 기존 연구가 금속과 절연체가 구분되어 진행되어 왔는데, 본 발명은 금속과 절연체 두 가지를 융합함으로써 새로운 기술 창출을 기대할 수 있는 효과가 있다.

[0010] 또한, 본 발명의 스핀 로직 소자는 낮은 스위칭 에너지, 문턱전압과 독립적인 off-state 전력, 낮은 동작전압, 비휘발 특성으로 Beyond-CMOS 소자로 적용될 수 있으며, 전압제어 자기이방성 현상을 유도하여 고전력 소모에 대한 종래의 문제를 해결할 수 있는 효과가 있다.

[0011] 또한, 본 발명은 자연계에 존재하는 극소수의 상온동작 다강체(multiferroic) 소재에 주로 국한되어 있던 전압구동 강자성소자 분야에서 새로운 대안소자를 제시하고 있으며, 기존의 산화물 기판에만 증착 가능했던 페로브스카이트 강유전체를 대체하는 실리콘 기판에 제작 가능한 강유전체 초박막을 활용하여, 양산이 가능한 소자 구조라는 장점이 있다.

[0012] 또한, 본 발명은 유전체를 이용한 스핀스위칭 기술과 인공반강자성체를 이용하여 상온 동작하는 스핀 연산 로직 소자의 원천기술로 메모리 기술과의 융합된 시스템에 응용된다면 기존의 아키텍처에서 벗어나는 반도체 기술의

발전을 꾀할 수 있는 효과가 있다.

[0013] 또한, 본 발명은 스핀 로직 회로를 사용함에 따라 종래의 트랜지스터 대비 면적 및 소요 에너지를 현저히 줄일 수 있는 효과가 있다.

### 도면의 간단한 설명

[0014] 도 1은 본 발명의 실시예에 따른 스핀 로직 소자의 모식도를 나타낸 도면이다.  
 도 2는 본 발명의 실시예에 따른 강자성체의 스위칭 시퀀스를 설명하기 위한 도면이다.  
 도 3는 본 발명의 실시예에서 인공반강자성체의 유무에 따른 스핀 로직 소자의 모식도를 나타낸 도면이다.  
 도 4는 본 발명의 실시예에 따른 스핀 로직 소자 기반의 스핀 인버터와 버퍼가 조합된 모식도를 나타낸 도면이다.  
 도 5은 본 발명의 실시예에 따른 스핀 로직 소자의 동작 방법을 설명하기 위한 순서도이다.  
 도 6은 본 발명의 실시예에 따른 스핀 로직 소자 기반의 인버터 단위 회로를 나타낸 예시도이다.  
 도 7a 내지 도 7c는 본 발명의 실시예에 따른 스핀 로직 소자를 적용한 반전 다수결 게이트의 구조를 나타낸 도면이다.  
 도 8은 본 발명의 실시예에 따른 스핀 로직 소자를 적용한 비반전 다수결 게이트의 구조를 나타낸 도면이다.  
 도 9a 및 도 9b는 본 발명의 실시예에 따른 스핀 로직 소자를 이용하여 구현된 다수결 게이트 및 가산기의 연산 회로를 나타낸 도면이다.  
 도 10a 내지 도 10d는 본 발명의 실시예에 따른 스핀 로직 소자를 이용하여 구현된 재구성 가능 스핀 로직 어레이를 나타낸 도면이다.  
 도 11a 및 도 11b는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 자기터널접합 구조를 이용하여 검출한 실험결과를 나타낸 도면이다.  
 도 11c는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 측정하기 위하여 만들어진 자기터널접합 구조에 대한 도면이다.  
 도 11d는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 Ge 반도체에서 검출한 결과와 구조에 대한 도면이다.  
 도 11e는 본 발명의 실시예에서 가해진 전압으로 강자성층의 자기이방성 에너지를 낮추고 스핀 스위칭을 실시한 결과를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 이하에서 본 발명의 바람직한 실시예를 설명할 것이나, 본 발명의 기술적 사상은 이에 한정하거나 제한되지 않고 당업자에 의해 변형되어 다양하게 실시될 수 있음은 물론이다. 이하에서는 도면들을 참조하여 본 발명에서 제안하는 스핀-전하 변환 기반의 스핀 로직 소자 및 그를 이용한 스핀 로직 어레이에 대해 자세하게 설명하기로 한다.

[0016] 도 1은 본 발명의 실시예에 따른 스핀 로직 소자의 모식도를 나타낸 도면이다.

[0017] 본 실시예에 따른 스핀 로직 소자(100)는 제1 변환 노드(101), 제2 변환 노드(102) 및 제1 변환 노드(101)와 제2 변환 노드(102)를 연결하는 커넥터(170)를 포함한다.

[0018] 본 실시예에 따른 스핀 로직 소자(100)의 제1 변환 노드(101)는 입력 소스에 의해 스핀전류를 주입받고, 제1 변환층을 통해 상기 스핀전류를 전하전류로 변환하여 출력하는 노드로서, 제1 자성체층(110), 제1 변환층(120, 130) 및 커넥터(170) 등으로 구성된다. 여기서, 제1 변환층(120, 130)은 스핀 주입층(Spin Injection Layer, 120) 및 스핀-전하 변환층(Spin-Charge Conversion Layer, 130)을 포함한다.

[0019] 제1 변환 노드(101)은 스핀 주입층(120)을 통해 상기 스핀전류를 주입받고, 스핀-전하 변환층(130)을 통해 스핀

전류를 전하전류로 변환하여 출력하는 동작을 수행한다.

- [0020] 제1 변환 노드(101)은 스핀전류를 출력단의 위에서 아래로 공급한다. 스핀전류의 주입을 위하여 스핀 주입층(120)은 MgO 기반의 절연층으로 구현될 수 있으며, 스핀 터널링을 위한 스핀 필터일 수 있다.
- [0021] 스핀 로직 소자(100)의 제1 변환 노드(101)은 스핀 주입층을 통해 상기 스핀전류를 주입받고, 스핀-전하 변환층을 통해 상기 스핀전류를 전하전류로 변환하여 출력하는 동작을 수행한다. 여기서, 제1 변환 노드(101)은 인공 반강자성체층, 상기 인공반강자성체층에 인접한 스핀 주입층, 스핀-전하 변환층 및 상기 출력단과 입력단을 연결하는 커넥터를 포함하는 구조일 수 있다.
- [0022] 제1 자성체층(110)은 소정의 자화 방향을 가지며, 입력 소스와 그 자화방향에 의해 스핀전류를 발생한다. 여기서, 제1 자성체층(110)은 강자성체(Ferromagnet)로 형성되는 것이 바람직하다.
- [0023] 제1 자성체층(110)은 단일 강자성체 또는 인공반강자성체로 형성될 수 있다.
- [0024] 제1 자성체층(110)이 단일 강자성체로 형성된 경우, 스핀 로직 소자(100)는 신호의 논리값 반전 기능의 수행하는 인버터(Inverter)로 구현된다. 한편, 제1 자성체층(110)이 인공반강자성체로 형성된 경우, 스핀 로직 소자(100)는 신호의 논리값을 유지하면서 임피던스를 조정하는 기능의 수행하는 버퍼(Buffer)로 구현될 수 있다. 여기서, 인공반강자성체는 서로 다른 자화 방향을 가지는 두 개의 강자성체가 그 사이에 위치한 비자성체로 떨어져서 구현된 스핀 밸브일 수 있으나 반드시 이에 한정되는 것은 아니다.
- [0025] 제1 변환층(120, 130)은 스핀전류를 전하전류로 변환한다. 스핀 주입층(120)은 소정의 자화 방향에 따라 결정되는 스핀전류를 스핀 필터를 이용하여 주입하며, 스핀-전하 변환층(130)은 주입받은 스핀전류를 전하전류로 변환한다.
- [0026] 본 실시예에 따른 스핀 로직 소자(100)의 제2 변환 노드(102)는 전하전류에 의해 유도되는 유도 자기장에 의하여 자성체층의 자화반전을 시켜 스핀전류를 출력하는 노드로서, 제2 자성체층(112), 유전체층(140), 클래딩 자성체층(150) 및 커넥터(170) 등으로 구성된다.
- [0027] 제2 변환 노드(102)는 입력된 전하전류에 의하여 유전체층(140)에 전기적 분극현상을 기반으로 전하를 축적하며, 축적된 전하가 자성체층(112)의 자기이방성 에너지를 감소시키는 유효 전기장과 클래딩 자성체(150)에서 또는 커넥터(170)의 전류에서 유도된 쓰기 자기장에 의해 자성체층(112)의 자화방향을 스위칭함으로써 제1 변환 노드(101)에서 생성된 스핀전류와는 다른 방향의 스핀전류를 생성하는 동작을 수행한다.
- [0028] 스핀 로직 소자(100)의 제2 변환 노드(102)는 전하전류에 따라 유도되는 유도 자기장에 의하여 자화반전을 시키는 동작을 수행할 수 있다.
- [0029] 제2 자성체층(112)은 소정의 자화 방향을 가지며, 자화반전에 의해 상기 스핀전류를 발생한다. 여기서, 제2 자성체층(112)은 강자성체(Ferromagnet)로 형성되는 것이 바람직하다.
- [0030] 유전체층(140)은 전하전류에 따라 유도된 전하를 축적하며, 축적된 전하들이 유효 전기장으로 작용하여 제2 자성체층의 자기이방성 에너지를 감소시킴으로써 자화반전이 되도록 한다. 여기서, 유전체층(140)은 강유전체(ferroelectric material)로 형성되는 것이 바람직하다.
- [0031] 구체적으로, 커넥터(170)에서 입력된 전하전류로 유전체층(140)은 전하를 축적하고, 전기적 분극현상으로 인해 제2 자성체층(112)과의 계면에 전하가 유도된다. 여기서, 유도된 전하에 의해 생기는 유효 전기장은 상기 제2 자성체층(112)의 자기이방성 에너지를 감소시켜 자화반전이 되도록 한다.
- [0032] 클래딩 자성체층(150)은 전하전류가 흐르는 커넥터(170)를 감싸며, 연자성 클래딩(cladding) 도선 구조를 가진다. 여기서, 클래딩 자성체층(150)은 강자성체(Ferromagnet)로 형성되는 것이 바람직하다.
- [0033] 클래딩 자성체층(150)은 커넥터(170)에 흐르는 전하전류에 의해 유도 자기장을 형성한다. 클래딩 자성체층(150)은 형성된 유도 자기장을 통해 제2 자성체층(112)을 자화반전시켜 자화 방향에 의해 방향이 결정되는 스핀전류가 출력되도록 한다. 이 때의 유도 자기장을 쓰기 자기장이라 명명할 수 있다.
- [0034] 제2 변환 노드(102)에서 출력되는 스핀전류는 변환 노드의 입력 소스로 사용될 수 있다. 여기서, 스핀전류를 입력 소스로 사용하는 변환 노드는 제1 변환 노드(101)일 수 있으나, 제2 변환 노드(102)와 캐스케이드(Cascade) 방식으로 연결된 신규 변환 노드일 수도 있다.
- [0035] 본 실시예에 따른 스핀 로직 소자(100)의 제1 변환 노드(101)와 제2 변환 노드(102)는 커넥터(170)를 통해



연결될 수 있다. 여기서, 커넥터(170)는 전하전류가 흐르는 전극일 수 있으나 반드시 이에 한정되는 것은 아니다.

- [0036] 본 실시예에 따른 스핀 로직 소자(100)는 입력 전하로 유도된 강유전체/강자성체 표면전하에서 발생하는 유효 전기장과 쓰기 자기장을 이용하여 강자성체를 스위칭 시킨 후, 생성된 스핀전류를 스핀-전하 변환 효과를 이용하여 전하전류로 출력하는 소자로서, 강자성체의 큐리온도 이하에서 작동 가능한 단위 로직 소자이다. 예를 들어, 강자성체가 철(Fe)인 경우 큐리온도는 1044K 이다.
- [0037] 스핀 로직 소자(100)의 동작은 다음과 같이 수행된다.
- [0038] 스핀 로직 소자(100)는 전하전류( $I_c$ )로 전극/강유전체 계면에 전하를 축적한다. 여기서, 전하전류( $I_c$ )는 스핀-전하 변환 효과로 생성된 전류일 수 있으며, 입력단 전극으로 흘러 전극/강유전체 계면에 전하를 축적된다.
- [0039] 스핀 로직 소자(100)는 강유전체의 전기적 분극현상을 기반으로 강자성체에서 자화반전(또는 스핀스위칭)이 수행된다. 구체적으로, 스핀 로직 소자(100)는 강유전체의 전기적 분극현상으로 강유전체/강자성체의 계면에 유도된 전하가 유효 전기장으로 작용하여 강자성체의 자기이방성 에너지를 낮추게 되며, 이 때 입력단에 흐르는 전하전류에 의해 유도된 쓰기 자기장에 의해 강자성체가 결정적으로 자화반전(또는 스핀스위칭)된다.
- [0040] 스핀 로직 소자(100)에서 강자성체에 의하여 생성된 스핀전류( $I_s$ )는 반대쪽에 위치한 스핀 주입 구조(출력단)로 주입된 후 스핀-전하 변환층에서 전하전류( $I_c$ )가 변환되어 출력될 수 있다. 여기서, 스핀 로직 소자(100)는 스핀-전하 변환층에서 변환된 전하전류( $I_c$ )를 다시 입력신호로 사용하여 연산 사이클이 구성되도록 한다.
- [0041] 본 실시예에 따른 스핀 로직 소자(100)는 강자성체를 스위칭하는 기술, 스핀-전하를 변환하는 기술 및 스핀 로직 회로 기술 등을 기반으로 동작된다.
- [0042] 스핀 로직 소자(100)의 강자성체를 스위칭하는 기술은 고품질 강유전체 박막과 강자성 박막 접합 구조를 만들어 강유전체를 전기적으로 분극(electrical dipole polarization) 시키는 기술이다. 이때 강유전체/강자성체 계면에 유도된 전하는 유효 전기장으로 작용하여 강자성체의 자기이방성 에너지를 감소시키며 연자성 클래딩(cladding) 도선 구조에서 자동적으로 발생하는 쓰기 자기장과 함께 강자성체를 결정적으로 자화반전 또는 스핀을 스위칭시킨다. 강자성체를 스위칭하는 기술은 저전력화 기술에 해당한다. 강자성체를 스위칭하는 기술은 강유전체 합성기술, 연자성 클래딩(cladding) 구조를 이용한 자속 집중기술, 강자성체 자기이방성 제어기술 등을 포함할 수 있다.
- [0043] 본 실시예에 따른 스핀 로직 소자(100)는 강유전체/강자성체 구조에서는 계면에 유도된 전하에 의하여 발생된 유효 전기장으로 계면 전자 구조가 변함에 따라 자기이방성 에너지의 감소가 가능하다. 여기서, 자기이방성 에너지를 감소시키는 것은 층간교환상호작용(interlayer exchange coupling)을 이용하는 원리와 다른 것으로 외부 자기장이 인가된 상태에서 강유전체의 분극방향이 바뀔에 따라 자화를 180° 스위칭시킬 수 있다.
- [0044] 본 실시예에 따른 스핀 로직 소자(100)는 박막제작에 효과적인 원자층 증착법 또는 펄스레이저 증착법을 이용하여 최종적으로 10 nm 이하의 초박막에서 높은 잔류분극값과 상대적으로 낮은 작동전압 특성을 가진 고품질 (Hf,Zr)O<sub>2</sub> 박막을 포함하고, 자성초박막과의 이중접합구조에서 자기이방성을 제어하는 기술로 자화반전을 구현한다. 여기서, (Hf,Zr)O<sub>2</sub> 박막은 2010년대에 강유전성이 발견된 신소재로서, 20 nm이하에서도 높은 잔류분극(10~25  $\mu\text{C}/\text{cm}^2$ )을 갖는다. (Hf,Zr)O<sub>2</sub>는 주로 원자층 증착법을 활용하여 20 nm 이하의 초박막으로 증착했을 경우에도 강유전성을 가진다.
- [0045] 스핀 로직 소자(100)의 스핀-전하를 변환하는 기술은 강자성층의 자화방향에 따라 결정되는 스핀전류를 고효율로 주입한 후 이를 인버스 스핀-홀 효과(또는 Inverse Rashba-Edelstein 효과)에 의하여 스핀전류를 전하전류로 변화시키는 기술이다. 여기서, 스핀-전하를 변환하는 기술은 저전력화 및 고효율화 기술에 해당한다. 스핀-전하를 변환하는 기술은 자성층 또는 인공반강자성층의 합성기술, 절연층의 합성기술, 스핀 필터층을 이용한 고스핀전류 형성기술(저전력), 스핀-전하 변환 소재 형성기술(고출력) 등을 포함할 수 있다.
- [0046] 본 실시예에 따른 스핀 로직 소자(100)는 저전력, 고 면적효율 응용분야에 사용되기 위해 전압으로 스핀을 스위칭하며 스핀-전하 변환을 이용한 인버터/버퍼/NAND/NOR/AND/OR 등의 불리언(Boolean) 함수를 실시간으로 재구성할 수 있는 회로를 구현하는데 사용될 수 있다.
- [0047] 본 실시예에 따른 스핀 로직 소자(100)는 종래의 MESO(MagnetoElectric spin-orbit) 소자에 비해 다음과 같은

차별성이 존재한다.

- [0048] 스핀 로직 소자(100)는 다강체(multi-ferroic material) 대신 강유전체를 사용하는 스위칭 구조를 포함하며, 이에 따라 기존의 실리콘 기반 공정기술이 적용될 수 있다.
- [0049] 스핀 로직 소자(100)는 스핀전류 생성층의 구조를 인공반강자성체로 구현한 스핀-전하 변환 방식으로 동작할 수 있다. 스핀 로직 소자(100)는 인공반강자성체로 스핀전류 생성층을 구성하는 경우, 같은 스핀-전하 변환층을 쓰더라도 출력되는 전하전류의 부호를 양과 음 모두 구현할 수 있다. 즉, 스핀 로직 소자(100)는 인공반강자성체를 적용하여 전하전류의 부호를 양과 음 모두 구현할 수 있다. 이에, 스핀 로직 소자(100)는 인버터와 버퍼 모두로 구현할 수 있다.
- [0050] 또한, 스핀 로직 소자(100)는 쓰기 자기장을 위한 클래딩(cladding) 전극 구조를 포함한다. 본 실시예에 따른 스핀 로직 소자(100)에서는 유전체의 계면전하에 의해 강자성체 자기이방성 에너지가 줄어드는 셀에서만 자화반전이 이루어진다. 이에 따라, 인접한 셀들 간의 간섭 문제가 없으며, 쓰기 자기장을 위해 인가되는 전류는 외부에서 가해주는 전류가 아니고 입력단으로 들어오는 전하전류로 그 자체가 쓰기 자기장을 유도하게 된다.
- [0051] 본 실시예에 따른 스핀 로직 소자(100)에서, 강유전체에 의한 자기이방성 에너지를 최대 줄인 상태에서 쓰기 자기장은 스위칭 방향을 결정하는 역할만 하기 때문에 종래의 클래딩 구조와는 명확한 차별성을 가진다. 한편, 스핀 로직 소자(100)는 강유전체에 의한 자기이방성 에너지 감소가 충분치 않은 경우 이 자기장이 스위칭을 도와주기 위한 쓰기 자기장을 공급할 수도 있다.
- [0052] 스핀 로직 소자(100)는 입력단에서 강유전체를 적용하여 전하를 축적할 수 있다. 예를 들어, 스핀 로직 소자(100)는 (Hf,Zr)O<sub>2</sub> 강유전체로 사용할 수 있으며, 이로 인해 기존 반도체 공정과 접목하여 구현될 수 있다. 또한, 스핀 로직 소자(100)는 다강체를 대신하여 피로현상이 줄어드는 강유전체를 사용함에 따라 쓰기 자기장에 의해 결정적 스위칭을 동작시킬 수 있다.
- [0053] 도 2는 본 발명의 실시예에 따른 강자성체의 스위칭 시퀀스를 설명하기 위한 도면이다.
- [0054] 도 2의 (a)는 초기상태로 전하전류( $I_c$ )가 아직 입력되지 않은 상태이다.
- [0055] 도 2의 (b)를 참조하면, 스핀 로직 소자(100)의 제2 변환 노드(102)는 제1 변환 노드(101)에서 출력된 전하전류( $I_c$ )로 전극/강유전체 계면에 전하를 축적한다. 여기서, 전하전류( $I_c$ )는 스핀-전하 변환 효과로 생성된 전류일 수 있으며, 입력단 전극으로 흘러 전극/강유전체 계면과 강유전체/강자성체 계면에 전하를 유도 시키게 된다.
- [0056] 도 2의 (c)를 참조하면, 스핀 로직 소자(100)의 제2 변환 노드(102)는 강유전체의 전기적 분극현상을 기반으로 강자성체에서 자화반전(또는 스핀스위칭)이 수행된다. 구체적으로, 스핀 로직 소자(100)는 강유전체의 전기적 분극현상으로 강유전체/강자성체의 계면에 유도된 전하가 유효 전기장으로 작용하여 강자성체의 자기이방성 에너지를 낮추게 되며, 이 때 입력단에 흐르는 전하전류에 의해 유도된 쓰기 자기장에 의해 강자성체가 결정적으로 자화반전(또는 스핀스위칭)된다.
- [0057] 도 2의 (d)를 참조하면, 스핀 로직 소자(100)의 제2 변환 노드(102)는 강자성체에 의하여 생성된 스핀전류( $I_s$ )를 반대쪽에 위치한 제1 변환 노드(101)의 스핀 주입 구조(스핀 주입층)로 주입한다.
- [0058] 스핀 로직 소자(100)의 제1 변환 노드(101)은 주입된 스핀전류( $I_s$ )를 스핀-전하 변환층을 통해 전하전류( $I_c$ )로 변환하여 출력한다. 여기서, 스핀 로직 소자(100)의 제1 변환 노드(101)은 스핀-전하 변환층에서 변환된 전하전류( $I_c$ )를 다시 입력신호로 사용하여 연산 사이클이 구성되도록 한다.
- [0059] 스핀 로직 소자(100)는 제1 변환 노드(101)에 구비된 스핀 주입층을 단일 강자성체로 쓰게 되면 인버터로, 스핀 주입층을 인공반강자성층으로 쓰면 버퍼로 동작시킬 수 있으며, 논리 연산회로에 이용할 수 있다.
- [0060] 도 3는 본 발명의 실시예에 따른 인공반강자성체를 이용한 스핀 로직 소자의 모식도를 나타낸 도면이다.
- [0061] 본 실시예에 따른 스핀 로직 소자(100)는 스핀 주입을 위한 인공반강자성체(114) 구조를 가진다. 스핀 로직 소자(100)는 인공반강자성체(114)의 유무에 따라 스핀-전하 변환층을 바꾸지 않고 인버터 및 버퍼를 모두 구현할 수 있다. 도 3의 (a)는 인공반강자성체를 쓰지 않은 스핀 로직 소자인 인버터를 나타내고, 도 3의 (b)는 인공반강자성체(114)를 이용한 스핀 로직 소자인 버퍼를 도시한다.
- [0062] 종래의 스핀 로직 소자에서 스핀-전하 변환층의 부호가 정해지면 이에 따라 나오는 전하전류의 신호는 하나로

정해져 있으므로 인버터 또는 버퍼 둘 중 하나로 밖에 쓰일 수 없는 문제점을 해결하기 위하여 본 실시예에 따른 스핀 로직 소자(100)는 스핀전류 생성층(강자성체)의 구조를 인공반강자성체로 이용할 수 있다.

- [0063] 스핀전류 생성층의 구조에 인공반강자성체(114)를 이용하는 경우, 스핀 로직 소자(100)는 같은 스핀-전하 변환층을 쓰더라도 변환된 전하전류의 부호를 양과 음 모두 구현할 수 있어 인버터와 버퍼 모두 구현할 수 있다. 여기서, 인공반강자성체(114)는 RKKY(Ruderman-Kittel-Kasuya-Yosida) 상호작용에 의하여 결합되어 있다.
- [0064] 또한, 인공반강자성체(114)의 구조는 강자성체에서 스핀의 열적 안정성을 향상시킬 수 있다. 일반적으로, 스핀 로직소자는 80 ° C 이상의 작동온도에서 스핀이 안정해야 하며, 통상적으로는 이를 위하여 강자성체의 자기이방성 에너지를 높이는 방법을 사용한다. 하지만 이 방법은 유전체의 전하와 쓰기 자기장에 의하여 강자성체의 스위칭이 어려워지는 단점이 있다. 이에, 본 실시예에 따른 스핀 로직 소자(100)는 자기이방성을 높이는 대신에 쓰기 자기장이 입력단에 항상 존재하게 되도록 하여 스위칭이 이루어지기 전까지 스핀을 안정화시킬 수 있다. 한편, 자성체를 인공반강자성체로 대체하는 경우 효과적으로 자성층의 유효 두께를 증가시키게 되어 자성층의 열적 안정성을 높이게 된다.
- [0065] 도 4는 본 발명의 실시예에 따른 스핀 로직 소자 기반의 스핀 인버터의 모식도를 나타낸 도면이다.
- [0066] 도 4에서는 강자성체의 큐리온도 이하에서 동작 가능한 스핀 인버터의 모식도를 나타낸다. 예를 들어, 강자성체가 철(Fe)인 경우 큐리온도는 1044K 이다.
- [0067] 도 4을 참조하면, 본 실시예에 따른 스핀 로직 소자(100)는 입력전하로 유도된 강유전체/강자성체 표면전하에 의한 유효 전기장과 쓰기 자기장으로 강자성체를 스위칭시킨 후, 이 때 생성된 스핀전류를 스핀-전하 변환 효과를 이용하여 전하전류로 출력한다.
- [0068] 도 4에서는 제1 노드(510) 및 제2 노드(520)의 결합에 의해 인버터를 구현할 수 있고, 제2 노드(520) 및 제3 노드(530)의 결합에 의해 버퍼를 구현할 수 있으며, 제1 노드(510), 제2 노드(520) 및 제3 노드(530)의 연결을 통해 인버터-버퍼 구조를 구현할 수 있다.
- [0069] 도 5은 본 발명의 실시예에 따른 스핀 로직 소자의 동작 방법을 설명하기 위한 순서도이다.
- [0070] 스핀 로직 소자(100)의 제1 변환 노드(101)는 입력 소스에 의해 발생된 스핀전류를 주입하고(S710), 주입된 스핀전류를 스핀 필터, 스핀 레도 상호작용 등을 통해 전하전류로 변환한다(S720).
- [0071] 제1 변환 노드(101)는 커넥터(170)를 통해 전하전류를 제2 변환 노드(102)로 전달한다.
- [0072] 스핀 로직 소자(100)의 제2 변환 노드(102)는 커넥터(170)에 흐르는 전하전류로 유전체의 전기적 분극 현상에 의해 전하를 유도한다(S740).
- [0073] 제2 변환 노드(102)는 유도된 전하 및 연자성 클래딩 도선 구조의 클래딩 자성체층에서 유효 전기장을 형성한다(S750).
- [0074] 제2 변환 노드(102)는 유도된 전하에 의한 유효 전기장 및 형성된 쓰기 자기장을 통해 자성체를 자화반전 시키고(S760), 스핀전류를 생성한다(S770).
- [0075] 도 5에서는 각 단계를 순차적으로 실행하는 것으로 기재하고 있으나, 반드시 이에 한정되는 것은 아니다. 다시 말해, 도 5에 기재된 단계를 변경하여 실행하거나 하나 이상의 단계를 병렬적으로 실행하는 것으로 적용 가능할 것이므로, 도 5은 시계열적인 순서로 한정되는 것은 아니다.
- [0076] 도 6은 본 발명의 실시예에 따른 스핀 로직 소자 기반의 인버터 단위 회로를 나타낸 예시도이다.
- [0077] 도 6에서는 강유전체(140)를 이용한 스핀 로직 소자(100)를 적용하여 구현된 인버터 단위 회로를 나타낸다.
- [0078] 도 6을 참조하면, 인버터 단위 회로의 동작은 다음과 같다.
- [0079] 좌측 단의 스핀 로직 소자(100)에 전류가 입력되면, 강유전체(140)에서 분극 스위칭이 발생한다. 강유전체(140)의 내부 분극에 의해 양 단의 전극에 전하가 유도된다.
- [0080] 강자성체(110)에 유도된 전하에 의해 자기이방성(VCM: Voltage Controlled Magnetic Anisotropy) 효과로 인하여 자화 스위칭 에너지가 낮아지고, 클래딩(cladding)된 배선에 흐르는 전류 방향에 의해 자화 스위칭 발생한다.
- [0081] Vsupp 신호에 의해 동작하는 트랜지스터에 의해 수직으로 공급되는 전류는 강자성체(110)로 인가되며, 인가된

전류는 스핀주입층(120)과 스핀-전하 변환층(130)을 거쳐 입력 전류와 반대 방향의 전류가 출력되게 된다. 이에, 좌측 단의 스핀 로직 소자(100)는 입력(+1/-1 방향)과 반대 값(-1/+1)을 출력하는 로직 인버터의 역할을 수행한다.

- [0082] 도 6에서, 좌측 단(앞 단)의 출력 전류는 우측 단(뒷 단)의 입력 전류가 되어, 로직 스테이지(Logic Stage)의 연쇄 연결 가능성(Concatenability)를 만족하는 형태로 구현될 수 있다.
- [0083] 도 7a 내지 도 7c는 본 실시예에 따른 스핀 로직 소자를 적용한 반전 다수결 게이트의 구조를 나타낸 도면이다.
- [0084] 도 7a는 제1 실시예에 따른 반전 다수결 게이트의 구조를 나타낸다.
- [0085] 제1 실시예에 따른 반전 다수결 게이트는 인버터로 구현된 제1 스핀 로직 소자(700) 및 트랜지스터를 포함한다. 여기서, 트랜지스터는 제1 스핀 로직 소자(700)의 공급 전류 제공 방식에 따라 푸터 트랜지스터(Footer Transistor)의 구조를 가진다.
- [0086] 도 7a에 도시된 바와 같이, 반전 다수결 게이트에서 스핀 소자 레벨(710)은 인버터로 구현된 제1 스핀 로직 소자(700)로 구현된 로직 블록을 포함하고, 기판 레벨(720)은 푸터(Header) 스위치 기능을 수행하는 트랜지스터를 포함한다. 여기서, 스핀 소자 레벨(710)은 백엔드(Back-End) 또는 프론트엔드(Front-End)에 위치할 수 있다.
- [0087] 제1 실시예에 따른 푸터 트랜지스터(Header Transistor)는 제1 스핀 로직 소자(700)와 접지 전압원(Ground) 사이에 연결되며, 제1 스핀 로직 소자(700)와의 가상 접지 노드를 생성한다. 구체적으로, 제1 스핀 로직 소자(700)는 트랜지스터의 소스에 형성된 소스 전극을 통해 전원 전압원(VDD)과 연결되며, 트랜지스터의 드레인은 접지 전압원(Ground)과 연결된다.
- [0088] 제1 실시예에 따른 반전 다수결 게이트는 3 개의 전류 입력단(A, B, C)을 통해 동작하는 제1 스핀 로직 소자(700)와 푸터 트랜지스터에 의해 동작하며, 이러한 반전 다수결 게이트의 동작은 도 9a의 (a)와 같이 NAND 또는 NOR 기능을 수행할 수 있다.
- [0089] 도 7b는 제2 실시예에 따른 반전 다수결 게이트의 구조를 나타낸다.
- [0090] 제2 실시예에 따른 반전 다수결 게이트는 인버터로 구현된 제1 스핀 로직 소자(700) 및 트랜지스터를 포함한다. 여기서, 트랜지스터는 제1 스핀 로직 소자(700)의 공급 전류 제공 방식에 따라 헤더 트랜지스터(Header Transistor)의 구조를 가진다.
- [0091] 도 7b에 도시된 바와 같이, 반전 다수결 게이트에서 스핀 소자 레벨(710)은 인버터로 구현된 제1 스핀 로직 소자(700)로 구현된 로직 블록을 포함하고, 기판 레벨(720)은 헤더(Header) 스위치 기능을 수행하는 트랜지스터를 포함한다. 여기서, 스핀 소자 레벨(710)은 백엔드(Back-End) 또는 프론트엔드(Front-End)에 위치할 수 있다.
- [0092] 제2 실시예에 따른 헤더 트랜지스터(Header Transistor)는 제1 스핀 로직 소자(700)와 전원 전압원(VDD) 사이에 연결되며, 제1 스핀 로직 소자(700)와의 가상 전원 노드를 생성한다. 구체적으로, 제1 스핀 로직 소자(700)는 트랜지스터의 소스에 형성된 소스 전극을 통해 접지 전압원(Ground)과 연결되며, 트랜지스터의 드레인은 전원 전압원(VDD)과 연결된다.
- [0093] 제2 실시예에 따른 반전 다수결 게이트는 3 개의 전류 입력단(A, B, C)을 통해 동작하는 제1 스핀 로직 소자(700)와 헤더 트랜지스터에 의해 동작하며, 이러한 반전 다수결 게이트의 동작은 도 9a의 (a)와 같이 NAND 또는 NOR 기능을 수행할 수 있다.
- [0094] 도 7c는 제3 실시예에 따른 반전 다수결 게이트의 구조를 나타낸다.
- [0095] 제3 실시예에 따른 반전 다수결 게이트는 인버터로 구현된 제1 스핀 로직 소자(700) 및 2 개의 트랜지스터를 포함한다. 여기서, 트랜지스터는 제1 스핀 로직 소자(700)의 공급 전류 제공 방식에 따라 헤더 트랜지스터(Header Transistor) 및 푸터 트랜지스터(Header Transistor)의 구조를 가진다.
- [0096] 도 7c에 도시된 바와 같이, 반전 다수결 게이트에서 스핀 소자 레벨(710)은 인버터로 구현된 제1 스핀 로직 소자(700)로 구현된 로직 블록을 포함하고, 기판 레벨(720)은 헤더(Header) 스위치 기능을 수행하는 트랜지스터 및 푸터(Header) 스위치 기능을 수행하는 트랜지스터를 포함한다. 여기서, 스핀 소자 레벨(710)은 백엔드(Back-End) 또는 프론트엔드(Front-End)에 위치할 수 있다.
- [0097] 제3 실시예에 따른 헤더 트랜지스터(Header Transistor)는 제1 스핀 로직 소자(700)와 전원 전압원(VDD) 사이에 연결되며, 푸터 트랜지스터(Header Transistor)는 제1 스핀 로직 소자(700)와 접지 전압원(Ground) 사이에 연결



된다.

- [0098] 제3 실시예에 따른 헤더 트랜지스터는 제1 스핀 로직 소자(700)와의 가상 전원 노드를 생성하고, 푸터 트랜지스터는 제1 스핀 로직 소자(700)와의 가상 접지 노드를 생성한다. 여기서, 헤더 트랜지스터의 드레인은 전원 전압원(VDD)과 연결되고, 푸터 트랜지스터의 드레인은 접지 전압원(Ground)과 연결된다.
- [0099] 제3 실시예에 따른 반전 다수결 게이트는 3 개의 전류 입력단(A, B, C)을 통해 동작하는 제1 스핀 로직 소자(700)와 헤더 트랜지스터 및 푸터 트랜지스터에 의해 동작하며, 이러한 반전 다수결 게이트의 동작은 도 9a의 (a)와 같이 NAND 또는 NOR 기능을 수행할 수 있다.
- [0100] 도 7a 내지 도 7c의 반전 다수결 게이트는 3 개의 전류 입력단(A, B, C)과 3 개의 전류 입력을 하나의 입력으로 결합하는 결합부(3 개의 전류 입력단이 접하는 지점)를 포함하며, 3 개의 전류 입력단이 결합된 하나의 출력은 제1 스핀 로직 소자(700)의 일측 변환 노드의 입력이 된다. 여기서, 제1 스핀 로직 소자(700)의 일측 변환 노드는 도 1의 스핀 로직 소자(100)의 제2 변환 노드(102)일 수 있다.
- [0101] 제1 스핀 로직 소자(700)의 타측 변환 노드는 트랜지스터와 연결될 수 있다. 여기서, 트랜지스터는 푸터 트랜지스터(Footer Transistor), 헤더 트랜지스터(Header Transistor) 등일 수 있다. 제1 스핀 로직 소자(700)의 타측 변환 노드는 도 1의 스핀 로직 소자(100)의 제1 변환 노드(101)일 수 있다. 제1 스핀 로직 소자(700)의 타측 변환 노드는 트랜지스터의 종류에 따라 상단측 또는 하단측의 연결단으로 연결될 수 있다.
- [0102] 도 8은 본 발명의 제4 실시예에 따른 스핀 로직 소자를 적용한 비반전 다수결 게이트의 구조를 나타낸 도면이다.
- [0103] 제4 실시예에 따른 비반전 다수결 게이트는 버퍼로 구현된 제2 스핀 로직 소자(800) 및 트랜지스터를 포함한다. 여기서, 트랜지스터는 푸터 트랜지스터일 수 있으나, 제2 스핀 로직 소자(800)의 공급 전류 제공 방식에 따라 달라질 수 있으며, 도 7a 내지 도 7c 중 하나의 트랜지스터 구조를 가질 수 있다. 여기서, 제2 스핀 로직 소자(800)는 인공반강자성체(140)를 적용하여 버퍼 형태로 구현된 스핀 로직 소자(100)를 의미한다.
- [0104] 제4 실시예에 따른 비반전 다수결 게이트는 3 개의 전류 입력(A, B, C)을 통해 동작하는 제2 스핀 로직 소자(800)와 푸터 트랜지스터에 의해 동작하며, 이러한 반전 다수결 게이트의 동작은 도 9a의 (b)와 같이 AND 또는 OR 기능을 수행할 수 있다.
- [0105] 도 8의 반전 다수결 게이트는 3 개의 전류 입력단(A, B, C)과 3 개의 전류 입력을 하나의 입력으로 결합하는 결합부(3 개의 전류 입력단이 접하는 지점)를 포함하며, 3 개의 전류 입력단이 결합된 하나의 출력은 제2 스핀 로직 소자(800)의 일측 변환 노드의 입력이 된다. 여기서, 제2 스핀 로직 소자(800)의 일측 변환 노드는 도 1의 스핀 로직 소자(100)의 제2 변환 노드(102)일 수 있다.
- [0106] 제2 스핀 로직 소자(800)의 타측 변환 노드는 트랜지스터와 연결될 수 있다. 여기서, 트랜지스터는 푸터 트랜지스터(Footer Transistor), 헤더 트랜지스터(Header Transistor) 등일 수 있다. 제2 스핀 로직 소자(800)의 타측 변환 노드는 도 1의 스핀 로직 소자(100)의 제1 변환 노드(101)에 인공반강자성체가 추가된 도 3의 (b)와 같은 변환 노드일 수 있다. 제2 스핀 로직 소자(800)의 타측 변환 노드는 트랜지스터의 종류에 따라 상단측 또는 하단측의 연결단으로 연결될 수 있다.
- [0107] 도 9a 및 도 9b는 본 발명의 실시예에 따른 스핀 로직 소자를 이용하여 구현된 다수결 게이트 및 가산기의 연산 회로를 나타낸 도면이다.
- [0108] 도 9a의 (a)는 스핀 로직 소자(100)를 이용한 반전 다수결 게이트(Inverting Majority Gate)를 나타내고, 도 9a의 (b)는 스핀 로직 소자(100)를 이용한 비반전 다수결 게이트(Majority Gate)를 나타낸다.
- [0109] 본 실시예에 따른 스핀 로직 소자(100)의 인버터 회로를 로직 회로로 확장하기 위하여 다수결 게이트로 구현될 수 있다.
- [0110] 도 9a의 (a)를 참조하면, 다수결 게이트는 스핀 로직 소자(100)로 구현된 인버터에 세 개의 전류 입력으로 하여 반전 다수결 게이트를 구성할 수 있다.
- [0111] 반전 다수결 게이트는 세 개의 전류 입력이 한 노드에서 만날 경우, 전류 신호 3 개 중 다수 신호가 최종 인버터의 입력으로 쓰이게 된다. Tie-breaking 신호인 X의 극성(전류 방향)에 따라 반전 다수결 게이트는 NAND 또는 NOR 기능을 수행할 수 있다.

- [0112] 도 9a의 (a)에서, 반전 다수결 게이트는 하나의 입력(input)을 0으로 고정하면, A, B를 입력으로 하는 NAND 게이트로 구현될 수 있다. 여기서, A, B 입력은 전류 방향으로 0과 1을 구분짓고, 출력 F 또한 전류 방향으로 0과 1의 값을 가진다. 한편, 반전 다수결 게이트는 하나의 입력(input)을 1으로 고정하면, A, B를 입력으로 하는 NOR 게이트로 구현될 수 있다. 여기서, A, B 입력은 전류 방향으로 0과 1을 구분짓고, 출력 F 또한 전류 방향으로 0과 1의 값을 가진다.
- [0113] 도 9a의 (b)를 참조하면, 다수결 게이트는 스핀 로직 소자(100)로 구현된 버퍼에 세 개의 전류 입력으로 하여 비반전 다수결 게이트를 구성할 수 있다.
- [0114] 비반전 다수결 게이트는 세 개의 전류 입력이 한 노드에서 만날 경우, 전류 신호 3 개 중 다수 신호가 최종 버퍼의 입력으로 쓰이게 된다. Tie-breaking 신호인 X의 극성(전류 방향)에 따라 최종 버퍼를 사용한 비반전 다수결 게이트는 AND 또는 OR 기능을 수행할 수 있다.
- [0115] 도 9a의 (b)에서, 비반전 다수결 게이트는 하나의 입력(input)을 0으로 고정하면, A, B를 입력으로 하는 AND 게이트로 구현될 수 있다. 여기서, A, B 입력은 전류 방향으로 0과 1을 구분짓고, 출력 F 또한 전류 방향으로 0과 1의 값을 가진다. 한편, 비반전 다수결 게이트는 하나의 입력(input)을 1으로 고정하면, A, B를 입력으로 하는 OR 게이트로 구현될 수 있다. 여기서, A, B 입력은 전류 방향으로 0과 1을 구분짓고, 출력 F 또한 전류 방향으로 0과 1의 값을 가진다.
- [0116] 도 9b는 스핀 로직 소자(100)를 이용한 1-bit 전가산기(Full Adder)를 나타낸다.
- [0117] 도 9b에 도시된 바와 같이, 전가산기는 3 개의 스핀 로직 소자(100) 기반의 다수결 게이트를 활용하여 구현될 수 있다. 여기서, 전가산기는 1 개의 반전 다수결 게이트 및 2 개의 비반전 다수결 게이트를 연결하여 구현될 수 있다. 스핀 로직 소자(100)를 이용하여 전가산기 회로를 구성하는 경우, 디자인 룰(design rule)에 따라 CMOS 대비 5 배 내지 20 배로 면적 효율을 향상시킬 수 있다.
- [0118] 도 10a 내지 도 10d는 본 발명의 실시예에 따른 스핀 로직 소자를 이용하여 구현된 재구성 가능한 스핀 로직 어레이를 나타낸 도면이다.
- [0119] 일반적인 필드 프로그래머블 게이트 어레이(FPGA: Field Programmable Gate Array)는 CLB (combinational logic block), routing, I/O로 구성되어있고, CLB는 LUT (lookup table), DFF (D-flip flop), MUX (multiplexer)로 구성되어 있다.
- [0120] 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)는 스핀 로직 소자(100)를 이용하여 구현된 스핀 인버터, 스핀 버퍼, 다수결 게이트 등으로 필드 프로그래머블 게이트 어레이의 일부 구성을 대체하여 구현될 수 있다.
- [0121] 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)는 스핀 로직 소자(100)를 이용하여 구현된 스핀 인버터, 스핀 버퍼, 다수결 게이트 등을 이용하여 복수의 입력을 가진 복수의 불리언(Boolean) 함수를 표현하는 재구성 가능 로직을 설계할 수 있다.
- [0122] 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)는 입력단, 복수의 배선, 제1 게이트 어레이 및 제2 게이트 어레이를 포함하여 구성될 수 있다. 구체적으로, 재구성 가능한 스핀 로직 어레이(1000)는 적어도 3 개의 전류 신호를 입력 받는 입력단, 입력단과 연결되어 전류 신호를 전달하고, 서로 교차하는 가로 배선 및 세로 배선을 포함하는 복수의 배선, 배선을 통해 상기 입력단과 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제1 다수결 게이트가 배열된 제1 게이트 어레이 및 배선을 통해 상기 제1 게이트 어레이와 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제2 다수결 게이트가 배열된 제2 게이트 어레이를 포함할 수 있다.
- [0123] 입력단은 적어도 3 개의 전류 신호를 입력 받으며, 도 10a 내지 도 10d에서 A, B, C 등의 인풋값을 입력 받는 단과 대응될 수 있다.
- [0124] 입력단은, 하나의 입력에 대한 전류 신호를 전달하는 제1 가로 배선과 전류 신호의 전류 방향을 변경하기 위한 스핀 로직 소자 기반의 스핀 인버터가 배치된 제2 가로 배선으로 연결될 수 있다.
- [0125] 복수의 배선은 입력단과 연결되어 전류 신호를 전달하고, 서로 교차하는 가로 배선 및 세로 배선을 포함한다.
- [0126] 복수의 배선은, 제1 게이트 어레이 및 제2 게이트 어레이를 연결하는 배선을 포함한다. 가로 배선 또는 세로 배선에는, 배선 저항을 고려하여 전류값을 유지시켜주기 위한 리피터(Repeater) 역할을 수행하는 스핀 로직 소자

기반의 배선 스핀 버퍼가 배치될 수 있다.

- [0127] 가로 배선 및 세로 배선에 의해 형성되는 교차 지점에는, 가로 배선 및 상기 세로 배선을 연결하는 형태로 스핀 로직 소자 기반의 스핀 버퍼가 배치될 수 있으며, 스핀 버퍼는 전류 신호의 경로를 라우팅(routing)하는 역할을 수행한다.
- [0128] 제1 게이트 어레이는 배선을 통해 입력단과 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제1 다수결 게이트가 배열될 수 있다.
- [0129] 제1 게이트 어레이는, 스핀 로직 소자를 기반으로 구현된 인버터를 적용한 반전 다수결 게이트 및 스핀 로직 소자를 기반으로 구현된 버퍼를 적용한 비반전 다수결 게이트 중 적어도 하나의 다수결 게이트를 이용하여 구현된 적어도 하나의 제1 다수결 게이트를 포함할 수 있다. 여기서, 제1 게이트 어레이는 도 10a 내지 도 10d에서 스핀 AND 어레이(1030)로 구현될 수 있으며, 제1 다수결 게이트는 스핀 AND 게이트(1032)로 구현될 수 있으며, 게이트의 연산자는 변경될 수 있다.
- [0130] 제2 게이트 어레이는 배선을 통해 제1 게이트 어레이와 연결되고, 스핀 로직 소자를 기반으로 구현된 적어도 하나의 제2 다수결 게이트가 배열될 수 있다.
- [0131] 제2 게이트 어레이는, 스핀 로직 소자를 기반으로 구현된 인버터를 적용한 반전 다수결 게이트 및 스핀 로직 소자를 기반으로 구현된 버퍼를 적용한 비반전 다수결 게이트 중 적어도 하나의 다수결 게이트를 이용하여 구현된 적어도 하나의 제2 다수결 게이트를 포함할 수 있다. 여기서, 제2 게이트 어레이는 도 10a 내지 도 10d에서 스핀 OR 어레이(1040)로 구현될 수 있으며, 제2 다수결 게이트는 스핀 OR 게이트(1042)로 구현될 수 있으며, 게이트의 연산자는 변경될 수 있다.
- [0132] 제2 게이트 어레이는, 제1 게이트 어레이의 출력을 입력 받아, 기 설정된 함수 처리 결과를 출력하되, 제1 다수결 게이트 및 제2 다수결 게이트의 조정을 통해 함수는 변경 가능하다.
- [0133] 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)에서, 제1 다수결 게이트 및 제2 다수결 게이트 각각의 구현을 위하여 적용된 스핀 로직 소자는, 입력 소스에 의해 스핀전류를 주입받고, 제1 변환층을 통해 상기 스핀전류를 전하전류로 변환하여 출력하는 제1 변환 노드 및 전하전류에 의해 유도되는 유도 자기장과 유효 전기장에 의하여 자성체층을 자화반전시켜 스핀전류를 출력하는 제2 변환 노드를 포함할 수 있다.
- [0134] 도 10a 내지 도 10d에서는 AND 어레이와 OR 어레이로 구성된 재구성 가능한 스핀 로직 어레이(1000)의 실시예를 나타낸다.
- [0135] 도 10a를 참조하면, 재구성 가능한 스핀 로직 어레이(1000)는 스핀 AND 어레이(1030)와 스핀 OR 어레이(1040)를 포함한다.
- [0136] A, B, C 세 개의 인풋값은 전류의 방향으로 결정된다. A 인풋은 스핀 인버터(1020)를 거치면 전류 방향이 바뀐 A' 인풋이 된다. 가로 배선과 세로 배선이 만나는 지점마다 스핀 버퍼(1010)를 배치하고, 가로 배선과 세로 배선을 라우팅(routing)시키는 경우, 해당 스핀 버퍼(1010)의 공급(supply) 전압 및 전류를 인가하여 전류가 연결되게 한다.
- [0137] 스핀 AND 어레이(1030)와 스핀 OR 어레이(1040) 각각에 포함된 복수의 AND 게이트 및 OR 게이트는 스핀 다수결 게이트를 이용한 스핀 AND 게이트(1032)와 스핀 OR 게이트(1042)이다.
- [0138] 도 10b를 참조하면, 재구성 가능한 스핀 로직 어레이(1000)는 가로 배선과 세로 배선이 교차하는 교차점(cross-section)마다 스핀 버퍼(110)가 배치된다.
- [0139] 재구성 가능한 스핀 로직 어레이(1000)의 입력단에는 각각의 입력에 대한 전류방향을 변경하기 위한 스핀 인버터(1020)가 배치된다. 예를 들어, A 인풋은 스핀 인버터(1020)를 거치면 전류 방향이 바뀐 A' 인풋으로 변경된다.
- [0140] 재구성 가능한 스핀 로직 어레이(1000)의 입력단으로 입력된 인풋은 가로 배선과 세로 배선에 배치된 스핀 버퍼(1010)를 통해 라우팅(routing)되며, 라우팅된 인풋은 스핀 AND 어레이(1030)에 포함된 스핀 AND 게이트(1032)의 입력이 된다. 여기서, 재구성 가능한 스핀 로직 어레이(1000)는 A, B, C, A', B', C'의 조합으로 만들 수 있는 임의의 불리언(Boolean) 함수(F)를 구현하기 위하여 스핀 AND 어레이(1030)에 포함된 스핀 AND 게이트(1032)의 하나의 입력을 0으로 고정할 수 있으나 반드시 이에 한정되는 것은 아니다.

- [0141] AND 어레이(1030)에 포함된 스핀 AND 게이트(1032)의 출력은 가로 배선과 세로 배선에 배치된 스핀 버퍼(1010)를 통해 라우팅(routing)되며, 라우팅된 스핀 AND 게이트(1032)의 출력은 스핀 OR 어레이(1040)에 포함된 스핀 OR 게이트(1042)의 입력이 된다. 여기서, 재구성 가능한 스핀 로직 어레이(1000)는 A, B, C, A', B', C'의 조합으로 만들 수 있는 임의의 불리언(Boolean) 함수(F)를 구현하기 위하여 스핀 OR 어레이(1040)에 포함된 스핀 OR 게이트(1042)의 하나의 입력을 1로 고정할 수 있으나 반드시 이에 한정되는 것은 아니다.
- [0142] 한편, 재구성 가능한 스핀 로직 어레이(1000)의 스핀 AND 게이트(1032) 및 스핀 OR 게이트(1042)는 3-인풋(input)으로 인해 서로 다른 두 개의 비반전 다수결 게이트(MAJ3)로 구현되는 것으로 도시하고 있으나 반드시 이에 한정되는 것은 아니다.
- [0143] 도 10c를 참고하면, 재구성 가능한 스핀 로직 어레이(1000)는 하나의 인풋이 고정된 경우 2-인풋(input)의 스핀 AND 게이트(1034) 및 스핀 OR 게이트(1044)로 구현될 수 있다. 예를 들어, 2-인풋의 스핀 AND 게이트(1034)는 3 개의 인풋 중 하나가 0으로 고정된 하나의 비반전 다수결 게이트(MAJ3)로 구현될 수 있고, 2-인풋의 스핀 OR 게이트(1044)는 3 개의 인풋 중 하나가 1으로 고정된 하나의 비반전 다수결 게이트(MAJ3)로 구현될 수 있다.
- [0144] 도 10c에 도시된 바와 같이, 재구성 가능한 스핀 로직 어레이(1000)는 서로 다른 개수의 인풋을 가지는 스핀 AND 게이트(1032, 1034), 스핀 OR 게이트(1042, 1044)를 혼합하여 구성될 수 있으며, 게이트의 인풋은 3 개 이상으로도 구현 가능하다.
- [0145] 즉, 재구성 가능한 스핀 로직 어레이(1000)에서 n(n은 2 이상의 자연수) 개의 인풋을 가지는 스핀 AND 게이트 또는 스핀 OR 게이트를 구성하기 위해서는 n-1 개의 비반전 다수결 게이트(MAJ3)가 필요하며, 스핀 AND 게이트 또는 스핀 OR 게이트 각각에는 적어도 2 개 이상의 인풋을 위한 배선이 존재하는 것이 바람직하다.
- [0146] 재구성 가능한 스핀 로직 어레이(1000)는 배선 중간에 배선 스핀 버퍼(1050)를 추가로 배치할 수 있다. 여기서, 배선 스핀 버퍼(1050)는 전류값을 유지시켜주기 위한 리피터(Repeater) 역할을 수행한다. 예를 들어, A 인풋의 전류와 C 인풋의 전류가 스핀 AND 게이트(1032)에 도달하기 위한 배선의 길이가 다르므로, 배선 스핀 버퍼(1050)는 배선 저항을 고려하여 전류값을 유지시켜주기 위한 리피터(Repeater) 역할을 수행한다.
- [0147] 다시 말해, 재구성 가능한 스핀 로직 어레이(1000)는 배선의 길이에 따라 저항이 달라지고, 신호의 세기가 A로부터 입력된 세기와 C로부터 입력된 세기가 달라질 수 있으므로, 배선 중간중간에 배선 스핀 버퍼(1050)를 배치시켜 신호 세기 약화를 방지할 수 있다. 여기서, 배선 스핀 버퍼(1050)의 배치 유무는 배선의 길이 또는 저항에 따라 결정될 수 있고, 배선 스핀 버퍼(1050)의 배치 간격 또한 조절할 수 있다.
- [0148] 도 10d를 참조하면, 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)는 임의의 함수  $F = A \cdot B + B' \cdot C$ 를 구현하는 스핀 로직 회로를 나타낸다.
- [0149] 재구성 가능한 스핀 로직 어레이(1000)는 A 인풋과 하나의 스핀 AND 게이트(1034)의 인풋 배선과 교차하는 지점의 버퍼에 공급(supply) 전류를 주입하여 A 인풋 배선과 스핀 AND 게이트(1034)의 인풋 배선의 전류를 연결하여, A 전류 신호가 스핀 AND 게이트(1034)에 입력되도록 라우팅(routing)한다.
- [0150] 재구성 가능한 스핀 로직 어레이(1000)는 B 인풋과 하나의 스핀 AND 게이트(1034)의 인풋 배선과 교차하는 지점의 버퍼에 공급(supply) 전류를 주입하여 B 인풋 배선과 스핀 AND 게이트(1034)의 인풋 배선의 전류를 연결하여, B 전류 신호가 스핀 AND 게이트(1034)에 입력되도록 라우팅(routing)한다.
- [0151] 재구성 가능한 스핀 로직 어레이(1000)는 스핀 인버터(1020)를 거치면 전류 방향이 바뀐 B' 인풋의 B 반전 전류 신호와 C 인풋의 C 전류 신호를 다른 하나의 AND 게이트(1034)의 입력으로 라우팅(routing)한다.
- [0152] 이후, 재구성 가능한 스핀 로직 어레이(1000)는 두 개 스핀 AND 게이트(1034) 출력을 하나의 스핀 OR 게이트(1044)의 입력으로 라우팅(routing)하여 최종적인 함수(F)의 출력을 만들 수 있다.
- [0153] 재구성 가능한 스핀 로직 어레이(1000)는 라우팅에 사용되고 있는 스핀 버퍼(1010)의 공급(supply) 전류를 유지하는 동안 함수 값은 유지될 수 있다. 한편, 재구성 가능한 스핀 로직 어레이(1000)는 라우팅에 사용되고 있는 스핀 버퍼(1010)의 공급(supply) 전류를 변경하면, 다른 함수의 표현도 가능하다.
- [0154] 즉, 재구성 가능한 스핀 로직 어레이(1000)는 스핀 AND 어레이(1030) 및 스핀 OR 어레이(1040)의 크기와 입력값의 개수에 따라 다양한 함수에 대한 출력을 만들 수 있고, 이에 대한 재구성이 가능하다.
- [0155] 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)는 일반적인 필드 프로그래머블 게이트 어레이에 비해, LUT의 사전 프로그래밍이 필요 없고, 면적을 감소시킬 수 있다는 장점이 있다. 일반적인 필드 프로그래머블 게



이트 어레이는 라우팅(routing) 지점마다 SRAM cell(6 개의 트랜지스터) 및 pass 트랜지스터가 필요한 것이 비해, 본 실시예에 따른 재구성 가능한 스핀 로직 어레이(1000)에서는 라우팅(routing) 지점을 하나의 스핀 버퍼(1010)로 대체하여 칩 구현 면적을 현저히 감소시킬 수 있다.

- [0156] 도 11a 및 도 11b는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 자기터널접합 구조를 이용하여 검출한 실험결과를 나타낸 도면이다.
- [0157] 도 11a는 2  $\mu\text{m}$ 급 자기터널접합의 터널자기저항비 변화에 대한 측정결과를 도시한다. 도 11a를 참고하면, 강자성체/MgO(터널배리어)/강자성체 자기터널접합(magnetic tunnel junction, MTJ)를 기반으로 하는 자기메모리(MRAM)의 단위소자를 제작하고 특성(터널자기저항비 변화)을 측정하였다. Photo lithography를 이용한 2  $\mu\text{m}$ 급 크기의 자기터널접합에서 203 %의 터널자기저항비와 30.7  $\Omega \cdot \mu\text{m}^2$  크기의 resistance area product(RA)를 얻었으며 이는 71 %의 스핀분극률(스핀전류에 해당)에 해당된다. 즉, 가해진 전류의 71 %가 스핀전류로 변환되어 MgO 터널배리어를 통하여 주입되었다는 것을 확인할 수 있다.
- [0158] 도 11b는 100 nm급 자기터널접합 소자 사진과 100 nm급 원형 패턴의 SEM image (상) 및 자기터널저항비의 변화(하)를 도시한다. 도 11b를 참고하면, E-beam lithography를 이용하여 100 nm급 자기터널접합 제작이 가능하며, 열화에 의한 특성 감소 부분을 최대한 줄임으로써 185 %의 터널자기저항비와 26.6  $\Omega \cdot \mu\text{m}^2$  크기의 RA를 얻어 69%의 스핀분극률을 달성하였다. 즉, 가해진 전류의 69 %가 스핀전류로 변환되어 주입되었다는 것을 확인할 수 있다.
- [0159] 도 11c는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 측정하기 위하여 만들어진 자기터널접합 구조에 대한 도면이다.
- [0160] 본 실시예에 따른 스핀 로직 소자(100)에서, 스핀의존 터널링(spin dependent tunneling)을 위해서는 MgO 터널배리어를 사용하며, 강자성체와 MgO 터널배리어가 (001) texture로 결맞음 성장을 해야 한다. 이를 위하여, 스핀 로직 소자(100)에서는 MgO와 CoFeB 강자성체 사이에 원자 수준의 Mg 삽입층을 사용하여 수직 방향뿐만 아니라 수평 방향의 강한 조직((001) texture)을 갖는 CoFeB/MgO/CoFeB 구조를 적용할 수 있다(도 11c의 아래 전자현미경 사진).
- [0161] 도 11c에서 Mg 삽입층 유무에 따라 CoFeB/MgO/CoFeB 구조가 수직 방향 뿐만 아니라 수평 방향의 강한 조직((001) texture)을 갖는 것을 cross-sectional high-resolution transmission electron microscopy (XRTEM)를 이용하여 확인할 수 있다.
- [0162] 도 11d는 본 발명의 실시예에 따른 스핀 로직 소자 내 스핀주입층에서 주입된 스핀전류를 Ge 반도체에서 검출한 결과와 구조에 대한 도면이다.
- [0163] 도 11d의 (a)는 Ge/Mg/MgO/CoFeB 구조를 XRTEM을 이용하여 구조를 관찰한 도면이며, 도 11d의 (b)는 Ge으로의 주입된 스핀을 검출한 실험결과를 나타낸다.
- [0164] 본 실시예에 따른 스핀분극된 전류를 반도체에 주입하는데 있어서, Mg층을 삽입하여 터널배리어인 MgO와 자성전극인 CoFeB 간의 epitaxial growth를 유도할 수 있다. 본 실시예에 따른 계면제어를 수행하는 경우, 열처리 등을 이용한 기존의 결정성 향상법보다 스핀 주입효율이 약 2.7배 향상될 수 있다. 또한, 이 기술을 이용하여 MgO의 수직방향 결정성뿐만 아니라 수평방향의 결정성 또한 향상됨에 따라 전자가 CoFeB에서 MgO를 터널링으로 통과할 때 전자의 스핀분극이 보존되고, 이를 통하여 반도체인 Ge에 스핀전류가 주입되는 효율이 증가된다. 또한, 스핀 주입 기술을 기반으로 하는 반도체 스핀트로닉스 분야에서 원자단위의 계면제어가 중요함을 확인할 수 있다. 도 11e는 본 발명의 실시예에 따른 전압제어 자기이방성의 측정결과를 나타낸 도면이다.
- [0165] 도 11e는 본 발명의 실시예에서 가해진 전압으로 강자성층의 자기이방성 에너지를 낮추고 스핀 스위칭을 실시한 결과를 나타낸 도면이다.
- [0166] 도 11e를 참고하면, 수직자기이방성을 갖는 CoFeB/MgO/CoFeB p-MTJ에서 원자층의 마그네슘을 CoFeB과 MgO 계면에 삽입하여 계면에서의 산소량과 인장응력 정도를 변화시켰으며 외부 전기장을 가했을 경우 자기이방성 에너지의 변화를 측정하였다. 특히, 마그네슘 삽입층은 계면의 상태를 과산화에서 적정한 산화상태로 변화시켜 CoFeB의 수직자기이방성 에너지를 2배 증가시키고, 전기장에 의한 자기이방성 에너지의 변화(감소)를 100 fJ/V  $\cdot$  m 크기로 6배 향상시킨 것을 확인할 수 있다. 또한, CoFeB과 MgO의 격자이격에 의한 인장응력을 완화시킴으로서 전기장 효과의 에너지 감소 거동이 비대칭에서 대칭으로 변화됨을 확인할 수 있다. 이를 이용하여 159 Oe, -100

0e 크기의 외부 자기장을 인가한 상태에서 600 mV 크기의 전압(임계 스위칭 전류밀도,  $J_c = 1.9 \times 10^5 \text{ A/cm}^2$ )을 인가하여 반평행-평행 및 평행-반평행 자화 스위칭의 동작을 확인할 수 있다. 즉, 원자층의 마그네슘을 CoFeB과 MgO 계면에 삽입하여 계면에서의 산소량과 인장응력 정도를 변화시킴에 따라 소자의 쓰기 동작에 필요한 소비전력을 줄일 수 있다는 점을 확인할 수 있다.

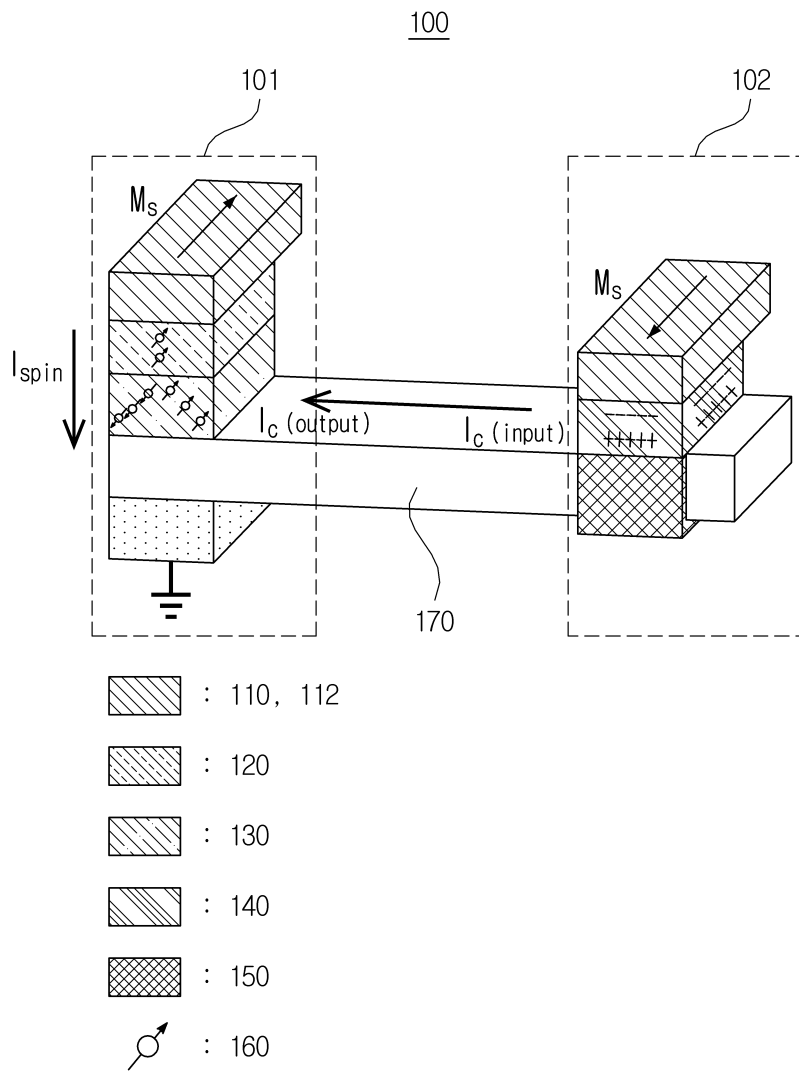
[0167] 도 11e의 (a)는 외부 전기장 효과 자기터널접합 소자 및 Mg 삽입층 기술의 도식도를 나타내며, 도 11e의 (b)는 인가한 전기장에 의한 자기터널저항비를 나타낸다. 또한, 도 11e의 (c)는 인가한 전기장에 의한 자기이방성에너지 크기의 변화를 나타내고, 도 11e의 (d)는 150 Oe와 -100 Oe를 인가한 상태에서 600 mV의 전압을 가하여 자기이방성에너지가 낮아진 상태에서 자기터널접합의 반평행-평행 및 평행-반평행 자화 스위칭 결과를 나타낸다.

[0168] 도 11e는 본 발명의 실시예에 따른 전하에 의하여 자성체의 자기이방성 에너지를 감소시킬 수 있는 결과를 반증한다. 여기서, 전하는 외부 전기장처럼 작용하는 유효 전기장을 발생시켜 강자성체의 전자구조를 변화시켜 자기이방성 에너지를 감소시킬 수 있도록 한다.

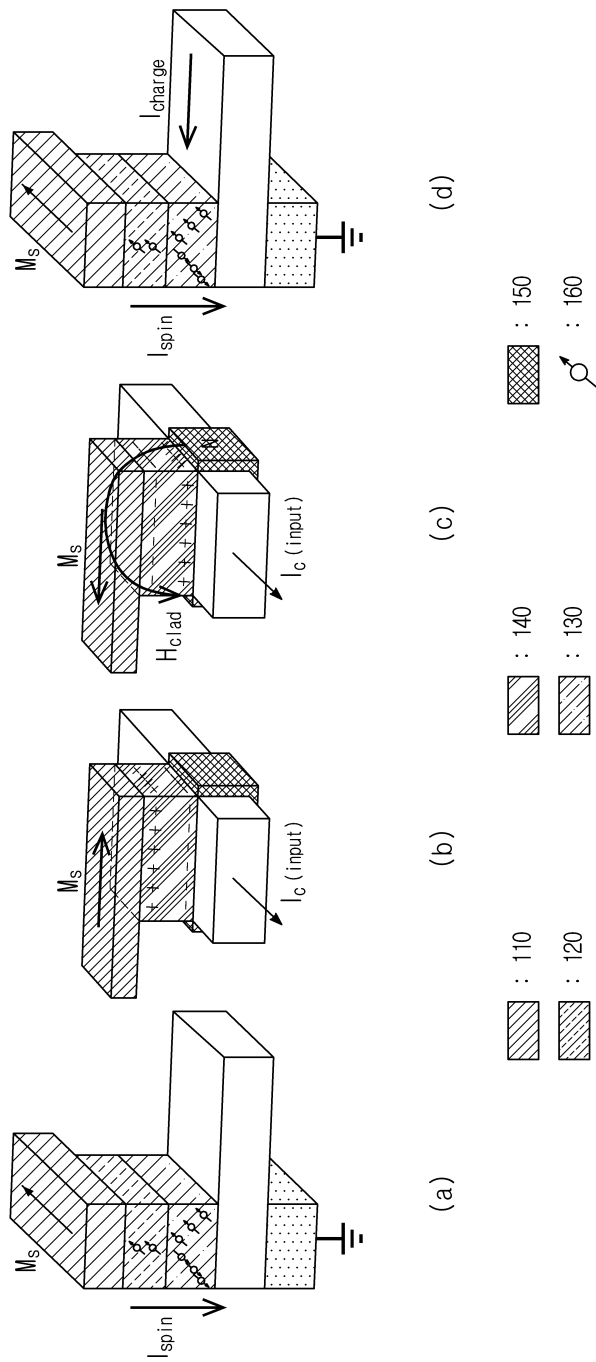
[0169] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

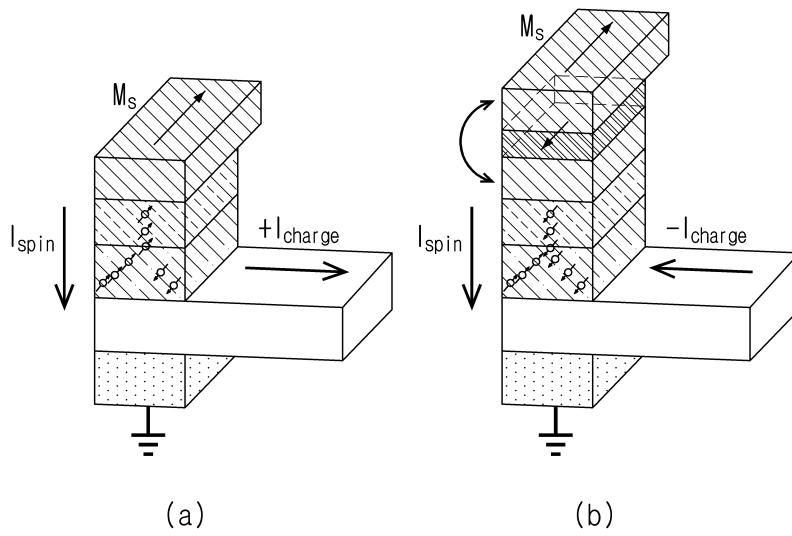
도면1







도면2

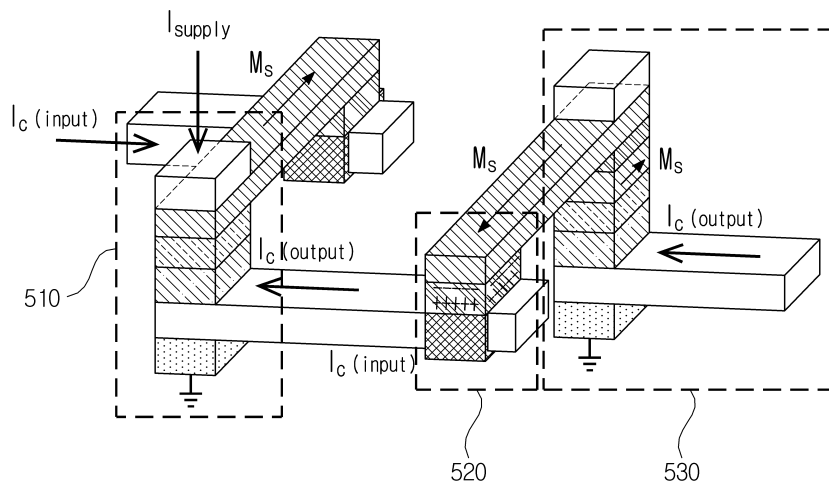








도면3



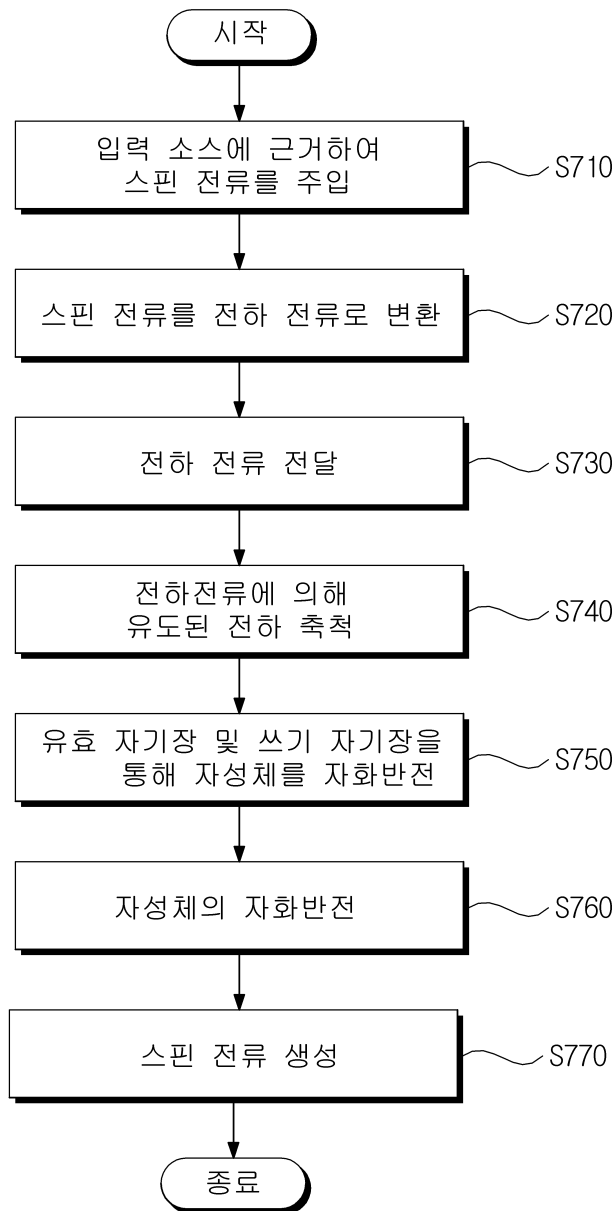
-  : 110
-  : 114
-  : 120
-  : 130

도면4

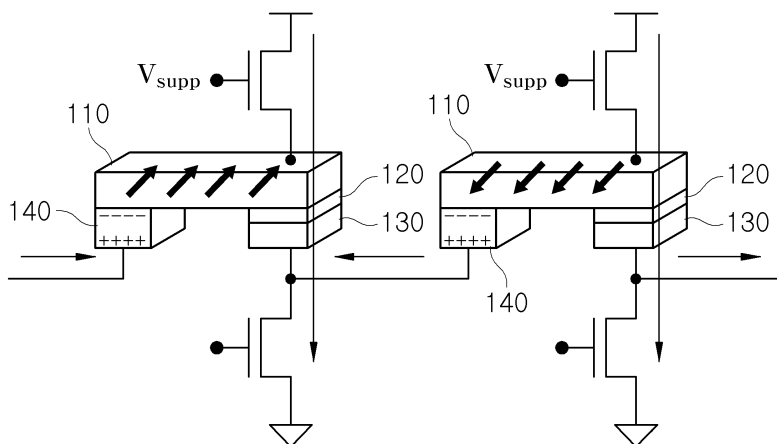


-  : 110, 112
-  : 114
-  : 120
-  : 130
-  : 140
-  : 150

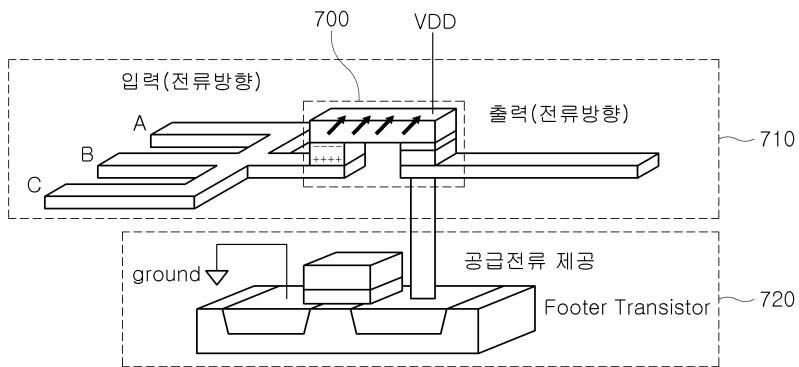
도면5



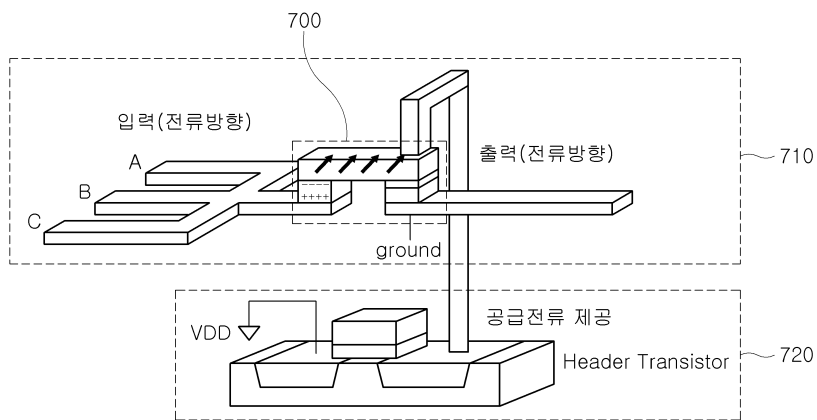
도면6



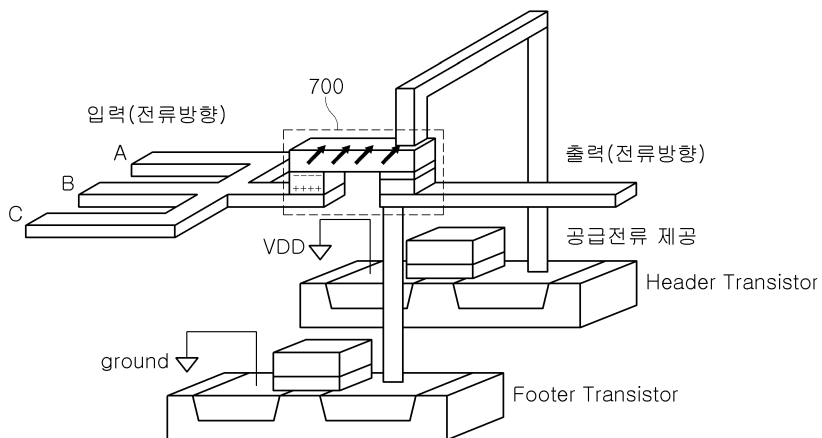
도면7a



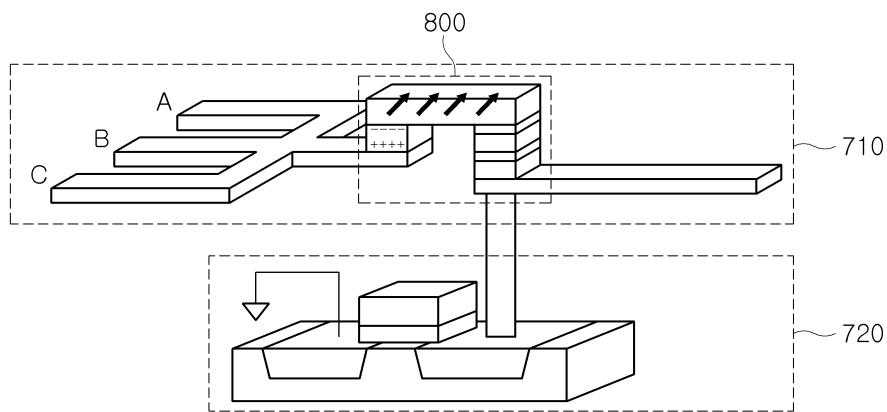
도면7b



도면7c

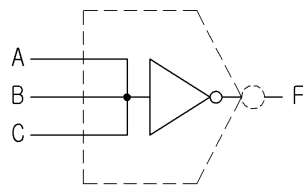


도면8



도면9a

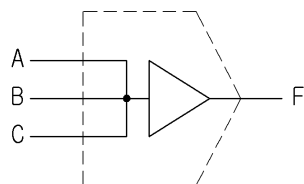
반전 다수결 게이트 (MAJ3)



X	A	B	Out	
0	0	0	1	X=0 NAND
	0	1	1	
	1	0	1	
	1	1	0	
1	0	0	1	X=1 NOR
	0	1	0	
	1	0	0	
	1	1	0	

(a)

비반전 다수결 게이트 (MAJ3)

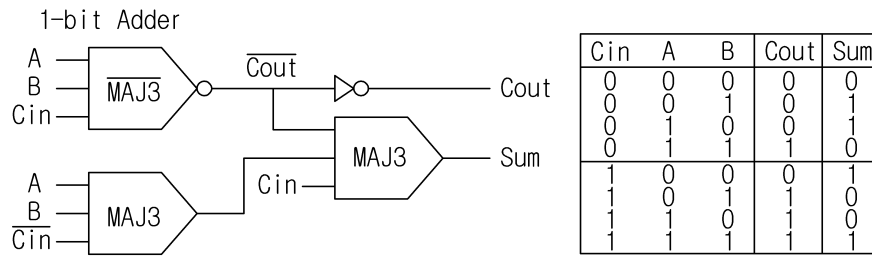


X	A	B	Out	
0	0	0	1	X=0 AND
	0	1	1	
	1	0	1	
	1	1	0	
1	0	0	1	X=1 NOR
	0	1	0	
	1	0	0	
	1	1	0	

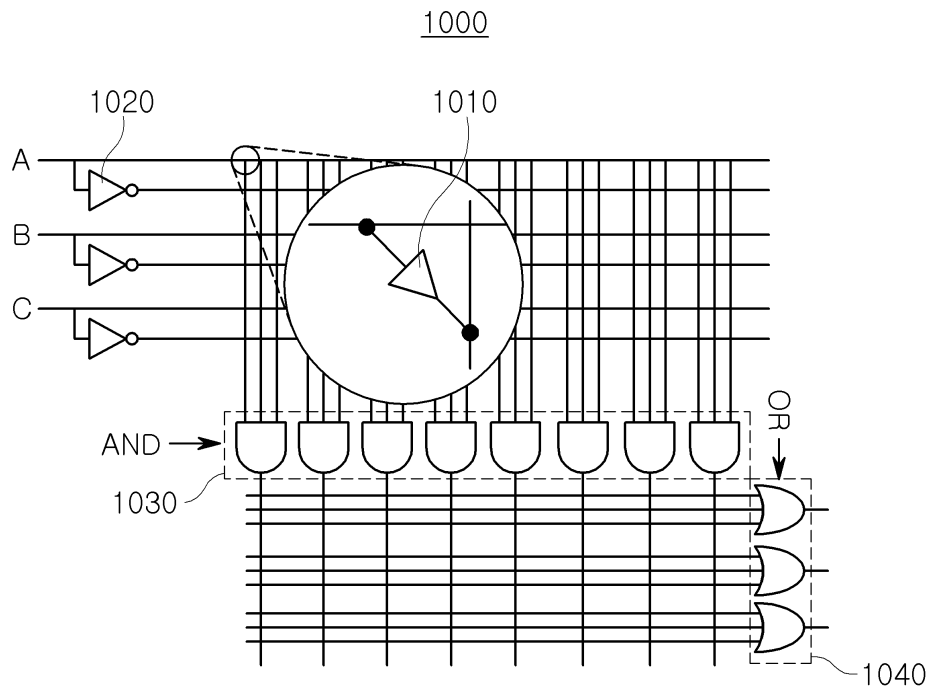
(b)



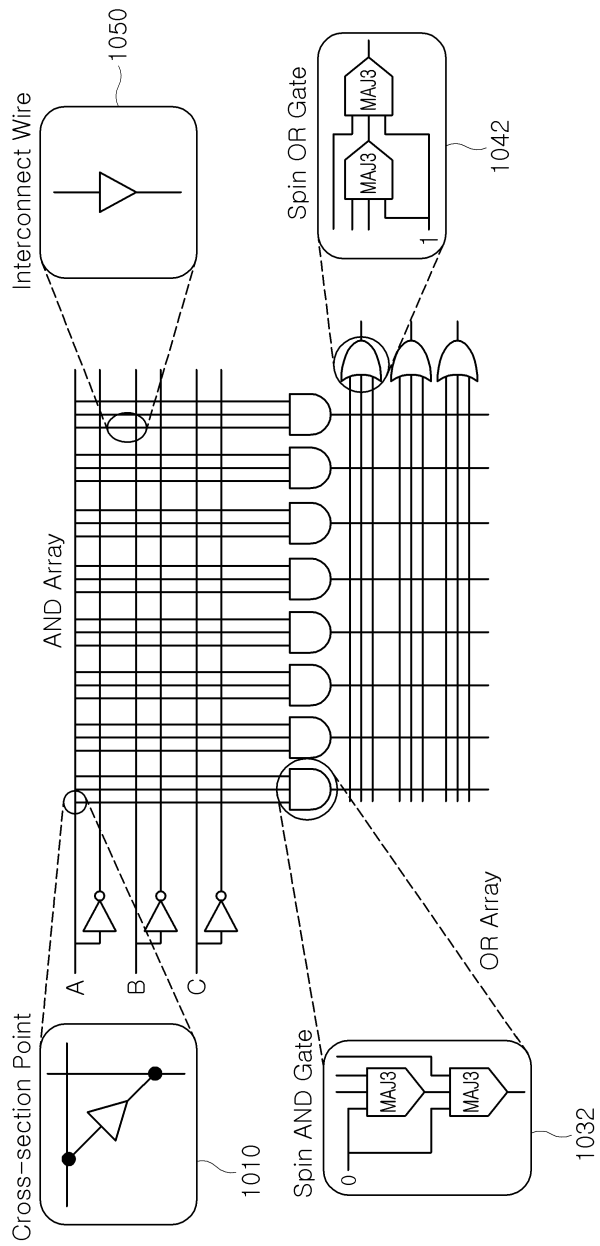
도면9b



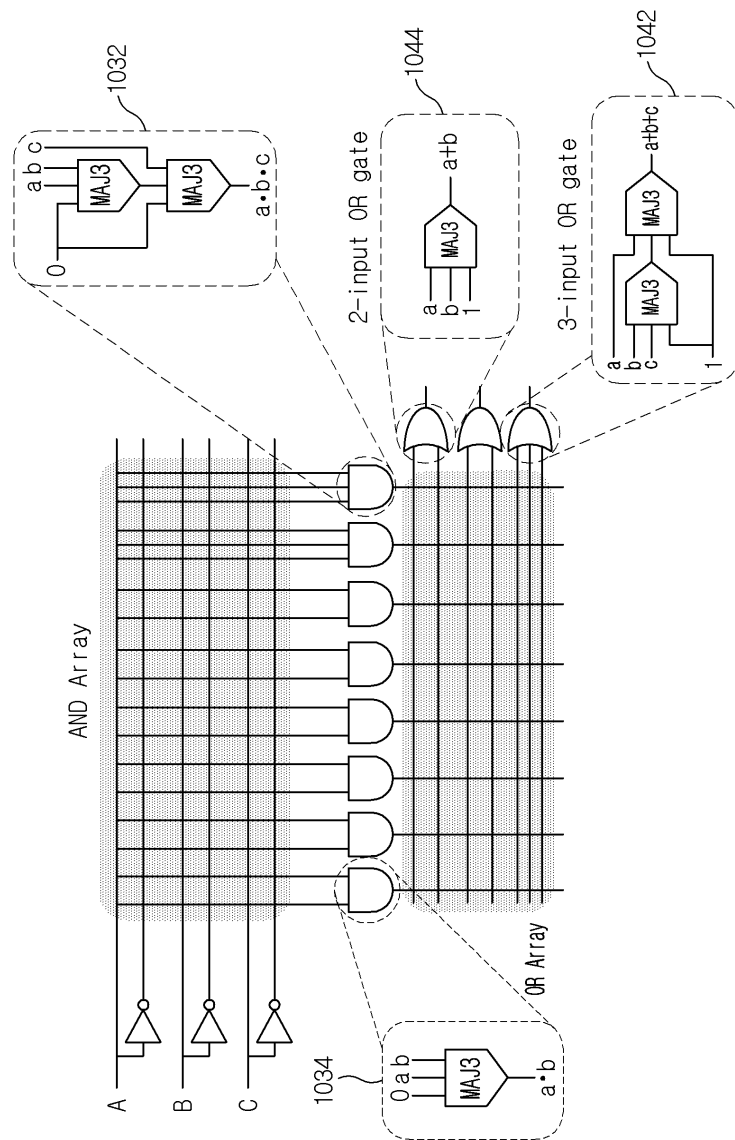
도면10a



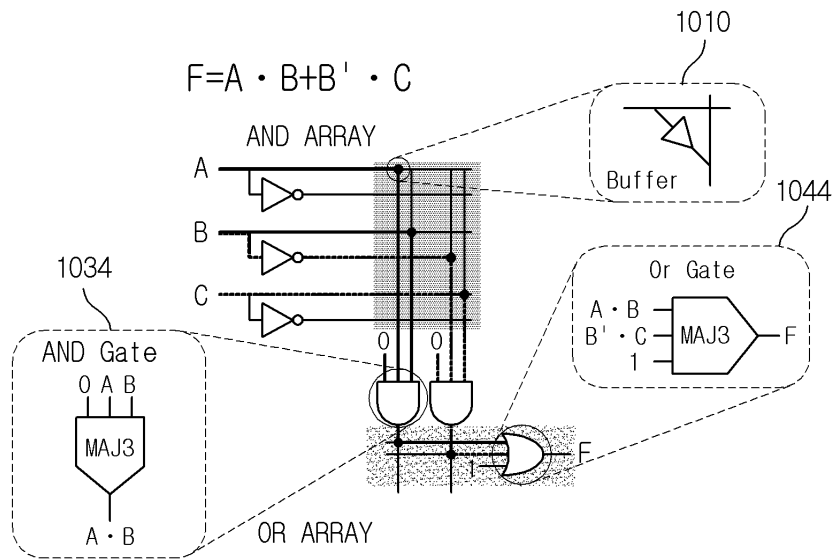
도면10b



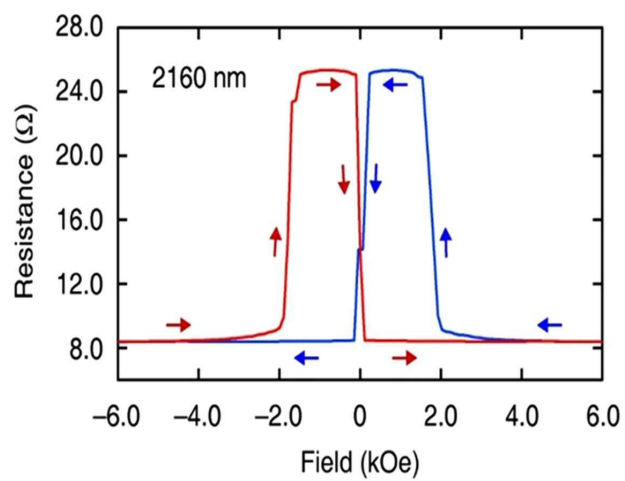
도면10c



도면10d

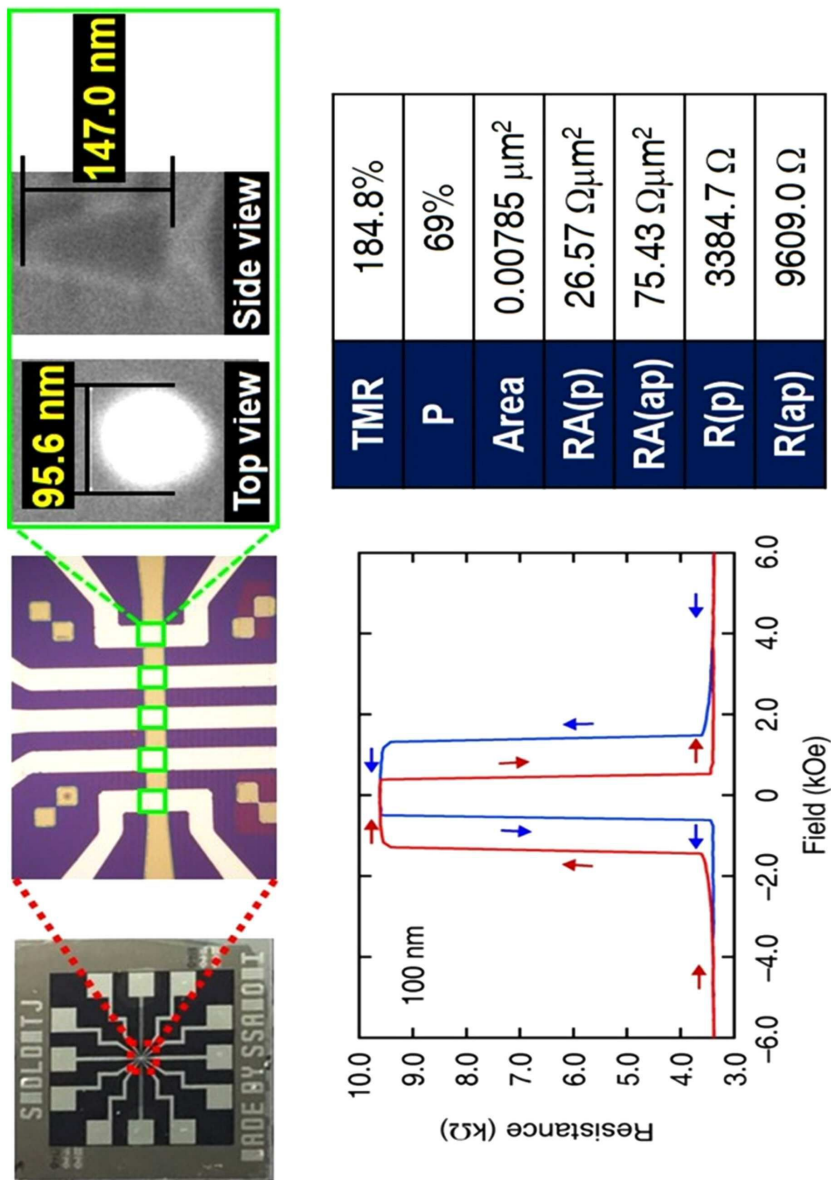


도면11a

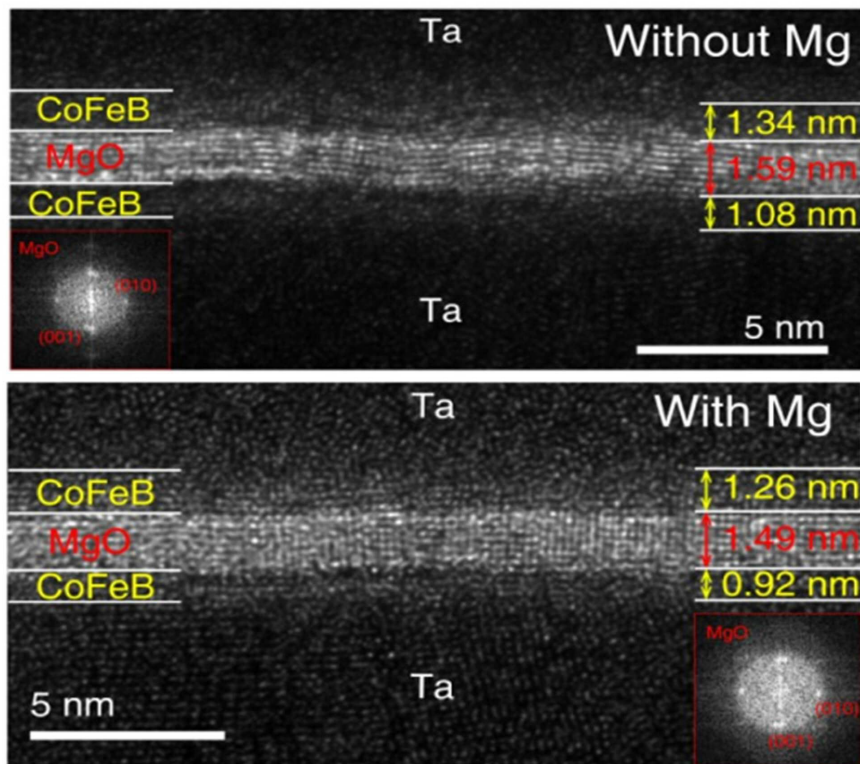


<b>TMR</b>	203.2%
<b>P</b>	71%
<b>Area</b>	3.664 $\mu\text{m}^2$
<b>RA(p)</b>	30.64 $\Omega\mu\text{m}^2$
<b>RA(ap)</b>	92.92 $\Omega\mu\text{m}^2$
<b>R(p)</b>	8.36 $\Omega$
<b>R(ap)</b>	25.36 $\Omega$

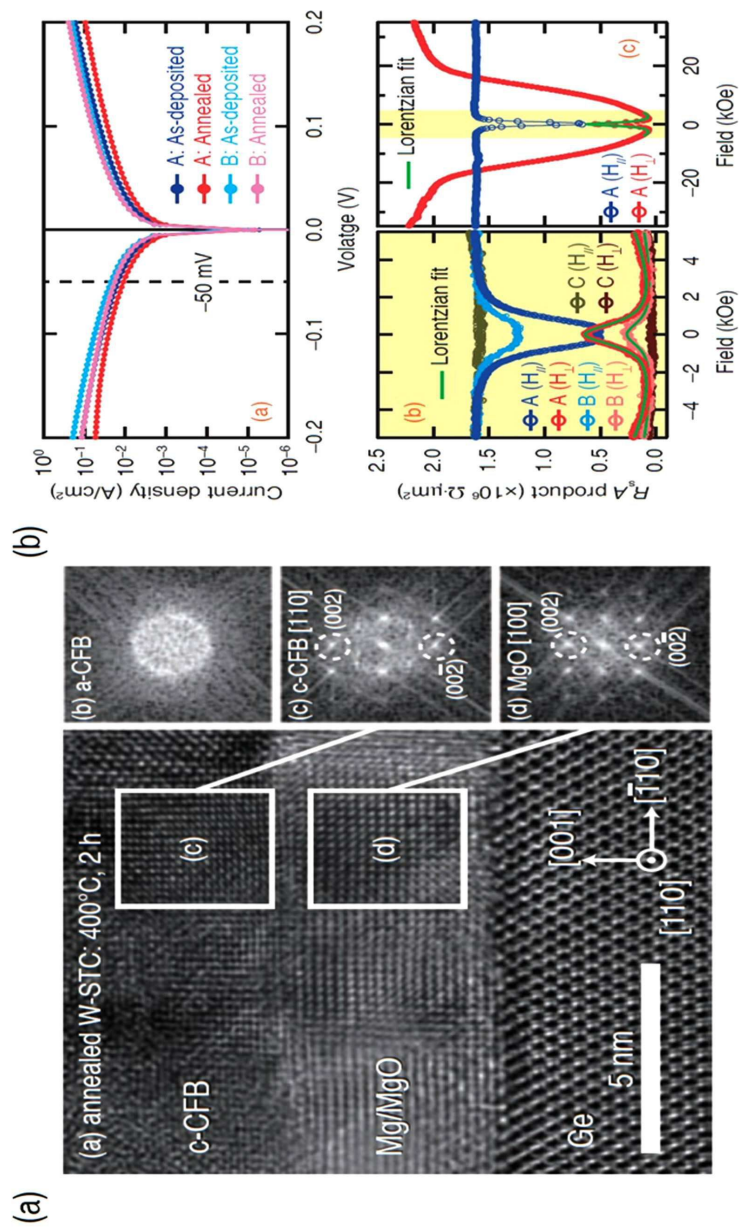
도면11b



도면11c



도면11d



도면11e

