

- (51) 국제특허분류(Int. Cl.)
G11C 11/413 (2006.01) *G11C 7/10* (2015.01)
G11C 8/08 (2006.01)

(52) CPC특허분류
G11C 11/413 (2013.01)
G11C 7/1006 (2013.01)

(21) 출원번호 10-2018-0126375

(22) 출원일자 2018년10월23일
 심사청구일자 없음

(71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 연세대학교 산학협력단
 서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자
 김훈기
 서울특별시 강남구 선릉로 748, 201동 207호
 김태현
 서울시 서대문구 연세로 50, 제3공학관 C421호
 (뒷면에 계속)

(74) 대리인
 박영우

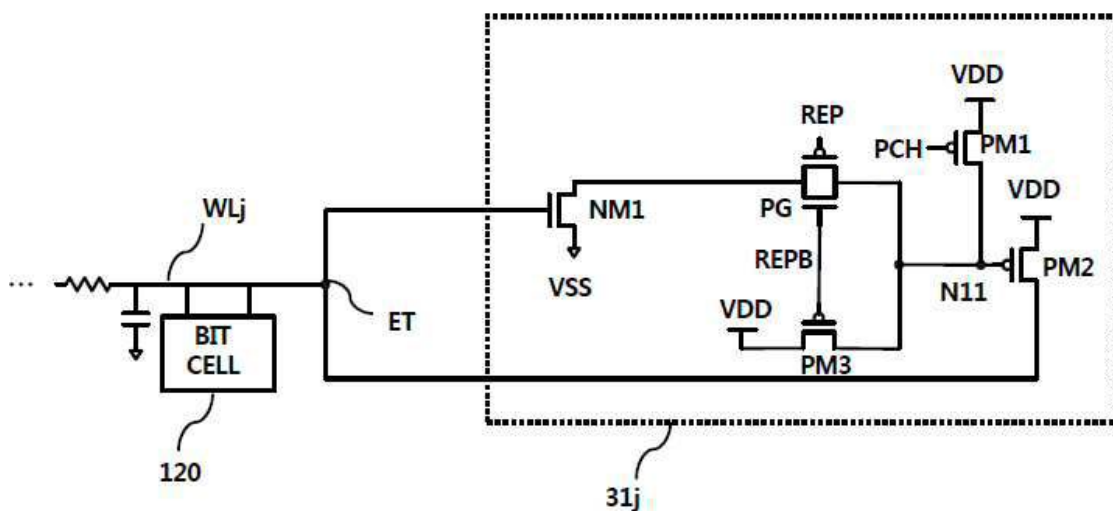
전체 청구항 수 : 총 13 항

- (54) 발명의 명칭 메모리 장치 및 이를 포함하는 시스템 온 칩

(57) 요약

메모리 장치는 메모리 셀 어레이 및 주변 회로를 포함한다. 상기 메모리 셀 어레이는 제1 전원 전압을 공급받고, 상기 제1 전원 전압에 기초하여 데이터를 저장하는 복수의 비트 셀들을 포함한다. 상기 주변 회로는 제2 전원 전압을 공급받고, 상기 제2 전원 전압에 기초하여 상기 메모리 셀 어레이를 제어한다. 상기 주변 회로는 상기 복수의 비트 셀들에 연결되는 복수의 워드라인들의 종단들 각각에 연결되는 단위 어시스트 회로들을 구비하는 워드라인 전압 어시스트 회로를 포함하고, 상기 복수의 워드라인들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 기입 동작 또는 독출 동작에서 복제 신호 및 프리차지 신호에 기초하여 상기 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조한다.

대표도 - 도11



(52) CPC특허분류

G11C 8/08 (2013.01)

(72) 발명자

박주현

서울시 서대문구 연세로 50, 제3공학관 C421호

정성욱

서울시 서대문구 연세로 50, 제3공학관 C513호

임우진

경기도 화성시 동탄순환대로 881-10, 707동 1104호

정한울

서울특별시 강남구 논현로122길 24, 201호

명세서

청구범위

청구항 1

제1 전원 전압을 공급받고, 상기 제1 전원 전압에 기초하여 데이터를 저장하는 복수의 비트 셀들을 포함하는 메모리 셀 어레이; 및

제2 전원 전압을 공급받고, 상기 제2 전원 전압에 기초하여 상기 메모리 셀 어레이를 제어하는 주변 회로를 포함하고,

상기 주변 회로는 상기 복수의 비트 셀들에 연결되는 복수의 워드라인들의 종단들 각각에 연결되는 단위 어시스트 회로들을 구비하는 워드라인 전압 어시스트 회로를 포함하고,

상기 복수의 워드라인들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 기입 동작 또는 독출 동작에서 복제 신호 및 프리차지 신호에 기초하여 상기 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조하는 메모리 장치.

청구항 2

제1항에 있어서, 상기 선택된 워드라인에 연결되는 단위 어시스트 회로는

상기 선택된 워드라인의 상기 종단에 연결되어 상기 전압 상승을 가지하는 감지 트랜지스터;

상기 감지 트랜지스터와 연결되는 패스 게이트;

전원 전압과 상기 감지 트랜지스터에 연결되는 제1 노드 사이에 연결되는 제1 피모스 트랜지스터;

상기 전원 전압, 상기 제1 노드 및 상기 종단에 연결되는 제2 피모스 트랜지스터;

상기 제1 노드, 상기 패스 게이트 및 상기 전원 전압에 연결되는 제3 피모스 트랜지스터를 포함하는 메모리 장치.

청구항 3

제2항에 있어서, 상기 감지 트랜지스터는

상기 패스 게이트에 연결되는 드레인, 상기 종단에 연결되는 게이트 및 접지 전압에 연결되는 소스를 구비하는 제1 엔모스 트랜지스터이고,

상기 패스 게이트는 대향적으로 연결되는 제4 피모스 트랜지스터 및 제2 엔모스 트랜지스터를 포함하고,

상기 제4 피모스 트랜지스터는 상기 복제 신호를 수신하는 게이트를 구비하고,

상기 제2 엔모스 트랜지스터는 상기 복제 신호가 반전된 반전 복제 신호를 수신하는 게이트를 구비하고,

상기 제1 엔모스 트랜지스터의 문턱 전압은 상기 비트 셀들에 포함되는 엔모스 트랜지스터들 각각의 문턱 전압보다 낮은 메모리 장치.

청구항 4

제2항에 있어서,

상기 제1 피모스 트랜지스터는 상기 전원 전압에 연결되는 소스, 상기 프리차지 신호를 수신하는 게이트 및 상기 제1 노드에 연결되는 드레인을 구비하는 메모리 장치.

청구항 5

제2항에 있어서,

상기 제2 피모스 트랜지스터는 상기 전원 전압에 연결되는 소스, 상기 제1 노드에 연결되는 게이트 및 상기 종

단에 연결되는 드레인을 구비하는 메모리 장치.

청구항 6

제2항에 있어서,

상기 제3 피모스 트랜지스터는 상기 전원 전압에 연결되는 소스, 상기 상기 복제 신호가 반전된 반전 복제 신호를 수신하는 게이트 및 상기 제1 노드에 연결되는 소스를 구비하는 메모리 장치.

청구항 7

제2항에 있어서,

상기 감지 트랜지스터는 상기 워드라인 전압의 상승을 무경합으로 감지하는 메모리 장치.

청구항 8

제2항에 있어서,

상기 주변 회로는 상기 선택된 워드라인에 연결되는 적어도 하나의 비트 셀에 연결되는 비트라인과 상보 비트라인을 제1 구간에서 프리차지시키고,

상기 제1 구간에 연속하는 제2 구간에서 상기 감지 트랜지스터는 상기 전압 상승을 감지하고,

상기 선택된 워드라인에 연결되는 단위 어시스트 회로는 상기 제2 구간에 연속하며, 상기 제1 노드의 전압 레벨이 접지 전압인 제3 구간에서 상기 전압 상승을 보조하며,

상기 복제 신호가 하이 레벨이며, 상기 제3 구간에 연속하는 제4 구간에서 상기 전압 상승 보조 동작은 종료되는 메모리 장치.

청구항 9

제8항에 있어서,

상기 프리차지 신호는 상기 제3 구간과 상기 제4 구간에서 하이 레벨이 되는 메모리 장치.

청구항 10

제1항에 있어서, 상기 주변 회로는

상기 복수의 워드라인들을 통하여 상기 메모리 셀 어레이에 연결되고, 로우 어드레스에 기초하여 상기 워드라인들 중 하나를 선택하는 로우 디코더;

복수의 비트라인들과 복수의 상보 비트라인들을 통하여 상기 메모리 셀 어레이에 연결되고, 칼럼 어드레스, 기입 클럭 신호에 응답하여 상기 메모리 셀 어레이에 대한 기입 동작 및 독출 동작을 수행하는 기입/독출 회로; 및

외부로부터의 커맨드, 어드레스 및 클럭 신호에 기초하여 상기 로우 디코더 및 상기 기입/독출 회로를 제어하는 제어 회로를 더 포함하고,

상기 제어 회로는 상기 프리차지 신호 및 상기 복제 신호를 생성하는 메모리 장치.

청구항 11

제1항에 있어서, 상기 복수의 비트 셀들 각각은

상기 복수의 워드라인들 중 상응하는 워드라인과 상기 복수의 비트라인들 중 상응하는 비트라인에 연결되는 제1 액세스 트랜지스터;

상기 복수의 워드라인들 중 상응하는 워드라인과 상기 복수의 상보 비트라인들 중 상응하는 상보 비트라인에 연결되는 제2 액세스 트랜지스터; 및

상기 제1 액세스 트랜지스터 및 상기 제2 액세스 트랜지스터에 연결되고, 상기 제1 전원 전압을 공급받아 상응하는 데이터를 저장하는 데이터 저장 회로를 포함하는 메모리 장치.

청구항 12

데이터를 저장하는 복수의 비트셀들을 구비하는 메모리 셀 어레이, 및 상기 메모리 셀 어레이를 제어하는 주변 회로를 포함하는 메모리 장치;

상기 메모리 셀 어레이에 데이터가 저장되도록 상기 메모리 장치에 데이터를 제공하고, 상기 메모리 장치로부터 상기 메모리 셀 어레이에 저장된 데이터를 수신하는 프로세싱 회로; 및

상기 메모리 장치의 상기 메모리 셀 어레이에 제1 전원 전압을 제공하고 상기 주변 회로에 제2 전원 전압을 제공하는 전력 관리 집적 회로를 포함하고,

상기 주변 회로는 상기 복수의 비트 셀들에 연결되는 복수의 워드라인들의 종단들 각각에 연결되는 단위 어시스트 회로들을 구비하는 워드라인 전압 어시스트 회로를 포함하고,

상기 복수의 워드라인들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 기입 동작 또는 독출 동작에서 복제 신호 및 프리차지 신호에 기초하여 상기 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조하는 시스템 온 칩.

청구항 13

제12항에 있어서,

상기 메모리 장치는 정적 랜덤 액세스 메모리(SRAM) 장치인 시스템 온 칩.

발명의 설명**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 메모리 장치 및 이를 포함하는 시스템 온 칩에 관한 것이다.

배경 기술

[0002] 정적 메모리 장치의 제조에서 스케일링이 계속됨에 따라 트랜지스터를 연결하는 인터커넥트도 함께 스케일링된다. 이 때, 인터커넥트의 기생 저항 성분은 스케일링의 영향을 2차원으로 받게 되고, 스케일링의 영향이 큰 폭으로 증가한다. 따라서 최근에는 인터커넥트의 기생 저항에 의한 지연 시간이 크게 증가한다. 정적 메모리 장치의 워드라인에서도 기생 저항의 영향이 나타나는데, 동일한 워드라인에서도 워드라인 드라이버에서의 거리가 증가할수록 구동 전압에 의한 전압 상승이 지연되는 문제점이 발생한다.

발명의 내용**해결하려는 과제**

[0003] 본 발명의 일 목적은 워드라인 전압의 상승 속도를 증가시켜 성능을 높일 수 있는 메모리 장치를 제공하는 것이다.

[0004] 본 발명의 일 목적은 워드라인 전압의 상승 속도를 증가시켜 성능을 높일 수 있는 메모리 장치를 포함하는 시스템 온 칩을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 실시예들에 따른 메모리 장치는 메모리 셀 어레이 및 주변 회로를 포함한다. 상기 메모리 셀 어레이는 제1 전원 전압을 공급받고, 상기 제1 전원 전압에 기초하여 데이터를 저장하는 복수의 비트 셀들을 포함한다. 상기 주변 회로는 제2 전원 전압을 공급받고, 상기 제2 전원 전압에 기초하여 상기 메모리 셀 어레이를 제어한다. 상기 주변 회로는 상기 복수의 비트 셀들에 연결되는 복수의 워드라인들의 종단들 각각에 연결되는 단위 어시스트 회로들을 구비하는 워드라인 전압 어시스트 회로를 포함하고, 상기 복수의 워드라인들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 기입 동작 또는 독출 동작에서 복제 신호 및 프리차지 신호에 기초하여 상기 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조한다.

[0006] 본 발명의 실시예들에 따른 시스템 온 칩은 메모리 장치, 프로세싱 회로 및 전력 관리 집적 회로를 포함한다. 상기 메모리 장치는 데이터를 저장하는 복수의 비트셀들을 구비하는 메모리 셀 어레이, 및 상기 메모리 셀 어레이를 제어하는 주변 회로를 포함한다. 상기 프로세싱 회로는 상기 메모리 셀 어레이에 데이터가 저장되도록 상기 메모리 장치에 데이터를 제공하고, 상기 메모리 장치로부터 상기 메모리 셀 어레이에 저장된 데이터를 수신한다. 상기 전력 관리 집적 회로는 상기 메모리 장치의 상기 메모리 셀 어레이에 제1 전원 전압을 제공하고 상기 주변 회로에 제2 전원 전압을 제공한다. 상기 주변 회로는 상기 복수의 비트 셀들에 연결되는 복수의 워드라인들의 종단들 각각에 연결되는 단위 어시스트 회로들을 구비하는 워드라인 전압 어시스트 회로를 포함하고, 상기 복수의 워드라인들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 기입 동작 또는 독출 동작에서 복제 신호 및 프리차지 신호에 기초하여 상기 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조한다.

발명의 효과

[0007] 본 발명의 실시예들에 따르면, 정적 메모리 장치에서 무경합으로 선택된 워드라인의 전압 상승을 감지하고 선택된 워드라인에 전하를 공급하여 전압 상승을 보조할 수 있어, 지연 시간을 감소시켜 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 도 1의 메모리 장치를 보다 상세히 나타내는 블록도이다.

도 3은 본 발명의 실시예들에 따라 도 2의 메모리 장치에 포함되는 비트 셀들 중 하나의 구성을 나타내는 회로도이다.

도 4는 도 3의 비트 셀에서 데이터 저장 회로의 제1 인버터와 제2 인버터를 나타내는 회로도이다.

도 5는 도 3의 비트 셀에 대한 독출 동작을 나타낸다.

도 6은 도 3의 비트 셀에 대한 기입 동작을 나타낸다.

도 7은 워드라인 드라이버가 선택된 워드라인의 전압을 상승시키는 것을 나타낸다.

도 8은 본 발명의 실시예들에 따른 도 2의 메모리 장치에서 워드라인 전압 어시스트 회로를 나타내는 블록도이다.

도 9는 도 3의 비트 셀과 비트 셀에 연결되는 센싱 트랜지스터를 나타낸다.

도 10은 감지 인에이블 신호를 생성하는 신호 생성기를 나타내는 회로도이다.

도 11은 도 8의 워드라인 전압 어시스트 회로에 포함되는 복수의 단위 어시스트 회로들 중 하나의 구성을 나타내는 회로도이다.

도 12는 도 11의 단위 어시스트 회로의 동작을 나타내는 파형도이다.

도 13은 기생 저항의 증가에 따라 본 발명의 실시예들에 따른 전압 상승 어시스트 회로가 구비되지 않은 경우와 구비된 경우의 워드라인의 전압 상승을 나타낸다.

도 14는 본 발명의 실시예들에 따른 메모리 장치를 포함하는 시스템-온-칩을 나타내는 블록도이다.

도 15는 본 발명의 실시예들에 따른 메모리 장치를 모바일 장치에 적용한 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성 요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략한다.

[0010] 도 1은 본 발명의 실시예들에 따른 메모리 장치를 나타내는 블록도이다.

[0011] 도 1을 참조하면, 메모리 장치(또는, 정적 메모리 장치, 100)는 데이터를 저장하는 메모리 셀 어레이(110), 및 메모리 셀 어레이(110)를 제어하는 주변 회로(200)를 포함한다.

[0012] 메모리 셀 어레이(110) 및 주변 회로(200)는 서로 다른 전원 전압들(VDDCE, VDDPE)을 공급받을 수 있다. 즉, 메

메모리 셀 어레이(110)는 외부의 전력 관리 집적 회로(power management integrated circuit(PMIC); 50)로부터 제1 전원 전압 배선(65)을 통하여 제1 전원 전압(VDDCE)을 공급받고, 주변 회로(200)는 전력 관리 집적 회로(50)로부터 제2 전원 전압 배선(75)을 통하여 제2 전원 전압(VDDPE)을 공급받을 수 있다.

- [0013] 메모리 셀 어레이(110)는 공급된 제1 전원 전압(VDDCE)에 기초하여 데이터를 저장, 유지 및 변경할 수 있고, 주변 회로(200)는 공급된 제2 전원 전압(VDDPE)에 기초하여 메모리 장치(100)의 동작, 예를 들어 메모리 셀 어레이(110)에 대한 기입 동작 및 독출 동작을 수행할 수 있다.
- [0014] 메모리 장치(100)의 제조 공정이 스케일-다운됨에 따라 메모리 장치(100)의 워드라인들에서도 스케일링에 따라 증가된 기생 저항의 영향이 나타나는데, 동일한 워드라인에서도 워드라인 드라이버에서의 거리가 증가할수록 구동 전압에 의한 전압 상승이 지연된다.
- [0015] 이를 해결하기 위하여, 본 발명의 실시예들에 따른 메모리 장치(100)에서는, 주변 회로(200)가 워드라인 전압 보조 회로(300)를 포함하고, 워드라인 전압 어시스트 회로(300)는 워드라인들 각각에 연결되는 단위 어시스트 회로들을 포함하고, 단위 어시스트 회로들 중 선택된 워드라인에 연결되는 단위 어시스트 회로는 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조할 수 있다. 즉, 워드라인 전압 어시스트 회로(300)는 워드라인 드라이버에서의 거리에 영향을 받지 않도록 워드라인의 전압 상승을 가속시킬 수 있다.
- [0016] 도 2는 본 발명의 실시예들에 따른 도 1의 메모리 장치를 보다 상세히 나타내는 블록도이다.
- [0017] 도 2를 참조하면, 메모리 장치(100)는 데이터를 저장하는 메모리 셀 어레이(110), 및 메모리 셀 어레이(110)를 제어하는 주변 회로(200)를 포함한다. 메모리 셀 어레이(110)와 주변 회로(200)에는 서로 다른 제1 및 제2 전원 전압들(VDDCE, VDDPE)이 공급될 수 있다.
- [0018] 메모리 셀 어레이(110)는 복수의 로우들 및 복수의 컬럼들을 가지는 매트릭스 형태로 배치된 복수의 비트 셀들(120)을 포함할 수 있다. 일 실시예에서, 메모리 장치(100)는 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 장치일 수 있고, 비트 셀들(120)은 SRAM 메모리 셀들일 수 있다.
- [0019] 주변 회로(200)는 제어 회로(210), 전압 생성 회로(220), 로우 디코더(230), 데이터 기입/독출 회로(270) 및 워드라인 전압 어시스트 회로(300)를 포함할 수 있다.
- [0020] 로우 디코더(230)는, 제어 회로(210)에 의해 제어되어, 워드 라인(WL)을 선택하기 위한 워드 라인 전압을 인가할 수 있다. 데이터 기입/독출회로(270)는, 제어 회로(210)에 의해 제어되어, 선택된 워드 라인(WL_j) 및 선택된 적어도 하나의 비트 라인 쌍(BL_k, BLB_k)에 연결된 비트 셀(120)에 외부의 회로, 블록 또는 장치로부터 제공된 데이터(DIN)를 기입하거나, 비트 셀(120)로부터 데이터(DOUT)를 독출하여 상기 외부 회로에 제공할 수 있다.
- [0021] 예를 들어, 데이터 기입/독출부(270)는 칼럼 선택기(271), 기입 드라이버(273), 감지 증폭기(275), 데이터 래치(277) 및 데이터 드라이버(279)를 포함할 수 있다.
- [0022] 데이터 래치(277)는 외부의 회로, 블록 또는 장치로부터 데이터(DIN)를 수신한다. 기입 드라이버(273)는 데이터 래치(277)에 의해 수신된 데이터(DIN)를 비트 셀(120)에 기입한다. 컬럼 선택기(271)는 적어도 하나의 비트 라인 쌍(BL_k, BLB_k)을 선택한다. 감지 증폭기(275)는 비트 셀(120)에 저장된 데이터(DOUT)를 센싱한다. 데이터 드라이버(279)는 감지 증폭기(277)에 의해 감지된 데이터(DOUT)를 상기 외부 회로, 블록 또는 장치에 제공한다.
- [0023] 제어 회로(210)는 외부의 회로, 블록 또는 장치로부터 어드레스 신호(ADDR), 커맨드(CMD) 클럭 신호(CLK)를 수신하여 메모리 장치(100)의 동작을 제어할 수 있다.
- [0024] 제어 회로(210)는 커맨드(CMD) 및 클럭 신호(CLK)에 기초하여 기입클럭 신호(WCK), 프리차지 신호(PCH), 복제 신호(REP) 및 전압 제어 신호(VCTL)를 생성할 수 있다. 제어 회로(210)는 전압 제어 신호(VCTL)를 전압 생성 회로(220)에 제공하고 기입클럭 신호(WCK), 프리차지 신호(PCH), 복제 신호(REP)를 데이터 기입/독출 회로(270)에 제공하고 프리차지 신호(PCH) 및 복제 신호(REP)와 반전 복제 신호(REPB)를 워드라인 전압 어시스트 회로(300)에 제공할 수 있다.
- [0025] 제어 회로(210)는 어드레스 신호(ADDR) 중 로우 어드레스(RA)는 로우 디코더(230)에 제공하고, 어드레스 신호(ADDR) 중 칼럼 어드레스(CA)는 칼럼 선택기(271)에 제공할 수 있다.
- [0026] 전압 생성 회로(220)는 제2 전원 전압(VDDPE)을 공급받고, 전압 제어워드신호(VCTL)에 기초하여 워드라인에 워드라인 구동 전압을 인가하는 워드라인 드라이버에 인가되는 워드라인 전원 전압(VDDL)의 레벨을 조절할 수 있다.

다.

- [0027] 워드라인 전압 어시스트 회로(300)는 워드라인들(WL1~WLn)의 종단에 연결되는 복수의 단위 어시스트 회로들을 포함하여 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조할 수 있다.
- [0028] 도 3은 본 발명의 실시예들에 따라 도 2의 메모리 장치에 포함되는 비트 셀들 중 하나의 구성을 나타내는 회로 도이다.
- [0029] 도 3을 참조하면, 비트 셀(또는 메모리 셀; 120)은 제1 액세스 트랜지스터(121), 제2 액세스 트랜지스터(122) 및 데이터 저장 회로(125)를 포함할 수 있다.
- [0030] 데이터 저장 회로(125)는 하나의 비트를 저장할 수 있다. 데이터 저장 회로(125)는 제1 인버터(126) 및 제2 인버터(127)를 포함할 수 있다. 제1 인버터(121)의 출력 단자는 제2 인버터(127)의 입력 단자에 연결되고, 제2 인버터(127)의 출력 단자는 제1 인버터(126)의 입력 단자에 연결되어 래치 회로를 구성할 수 있다.
- [0031] 제1 액세스 트랜지스터(121)는 제k 비트라인(BLk)과 제1 인버터(126)의 입력 단자가 연결되는 제1 노드(Q) 사이에 연결될 수 있다. 또한, 제1 액세스 트랜지스터(121)는 워드라인(WLj)에 연결되는 게이트를 포함할 수 있다. 제2 액세스 트랜지스터(123)는 제k 상보 비트라인(BLBk)과 제2 인버터(128)의 입력 단자에 연결되는 제2 노드(QN) 사이에 연결될 수 있다. 또한, 제2 액세스 트랜지스터(123)는 워드라인(WLj)에 연결되는 게이트를 포함할 수 있다.
- [0032] 도 4는 도 3의 비트 셀에서 데이터 저장 회로의 제1 인버터와 제2 인버터를 나타내는 회로도이다.
- [0033] 도 4를 참조하면, 제1 인버터(126)는 제1 풀업 트랜지스터(PU1) 및 제1 풀다운 트랜지스터(PD1)를 포함할 수 있고, 제2 인버터(128)는 제2 풀업 트랜지스터(PU2) 및 제2 풀다운 트랜지스터(PD2)를 포함할 수 있다.
- [0034] 제1 풀업 트랜지스터(PU1)는 제1 전원 전압(VDDCE)에 연결되는 소스, 제2 노드(QN)에 연결되는 드레인 및 제1 노드(Q)에 연결되는 게이트를 구비하는 피모스 트랜지스터일 수 있다. 제1 풀다운 트랜지스터(PD1)는 제2 노드(QN)에 연결되는 드레인, 접지 전압(VSS)에 연결되는 소스 및 제1 노드(Q)에 연결되는 엔모스 트랜지스터일 수 있다.
- [0035] 제2 풀업 트랜지스터(PU2)는 제1 전원 전압(VDDCE)에 연결되는 소스, 제1 노드(Q)에 연결되는 드레인 및 제2 노드(QN)에 연결되는 게이트를 구비하는 피모스 트랜지스터일 수 있다. 제2 풀다운 트랜지스터(PD2)는 제1 노드(Q)에 연결되는 드레인, 접지 전압(VSS)에 연결되는 소스 및 제2 노드(QN)에 연결되는 게이트를 구비하는 엔모스 트랜지스터일 수 있다. 제1 노드(Q)는 도 4의 제1 액세스 트랜지스터(121)에 연결될 수 있고, 제2 노드(QN)는 도 4의 제2 액세스 트랜지스터(123)에 연결될 수 있다.
- [0036] 도 5는 도 3의 비트 셀에 대한 독출 동작을 나타낸다.
- [0037] 도 3 및 도 5를 참조하면, 워드라인(WLj)의 전압이 상승한 후, 노드들(Q, QN)의 데이터 값에 따라서 비트라인(BLk)과 상보 비트라인(BLBk)의 전압이 변화하고, 감지 증폭기는 비트라인(BLk)과 상보 비트라인(BLBk)의 전압 차이를 감지하여 데이터를 출력한다.
- [0038] 도 6은 도 3의 비트 셀에 대한 기입 동작을 나타낸다.
- [0039] 도 3 및 도 6를 참조하면, 워드라인(WLj)의 전압이 상승한 후, 데이터 드라이버(279)가 비트라인(BLk)과 상보 비트라인(BLBk)을 통하여 데이터를 비트 셀(120)에 저장함으로써 기입 동작이 수행된다.
- [0040] 도 5 및 도 6에서 알 수 있듯이, 독출 동작과 기입 동작에서는 워드라인(WLj)의 전압을 상승시킨다. 일반적으로 정적 메모리 장치의 성능은 독출 동작에서 클럭 신호의 인가시점으로부터 출력 버퍼에서 데이터가 출력되는 시점까지의 레이턴시로 평가할 수 있다. 따라서 워드라인의 전압 상승 시간은 정적 메모리 장치의 성능에 직접적으로 영향을 준다.
- [0041] 도 7은 워드라인 드라이버가 선택된 워드라인의 전압을 상승시키는 것을 나타낸다.
- [0042] 워드라인 드라이버(24j)는 로우 디코더(230)에 포함될 수 있고, 기입 동작 또는 독출 동작에서 워드라인 구동 전압(VWL)을 워드라인(WLj)에 인가하여 워드라인(WLj)의 전압을 상승시킨다. 워드라인(WLj)에 연결된 기생 저항들(R1, R2) 및 기생 커패시턴스들(PC1, PC2, PC3, PC4)가 워드라인(WLj)의 전압 상승을 방해하여 지연 시간이 증가하게 된다. 워드라인(WLj)의 길이가 증가할수록 기생 성분들의 크기가 증가하여 워드라인 드라이버(24j)에

서의 거리에 증가하여 워드라인 전압이 느리게 상승하게 된다. 정적 메모리 장치의 스케일링 다운에 따라 기생 저항이 크게 증가하여 정적 메모리 장치(100)의 성능을 열화시킬 수 있다. 본 발명에서는 이러한 문제점을 해결하기 위하여 워드라인 전압 어시스트 회로(300)가 워드라인들의 종단에 연결되어 선택된 워드라인의 전압 상승을 가속시킬 수 있다.

- [0043] 도 8은 본 발명의 실시예들에 따른 도 2의 메모리 장치에서 워드라인 전압 어시스트 회로를 나타내는 블록도이다.
- [0044] 도 8을 참조하면, 워드라인 전압 어시스트 회로(300)는 워드라인들(WL1~WLn) 각각의 종단에 연결되는 단위 어시스트 회로들(311~31n)을 포함할 수 있다. 단위 어시스트 회로들(311~31n)은 복제 신호(REP), 반전 복제 신호(REPB) 및 프리차지 신호(PCH)에 응답하여, 대응되는 워드라인들(WL1~WLn) 중 선택되는 워드라인에 대하여 상술한 전압 상승 보조 동작을 수행할 수 있다.
- [0045] 도 9는 도 3의 비트 셀과 비트 셀에 연결되는 센싱 트랜지스터를 나타낸다.
- [0046] 도 9를 참조하면, 센싱 트랜지스터(130)는 제1 풀다운 트랜지스터(PD1) 및 제2 풀다운 트랜지스터(PD)의 소스들에 연결되는 드레인, 감지 인에이블 신호(SAE)를 수신하는 게이트 및 접지 전압에 연결되는 소스를 구비하는 엔모스 트랜지스터로 구성될 수 있다.
- [0047] 도 10은 감지 인에이블 신호를 생성하는 신호 생성기를 나타내는 회로도이다.
- [0048] 도 10을 참조하면, 신호 생성기(280)는 인버터(281) 및 노어 게이트(283)를 포함할 수 있다. 신호 생성기(280)는 도 2의 데이터 기입/독출 회로(270)에 포함될 수 있다.
- [0049] 인버터(281)는 복제 신호(REP)를 반전시키고, 노어 게이트(283)는 기입 클럭 신호(WCK)와 인버터(281)의 출력에 노어 연산을 수행하여 감지 인에이블 신호(SAE)를 제공할 수 있다. 기입 클럭 신호(WCK)는 기입 동작시에 하이 레벨이 되는 신호로서 기입 드라이버(273)를 제어하는 신호이다. 기입 동작 시에는 기입 클럭 신호(WCK)가 하이 레벨이므로 감지 인에이블 신호(SAE)가 로우 레벨이 되어, 센싱 트랜지스터(130)는 턴-오프된다.
- [0050] 기입 클럭 신호(WCK)가 로우 레벨이 되는 독출 동작에서, 감지 인에이블 신호(SAE)는 복제 신호(REP)와 동기화된다.
- [0051] 도 11은 도 8의 워드라인 전압 어시스트 회로에 포함되는 복수의 단위 어시스트 회로들 중 하나의 구성을 나타내는 회로도이다.
- [0052] 도 11에서는 워드라인(WLj)의 종단에 연결되는 단위 어시스트 회로(31j)의 구성을 나타내지만, 다른 단위 어시스트 회로들 각각의 구성은 단위 어시스트 회로(31j)의 구성과 실질적으로 동일하다. 또한 도 11에서는 워드라인(WLj)이 로우 어드레스(RA)에 의하여 선택된 것으로 가정한다.
- [0053] 도 11을 참조하면, 단위 어시스트 회로(31j)는 감지 트랜지스터(NM1), 패스 게이트(PG), 제1 피모스 트랜지스터(PM1), 제2 피모스 트랜지스터(PM2) 및 제3 피모스 트랜지스터(PM3)를 포함할 수 있다.
- [0054] 패스 게이트(PG)는 서로 대향적으로 연결되는 제4 피모스 트랜지스터와 엔모스 트랜지스터를 포함할 수 있다.
- [0055] 감지 트랜지스터(NM1)는 워드라인(WLj)의 종단(ET)에 연결되어 워드라인(WLj)의 전압 상승을 감지한다. 감지 트랜지스터(NM1)는 메모리 셀 어레이(110)에 포함되는 엔모스 트랜지스터들보다 낮은 문턱전압을 가질 수 있다. 패스 게이트(PG)는 감지 트랜지스터(NM1)와 제1 노드(N11) 사이에 연결될 수 있다. 제1 피모스 트랜지스터(PM1)는 전원 전압(VDD)과 제1 노드(N11) 사이에 연결될 수 있다. 제2 피모스 트랜지스터(PM2)는 전원 전압(VDD), 제1 노드(N11) 및 종단(ET)에 연결될 수 있다. 제3 피모스 트랜지스터(PM3)는 전원 전압(VDD), 패스 게이트(PG) 및 제1 노드(N11)에 연결될 수 있다.
- [0056] 감지 트랜지스터(NM1)는 패스 게이트(PG)에 연결되는 드레인, 종단(ET)에 연결되는 게이트 및 접지 전압(VSS)에 연결되는 제1 엔모스 트랜지스터로 구현될 수 있다. 패스 게이트(PG)의 제4 피모스 트랜지스터는 복제 신호(REP)를 수신하는 게이트를 구비하고, 패스 게이트(PG)의 제2 엔모스 트랜지스터는 반전 복제 신호(REPB)를 수신하는 게이트를 구비할 수 있다.
- [0057] 제1 피모스 트랜지스터(PM1)는 전원 전압(VDD)에 연결되는 소스, 프리차지 신호(PCH)를 수신하는 게이트 및 제1 노드(N11)에 연결되는 드레인을 구비할 수 있다. 제2 피모스 트랜지스터(PM2)는 전원 전압(VDD)에 연결되는 소스, 제1 노드(N11)에 연결되는 게이트 및 종단(ET)에 연결되는 드레인을 구비할 수 있다. 제3 피모스 트랜지스터

터(PM3)는 전원 전압(VDD)에 연결되는 소스, 반전 복제 신호(REPB)를 수신하는 게이트 및 제1 노드(N11)에 연결되는 드레인을 구비할 수 있다.

[0058] 도 12는 도 11의 단위 어시스트 회로의 동작을 나타내는 파형도이다.

[0059] 도 12에서는 기입 클럭 신호(WCK), 선택된 워드라인(WLj), 제1 노드(N11), 복제 신호(Rep), 반전 복제 신호(REPB), 프리차지 신호(PCH)의 전압 레벨들을 나타낸다. 또한 도 12에서 시점(t0)에서 시점(t1)까지의 제1 구간(INT1)은 비트라인(BLk)과 상보 비트라인(BLBk)이 프리차지되는 프리차지 구간이고, 시점(t1)에서 시점(t2)까지의 제2 구간(INT2)은 워드라인(WLj)의 전압 상승을 감지하는 구간이고, 시점(t2)에서 시점(t3)까지의 제3 구간(INT3)은 워드라인(WLj)의 전압 상승을 보조하는 구간이고, 시점(t3)에서 시점(t4)까지의 제4 구간(INT4)은 전압 상승 보조 동작이 완료되는 구간이다.

[0060] 도 11 및 도 12를 참조하면, 제1 구간(INT1)에서 로우 레벨의 프리차지 신호(PCH)에 응답하여 비트라인(BLk)과 상보 비트라인(BLBk)이 프리차지되면서 제1 노드(N11)는 하이 레벨로 충전된다. 워드라인(WLj)의 전압이 상승하게 되는 제2 구간(INT2)에서 감지 트랜지스터(NM1)가 워드라인(WLj)의 전압 상승에 의하여 턴 온되고, 제1 노드(N11)의 전압을 하강시킨다. 이 때, 패스 게이트(PG)의 제2 엔모스 트랜지스터는 반전 복제 신호(REPB)에 의하여 턴-온되어 있으므로, 제1 노드(N11)의 전압을 안정적으로 하강시킨다.

[0061] 제3 구간(INT3)에서 제1 노드(N11)의 전압이 접지 전압에 도달하면, 제2 피모스 트랜지스터(PM2)가 제1 노드(N11)의 전압에 응답하여 턴-온되고, 워드라인(WLj)에 전하를 공급하게 된다. 따라서, 워드라인(WLj)의 전압 상승은 단위 어시스트 회로(31j)에서 공급받은 전하로 가속된다.

[0062] 비트라인(BLk)과 상보 비트라인(BLBk)의 전압 차이가 충분히 커지는 복제 신호(Rep)와 반전 복제 신호(REPB)에 의하여 패스 게이트(PG)가 턴-오프되고, 반전 복제 신호(REPB)에 의하여 제3 피모스 트랜지스터(PM3)에 의하여 턴-온된다. 따라서, 제1 노드(N11)의 전압이 상승하게 되고, 상승된 제1 노드(N11)의 전압에 의하여 제2 피모스 트랜지스터(PM2)가 턴-오프되어 전압 상승 보조는 종료된다. 기입 또는 독출 동작이 완료되면, 시점(t4) 이후에, 비트라인(BLk)과 상보 비트라인(BLBk)은 다시 프리차지된다.

[0063] 본 발명의 실시예들에서는 감지 트랜지스터(NM1)가 피모스 트랜지스터와 짝을 이루는 구조가 아니기 때문에, 워드라인(WLj)의 전압 상승을 감지하는 순간 엔모스 트랜지스터와 피모스 트랜지스터 사이에서 경합이 발생하지 않는다. 따라서, 더 낮은 레벨에서 워드라인(WLj)의 전압 상승을 감지할 수 있고, 정적 메모리 장치(100)의 지연 시간을 감소시킬 수 있다. 또한 본 발명의 실시예들에서는 워드라인 전압 어시스트 회로(300)를 제어하는데 프리차지 신호(PCH)와 복제 신호(Rep)를 사용하는데, 프리차지 신호(PCH)와 복제 신호(Rep)는 메모리 셀 어레이(110) 및 기입/독출 회로(270)에 제공되는 신호이므로 별도의 신호를 생성할 필요가 없다. 또한, 복제 신호(Rep)는 메모리 셀 어레이(110)의 복제 열에 제공되는 신호이고, 복제 신호(Rep)에 의하여 워드라인 전압 어시스트 회로(300)가 워드라인(WLj)에 전하를 공급하는 시간을 결정하므로, 전하를 공급하는 시간을 확보하기 위한 별도의 회로가 필요 없어서 면적 효율을 증가시킬 수 있고, 전력 소모를 감소시킬 수 있다.

[0064] 도 13은 기생 저항의 증가에 따라 본 발명의 실시예들에 따른 전압 상승 어시스트 회로가 구비되지 않은 경우와 구비된 경우의 워드라인의 전압 상승을 나타낸다.

[0065] 도 13을 참조하면, 본 발명의 실시예들에 따른 전압 상승 어시스트 회로(300)를 채용하면, 워드라인의 전압 상승 지연 시간이 증가할수록 전압 어시스트 회로(300)의 전압 상승 가속 효과가 강화되는 것을 알 수 있다.

[0066] 도 14는 본 발명의 실시예들에 따른 메모리 장치를 포함하는 시스템-온-칩을 나타내는 블록도이다.

[0067] 도 14를 참조하면, 시스템-온-칩(700)은 메모리 장치(710), 프로세싱 회로(740) 및 전력 관리 집적 회로(750)를 포함할 수 있다. 일 실시예에서, 시스템-온-칩(700)은 어플리케이션 프로세서(Application Processor; AP)일 수 있다.

[0068] 메모리 장치(710)는 데이터를 저장하는 메모리 셀 어레이(720), 및 메모리 셀 어레이(710)를 제어하는 주변 회로(730)를 포함할 수 있다. 일 실시예에서, 메모리 장치(710)는 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM)일 수 있다. 프로세싱 회로(740)는 메모리 셀 어레이(720)에 데이터가 저장되도록 휘발성 메모리 장치(710)에 데이터(DIN)를 제공하고, 메모리 장치(710)로부터 메모리 셀 어레이(720)에 저장된 데이터(DOUT)를 수신할 수 있다.

[0069] 전력 관리 집적 회로(750)는 제1 전원 전압 배선(755)을 통하여 메모리 장치(710)의 메모리 셀 어레이(720)에 제1 전원 전압(VDDCE)을 공급할 수 있다. 또한, 전력 관리 집적 회로(760)는 제2 전원 전압 배선(765)을 통하여

프로세싱 회로(740) 및 메모리 장치(710)의 주변 회로(730)에 제2 전원 전압(VDDPE)을 공급할 수 있다.

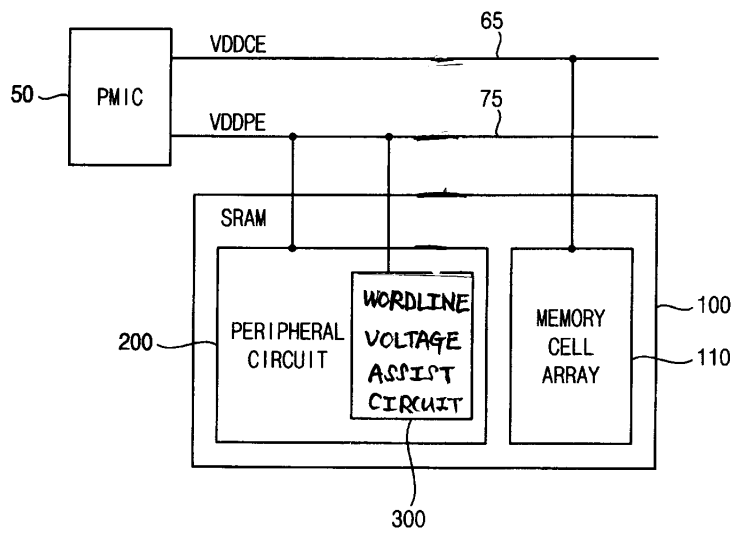
- [0070] 실시예에 있어서, 주변 회로(730)는 워드라인들(WL)의 종단에 연결되는 워드라인 전압 어시스트 회로(735)를 포함할 수 있다. 워드라인 전압 어시스트 회로(735)는 기입 동작 또는 독출 동작에서 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조할 수 있다. 워드라인 전압 어시스트 회로(735)는 도 8 및 도 11의 회로들을 포함할 수 있다.
- [0071] 도 15는 본 발명의 실시예들에 따른 메모리 장치를 모바일 장치에 적용한 예를 나타내는 블록도이다.
- [0072] 도 15를 참조하면, 모바일 장치(900)는 어플리케이션 프로세서(910) 및 이미지 센서(940)를 포함하며, 통신 회로(920), 저장 장치(930), 사용자 인터페이스(950) 및 전력 관리 집적 회로(960)를 더 포함할 수 있다.
- [0073] 어플리케이션 프로세서(910)는 모바일 장치(900)의 전반적인 동작을 제어할 수 있다. 어플리케이션 프로세서(910)는 정적 메모리 장치(911)를 포함할 수 있고, 정적 메모리 장치(911)는 본 발명의 실시예들에 따른 도 2의 메모리 장치(100)일 수 있다.
- [0074] 이미지 센서(940)는 프로세서(910)에 의해 제어되며, 피사체를 촬상하여 이미지 신호를 생성하고, 이미지 신호를 저장 장치(930)에 저장하거나 이미지 신호를 어플리케이션 프로세서(910)에 제공할 수 있다.
- [0075] 통신 회로(920)는 외부 장치와 통신을 수행할 수 있다. 저장 장치(930)는 모바일 장치(900)의 동작에 필요한 데이터들을 저장할 수 있다.
- [0076] 사용자 인터페이스(950)는 키보드, 터치 스크린 등과 같은 입력 장치 및 디스플레이 등과 같은 출력 장치를 포함할 수 있다.
- [0077] 전력 관리 집적 회로(960)는 모바일 장치(900)의 동작에 필요한 구동 전압을 제공할 수 있다. 전력 관리 집적 회로(960)는 제1 전원 전압(VDDCE)과 제2 전원 전압(VDDPE)을 생성하고, 제1 전원 전압(VDDCE)은 정적 메모리 장치(911)의 메모리 셀 어레이에 제공하고, 제2 전원 전압(VDDPE)은 정적 메모리 장치(911)의 주변 회로에 제공할 수 있다.
- [0078] 상기 주변 회로는 워드라인 전압 어시스트 회로를 포함할 수 있다. 상기 워드라인 전압 어시스트 회로는 기입 동작 또는 독출 동작에서 선택된 워드라인의 전압 상승을 감지하고, 상기 선택된 워드라인에 전하를 공급하여 상기 전압 상승을 보조할 수 있다. 워드라인 전압 어시스트 회로(735)는 도 8 및 도 11의 회로들을 포함할 수 있다.
- [0079] 모바일 장치(900) 또는 모바일 장치(900)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있다.

산업상 이용가능성

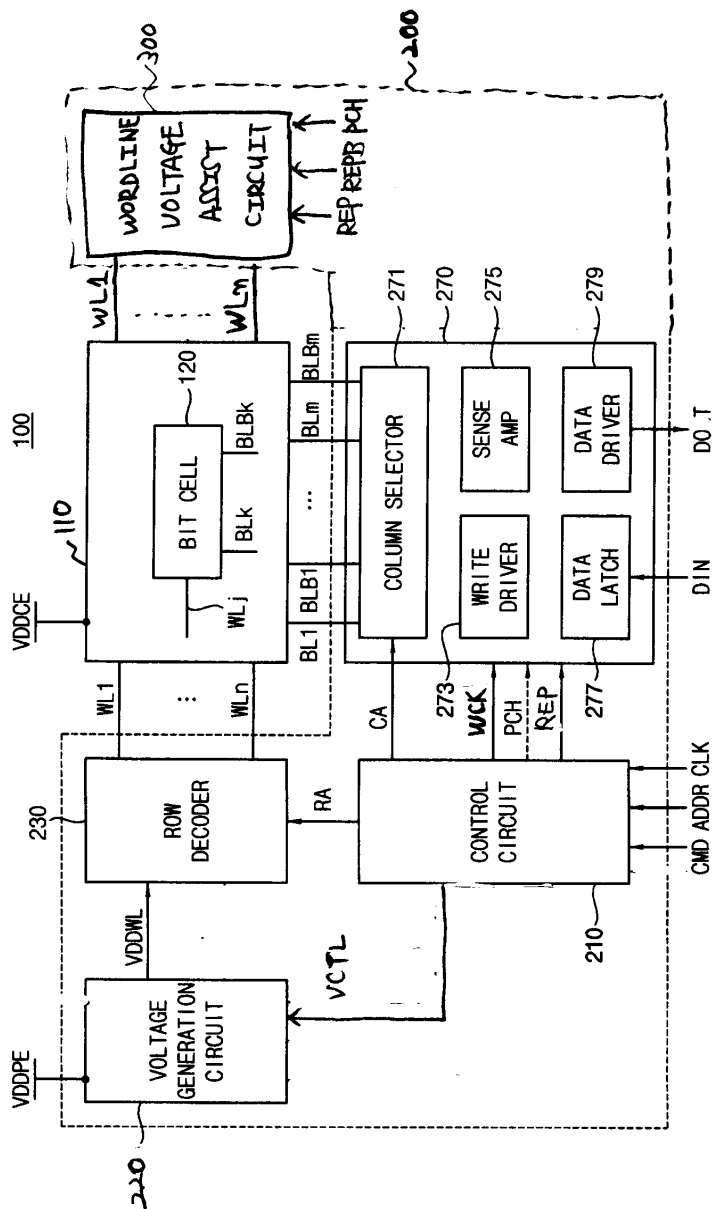
- [0080] 본 발명은 정적 메모리 장치에서 무경합으로 선택된 워드라인의 전압 상승을 감지하고 선택된 워드라인에 전하를 공급하여 전압 상승을 보조할 수 있다. 본 발명은 정적 메모리 장치를 채용하는 다양한 시스템에 적용될 수 있다.
- [0081] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

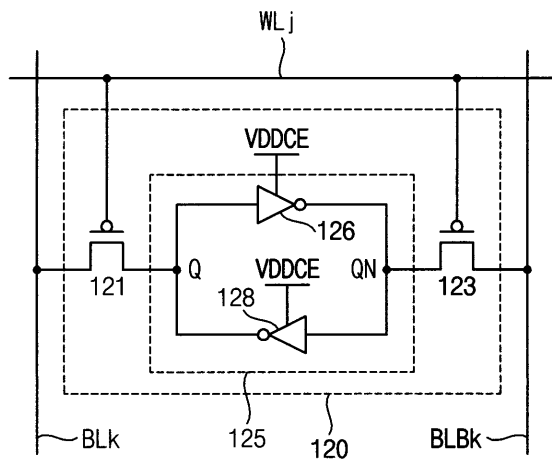
도면1



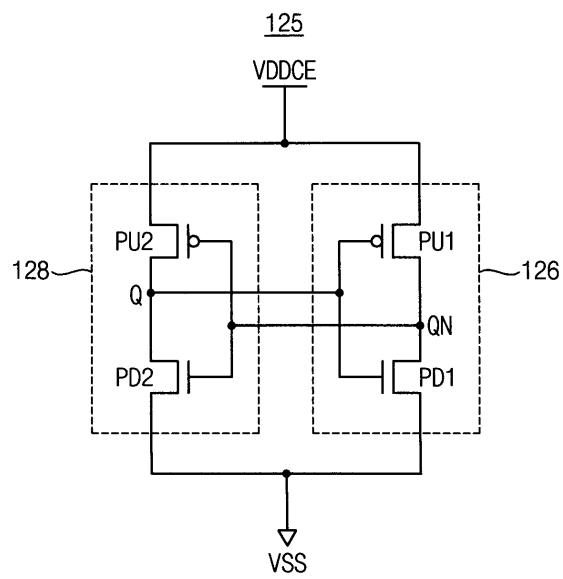
도면2



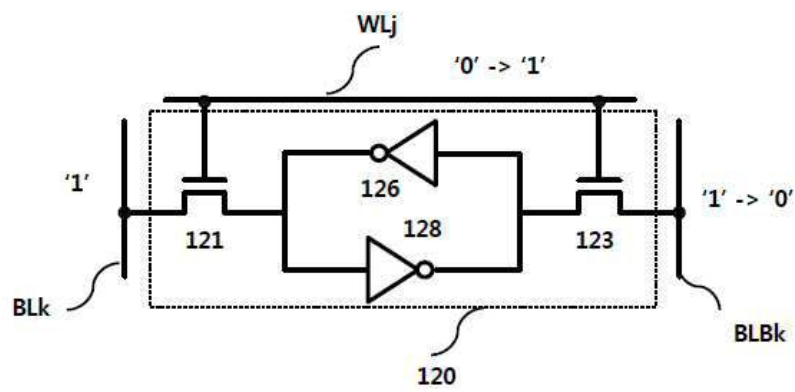
도면3



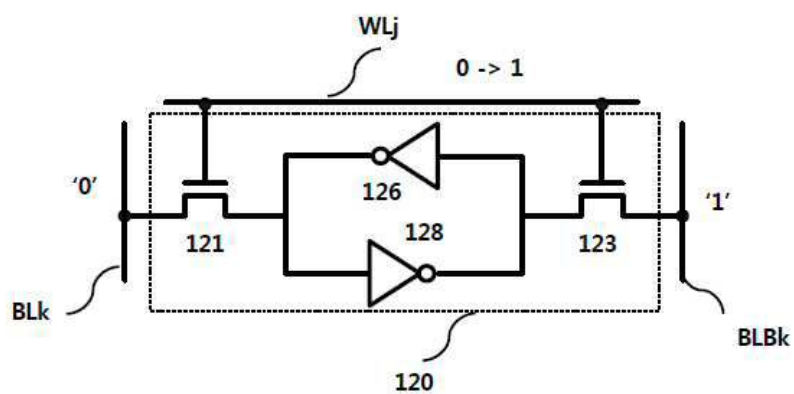
도면4



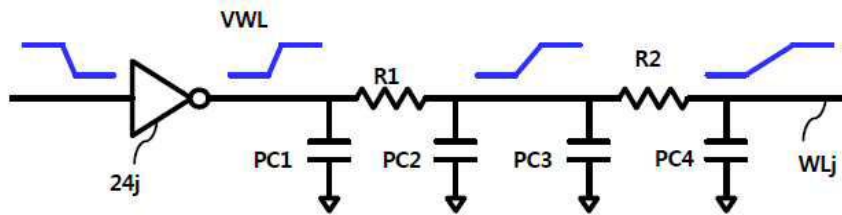
도면5



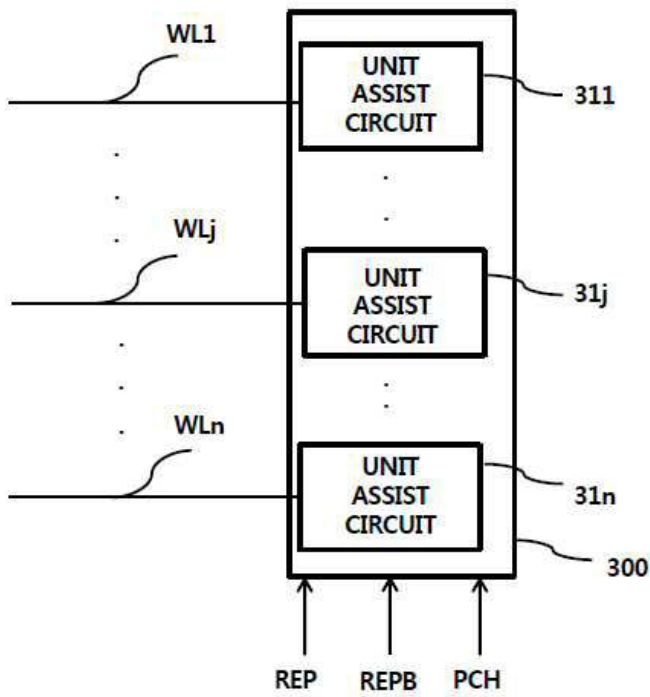
도면6



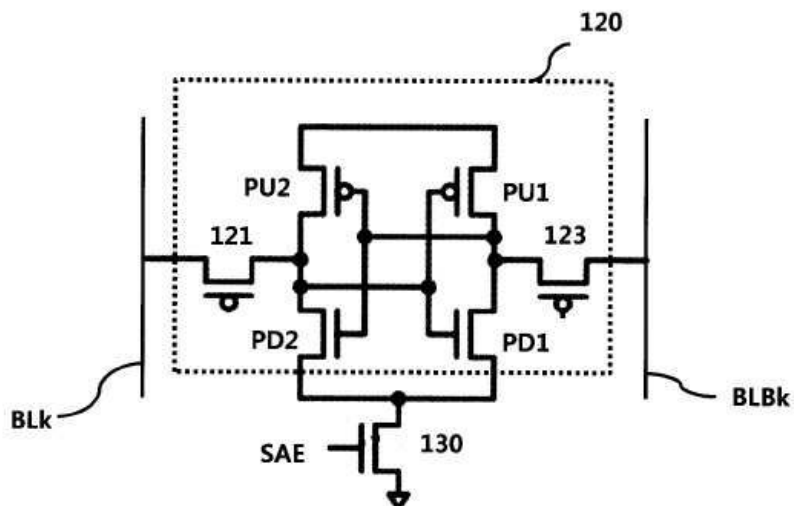
도면7



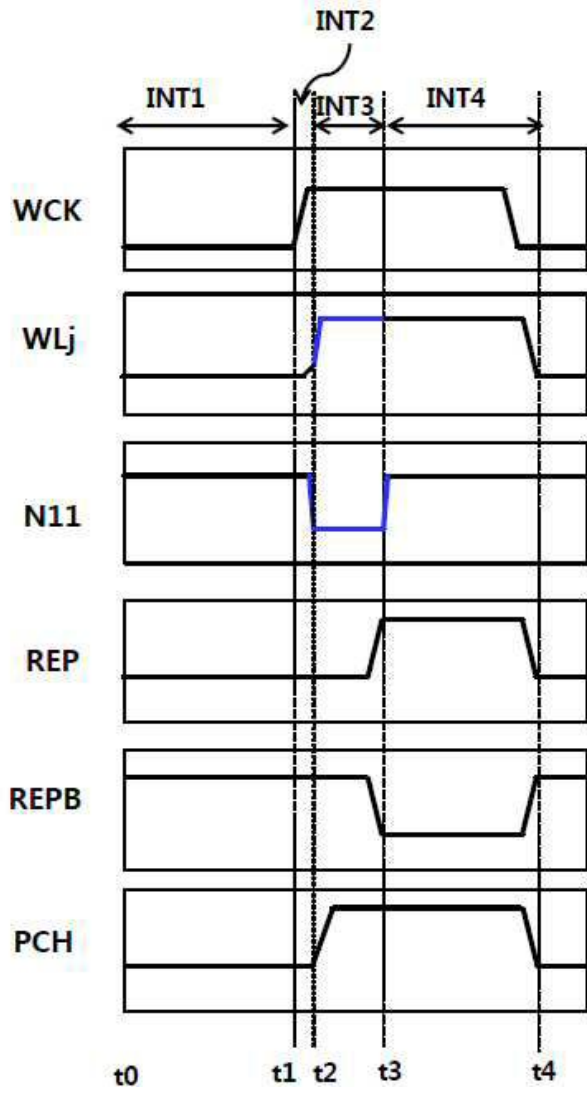
도면8



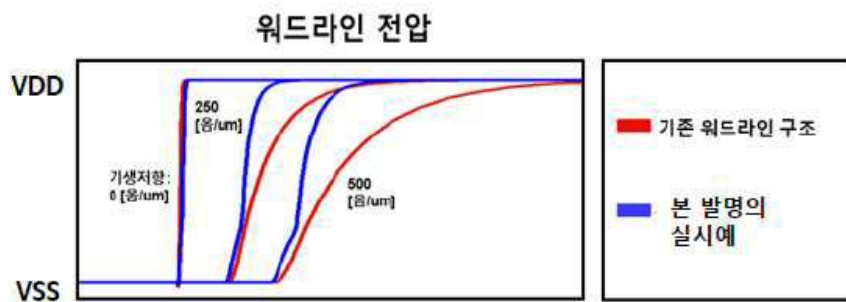
도면9



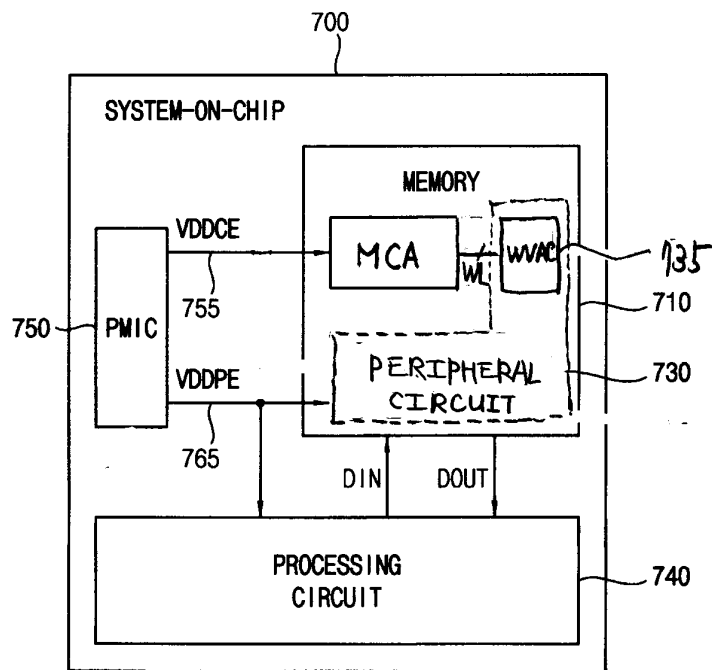
도면12



도면13



도면14



도면15

