



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0123496
(43) 공개일자 2020년10월30일

(51) 국제특허분류(Int. Cl.)
H02N 1/04 (2006.01) H01L 21/04 (2006.01)
H01L 21/28 (2006.01)
(52) CPC특허분류
H02N 1/04 (2013.01)
H01L 21/04 (2019.08)
(21) 출원번호 10-2019-0042287
(22) 출원일자 2019년04월11일
심사청구일자 2019년04월11일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
유경화
서울특별시 서초구 바우피로7길 51 대림아파트 106-1201
김명진
경상북도 고령군 쌍림면 읍평로 506-35
박명옥
서울특별시 서대문구 연희로11마길 69-30, 101호
(74) 대리인
특허법인 플러스

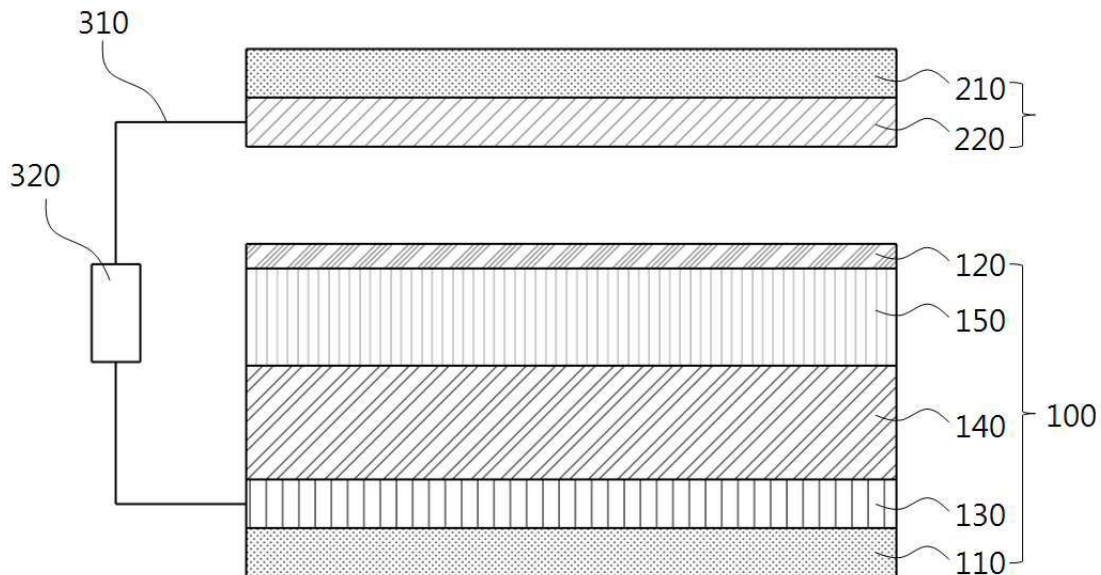
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법

(57) 요약

본 발명은 종래의 마찰발전기보다 발전효율을 높일 수 있는 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법에 관한 것으로, 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기는 제1기판(110)과 상기 제1기판(110)의 일측에 형성된 2차원 반도체층(120)을 포함하는 제1어셈블리(100) 및 제2기판(210) 및 상기 제2기판(210)의 일면에 형성되는 마찰층(220)을 포함하는 제2어셈블리(200)를 포함하되, 상기 2차원 반도체층(120)과 상기 마찰층(220)은 분리 또는 접촉 상태를 반복해, 상기 2차원 반도체층(120)과 상기 마찰층(220)의 계면에는 공핍층이 형성되어 마찰전기가 발생하는 것을 특징으로 한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/40111 (2019.08)

명세서

청구범위

청구항 1

제1기판(110)과 상기 제1기판(110)의 일측에 형성된 2차원 반도체층(120)을 포함하는 제1어셈블리(100); 및 제2기판(210) 및 상기 제2기판(210)의 일면에 형성되는 마찰층(220)을 포함하는 제2어셈블리(200); 를 포함하되,

상기 2차원 반도체층(120)과 상기 마찰층(220)이 분리 또는 접촉 되면, 상기 2차원 반도체층(120)과 상기 마찰층(220)의 계면에 공핍층이 형성되어 마찰전기가 발생하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 2

제1항에 있어서,

상기 마찰층(220)은 금(Au), 백금(Pt) 및 전도성 고분자 중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 3

제1항에 있어서,

상기 제1어셈블리(100)는

상기 제1기판(110)의 일면에 순차적으로 형성되는 전극층(130), 절연층(140) 및 강유전체층(150)을 더 포함하고, 상기 2차원 반도체층(120)은 상기 강유전체층(150)의 일면에 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 4

제3항에 있어서,

상기 전극층(130)과 상기 마찰층(220)은 배선(310)을 통해 부하(320)와 연결되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 5

제3항에 있어서,

상기 전극층(130)은 금속 또는 전도성 고분자로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 6

제3항에 있어서,

상기 절연층(140)은 폴리디메틸실록산(Polydimethylsiloxane, PDMS), 폴리에틸렌(PolyEthylene, PE) 및 폴리스

틸렌(Polystyrene sulfonate) 중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 7

제3항에 있어서,

상기 강유전체층(150)은 폴리비닐리덴 플로우라이드(Polyvinylidene fluoride, PVDF), $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, BaTiO_3 및 PbTiO_3 중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 8

제1항에 있어서,

상기 마찰층(220)의 두께는 10nm~1μm인 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 9

제3항에 있어서,

상기 전극층(130)의 두께는 10nm~1μm인 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 10

제3항에 있어서,

상기 절연층(140)의 두께는 10~1000μm인 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 11

제3항에 있어서,

상기 강유전체층(150)의 두께는 1~100μm인 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 12

제1항에 있어서,

상기 2차원 반도체층(120)은 MoS_2 , MoSe_2 , WS_2 , WSe_2 , MoTe_2 , WTe_2 , ZrS_2 , ZrSe_2 , HfS_2 , HfSe_2 및 SnS_2 중 선택되는 하나의 재료로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기.

청구항 13

- 제1기판(110)의 일면에 전극층(130)을 증착하고, 상기 전극층(130)의 일면에 절연층(140)을 형성해 제1단위체(10)를 제조하는 단계;
- 보조기판(400)의 일면에 순차적으로 2차원 반도체층(120)과 강유전체층(150)을 형성하여 제2단위체(20)를 제조하는 단계;
- 상기 제2단위체(20)를 초순수에 넣어 상기 보조기판(400)을 분리시켜, 상기 2차원 반도체층(120) 및 강유전체층(150)으로 이루어진 제3단위체(30)를 제조하는 단계;

d) 상기 제3단위체(30)의 강유전체층(150)이 상기 절연층(140)과 맞닿도록 상기 제3단위체(30)를 상기 제1단위체(10)에 전사(transfer)해 제1어셈블리(100)를 제조하는 단계; 및

e) 제2기판(210)의 일면에 상기 2차원 반도체층(120)과 접촉시 공핍층을 형성하는 마찰층(220)을 형성해, 제2어셈블리(200)를 제조하는 단계;

를 포함하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 14

제13항에 있어서,

상기 a) 단계는 상기 전극층(130)의 일면에 절연층 용액을 도포한 후 열처리해 상기 제1단위체(10)를 제조하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 15

제13항에 있어서,

상기 b) 단계는 화학기상증착(Chemical Vapor Deposition, CVD) 방법을 이용해 상기 보조기판(400)의 일면에 상기 2차원 반도체층(120)을 성장시키고, 상기 2차원 반도체층(120)의 일면에 강유전체층 용액을 도포한 후 열처리해 상기 제2단위체(20)를 제조하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 16

제13항에 있어서,

상기 d) 단계는 상기 제3단위체(30)를 상기 제1단위체(10)에 전사한 후, 열처리하여 상기 제1어셈블리(100)를 제조하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 17

제13항에 있어서,

상기 마찰층(220)은 금(Au), 백금(Pt), 폴리피롤(Polypyrrol, PPy) 및 PEDOT:PSS 중 선택되는 어느 하나로 형성되는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 18

제17항에 있어서,

상기 마찰층(220)은 금(Au) 또는 백금(Pt)으로 형성되며,

상기 e) 단계는 상기 제2기판(210)의 일면에 금(Au) 또는 백금(Pt)을 열증착해 상기 마찰층(220)을 형성하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

청구항 19

제17항에 있어서,

상기 마찰층(220)은 폴리피롤(Polypyrrol, PPy)로 형성되며,

상기 e) 단계는 상기 제2기판(210)을 플라즈마 처리하고, 상기 제2기판(210)의 일면에 염화 철(FeCl_3) 용액을

도포한 후 열처리하며, 상기 염화 철(FeCl_3) 부분이 잠기도록 상기 제2기판(210)을 폴리피롤(Polypyrrol, PPy) 용액에 침지시키고, 열처리하여 상기 제2어셈블리(20)를 제조하는 것을 특징으로 하는 반도체 공핍층을 이용한 마찰발전기의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 오늘날 환경 문제가 대두되면서, 오염물질이 발생하지 않는 친환경적 에너지에 대한 수요가 급증하고 있다.

[0003] 한편, 사물인터넷(Internet of Things, IoT) 산업이 주목을 받으면서 수많은 센서가 사용되고 있다. 이러한 센서의 대부분은 지속적으로 특정 현상을 감지해야하기 때문에, 지속적인 전력공급이 필요하다. 이에 최근 친환경적인 에너지 하베스팅(Energy harvesting)기술이 각광받고 있으며, 마찰전기 발전기는 기계적 에너지를 전기적 에너지로 전환할 수 있는 에너지 하베스팅 기술의 일종이다.

[0004] 한국 공개특허공보 제10-2017-0040347호("마찰 접촉의 대전 효과에 의한 백 게이트 전계 효과 트랜지스터", 공개일 2017.04.12.)는 이러한 마찰전기를 이용한 기술 중 하나이다. 구체적으로 선행문헌과 같은 마찰전기 발전이란, 서로 다른 대전 서열을 가진 두 물질이 접촉하면 접합부에서 정전기 유도현상에 따른 전기 쌍극자(electric dipole)가 형성되어 발전하는 방식으로, 단순히 접촉과 분리가 반복되어 발전할 수 있어 별도의 오염물질이 발생하지 않고 전기적 에너지를 얻을 수 있다는 장점이 있으나, 발전 효율이 부족하여 상용화되고 있지 않은 실정이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국 공개특허공보 제10-2017-0040347호("마찰 접촉의 대전 효과에 의한 백 게이트 전계 효과 트랜지스터", 공개일 2017.04.12.)

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기한 바와 같은 문제점을 해결하기 위해 안출된 것으로서, 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법의 목적은 종래의 마찰발전기보다 발전효율을 높일 수 있는 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법을 제공함에 있다.

과제의 해결 수단

[0007] 상기한 바와 같은 문제점을 해결하기 위한 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기는 제1기판(110)과 상기 제1기판(110)의 일측에 형성된 2차원 반도체층(120)을 포함하는 제1어셈블리(100) 및 제2기판(210) 및 상기 제2기판(210)의 일면에 형성되는 마찰층(220)을 포함하는 제2어셈블리(200)를 포함하되, 상기 2차원 반도체층(120)과 상기 마찰층(220)이 분리 또는 접촉 되면, 상기 2차원 반도체층(120)과 상기 마찰층(220)의 계면에 공핍층이 형성되어 마찰전기가 발생하는 것을 특징으로 한다.

[0008] 또한, 상기 마찰층(220)은 금(Au), 백금(Pt) 및 전도성 고분자 중 선택되는 어느 하나로 형성되는 것을 특징으로 한다.

[0009] 또한, 상기 제1어셈블리(100)는 상기 제1기판(110)의 일면에 순차적으로 형성되는 전극층(130), 절연층(140) 및 강유전체층(150)을 더 포함하고, 상기 2차원 반도체층(120)은 상기 강유전체층(150)의 일면에 형성되는 것을 특징으로 한다.

[0010] 또한, 상기 전극층(130)과 상기 마찰층(220)은 배선(310)을 통해 부하(320)와 연결되는 것을 특징으로 한다.

- [0011] 또한, 상기 전극층(130)은 금속 또는 전도성 고분자로 형성되는 것을 특징으로 한다.
- [0012] 또한, 상기 절연층(140)은 폴리디메틸실록산(Polydimethylsiloxane, PDMS), 폴리에틸렌(PolyEthylene, PE) 및 폴리스티렌(Polystyrene sulfonate) 중 선택되는 어느 하나로 형성되는 것을 특징으로 한다.
- [0013] 또한, 상기 강유전체층(150)은 폴리비닐리덴 플루오라이드(Polyvinylidene fluoride, PVDF), $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, BaTiO_3 및 PbTiO_3 중 선택되는 어느 하나로 형성되는 것을 특징으로 한다.
- [0014] 또한, 상기 마찰층(220)의 두께는 10nm~1um인 것을 특징으로 한다.
- [0015] 또한, 상기 전극층(130)의 두께는 10nm~1um인 것을 특징으로 한다.
- [0016] 또한, 상기 절연층(140)의 두께는 10~1000um인 것을 특징으로 한다.
- [0017] 또한, 상기 강유전체층(150)의 두께는 1~100um인 것을 특징으로 한다.
- [0018] 또한, 상기 2차원 반도체층(120)은 MoS_2 , MoSe_2 , WS_2 , WSe_2 , MoTe_2 , WTe_2 , ZrS_2 , ZrSe_2 , HfS_2 , HfSe_2 및 SnS_2 중 선택되는 하나의 재질로 형성되는 것을 특징으로 한다.
- [0019] 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법은 a) 제1기판(110)의 일면에 전극층(130)을 증착하고, 상기 전극층(130)의 일면에 절연층(140)을 형성해 제1단위체(10)를 제조하는 단계, b) 보조기판(400)의 일면에 순차적으로 2차원 반도체층(120)과 강유전체층(150)을 형성하여 제2단위체(20)를 제조하는 단계, c) 상기 제2단위체(20)를 초순수에 넣어 상기 보조기판(400)을 분리시켜, 상기 2차원 반도체층(120) 및 강유전체층(150)으로 이루어진 제3단위체(30)를 제조하는 단계, d) 상기 제3단위체(30)의 강유전체층(150)이 상기 절연층(140)과 맞닿도록 상기 제3단위체(30)를 상기 제1단위체(10)에 전사(transfer)해 제1어셈블리(100)를 제조하는 단계 및 e) 제2기판(210)의 일면에 상기 2차원 반도체층(120)과 접촉시 공핍층을 형성하는 마찰층(220)을 형성해, 제2어셈블리(200)를 제조하는 단계를 포함하는 것을 특징으로 한다.
- [0020] 또한, 상기 a) 단계는 상기 전극층(130)의 일면에 절연층 용액을 도포한 후 열처리해 상기 제1단위체(10)를 제조하는 것을 특징으로 한다.
- [0021] 또한, 상기 b) 단계는 화학기상증착(Chemical Vapor Deposition, CVD) 방법을 이용해 상기 보조기판(400)의 일면에 상기 2차원 반도체층(120)을 성장시키고, 상기 2차원 반도체층(120)의 일면에 강유전체층 용액을 도포한 후 열처리해 상기 제2단위체(20)를 제조하는 것을 특징으로 한다.
- [0022] 또한, 상기 d) 단계는 상기 제3단위체(30)를 상기 제1단위체(10)에 전사한 후, 열처리하여 상기 제1어셈블리(100)를 제조하는 것을 특징으로 한다.
- [0023] 또한, 상기 마찰층(220)은 금(Au), 백금(Pt), 폴리피롤(Polypyrrol, PPy) 및 PEDOT:PSS 중 선택되는 어느 하나로 형성되는 것을 특징으로 한다.
- [0024] 또한, 상기 마찰층(220)은 금(Au) 또는 백금(Pt)으로 형성되며, 상기 e) 단계는 상기 제2기판(210)의 일면에 금(Au) 또는 백금(Pt)을 열증착해 상기 마찰층(220)을 형성하는 것을 특징으로 한다.
- [0025] 또한, 상기 마찰층(220)은 폴리피롤(Polypyrrol, PPy)로 형성되며, 상기 e) 단계는 상기 제2기판(210)을 플라즈마 처리하고, 상기 제2기판(210)의 일면에 염화 철(FeCl_3) 용액을 도포한 후 열처리하며, 상기 염화 철(FeCl_3) 부분이 잠기도록 상기 제2기판(210)을 폴리피롤(Polypyrrol, PPy) 용액에 침지시키고, 열처리하여 상기 제2어셈블리(20)를 제조하는 것을 특징으로 한다.

발명의 효과

- [0026] 상기한 바와 같은 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법에 의하면, 마찰층과 2차원 반도체층의 접촉시 쇼트키 접합 또는 pn접합에 따른 공핍층이 형성되어, 종래의 마찰발전기에 비해 더 큰 전기를 더 빠르게 발생시킬 수 있어 발전 효율이 높고, 반도체의 특성상 에너지 밴드갭과 일함수의 조절이 가능하므로, 2차원 반도체층과 2차원 반도체층과 공핍층을 형성하는 마찰층의 특성 또는 재질을 적절히 선택하여 발전 효율을 더욱 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 개략도.

도 2는 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제1어셈블리와 제2어셈블리가 접촉했을 때의 개략도.

도 3은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기로 이루어지는 제1소자와 다른 마찰발전기인 제2소자의 개략도.

도 4는 제1소자와 제2소자 각각의 Voc와 Isc를 비교한 그래프.

도 5는 제3소자와 제4소자 각각의 Voc와 Isc를 비교한 그래프.

도 6은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법의 a) 단계의 개략도.

도 7은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법의 b) 단계 및 c) 단계의 개략도.

발명을 실시하기 위한 구체적인 내용

- [0028] [반도체 공핍층을 이용한 마찰발전기]
- [0029] 이하 첨부된 도면을 참고하여 본 발명에 의한 반도체 공핍층을 이용한 마찰발전기의 바람직한 실시예에 관하여 상세히 설명한다.
- [0030] 도 1은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 단면을 개략적으로 도시한 것이다.
- [0031] 도 1에 도시된 바와 같이, 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기는 제1어셈블리(100)와 제2어셈블리(200)를 포함할 수 있다.
- [0032] 제1어셈블리(100)와 제2어셈블리(200)는 서로 접촉 및 분리를 반복하여 마찰전기를 발생시키는 것으로, 제1어셈블리(100) 및 제2어셈블리(200) 중 선택되는 하나의 어셈블리는 외력에 의해 다른 어셈블리측으로 이동하여 접촉 및 분리를 반복할 수 있으며, 도 1에 도시된 바와 같이 본 실시예에서는 제2어셈블리(200)가 제1어셈블리(100) 방향으로 이동하여 접촉하거나, 그 반대 방향으로 이동하여 분리될 수 있다.
- [0033] 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기는 제1어셈블리(100) 및 제2어셈블리(200) 중 선택되는 하나의 어셈블리를 다른 어셈블리측으로 이동시키는 구동부(미도시)를 더 포함할 수 있다.
- [0034] 도 1에 도시된 바와 같이, 제1어셈블리(100)는 제1기판(110) 및 상기 제1기판(110)의 일면에 순차적으로 형성되는 전극층(130), 절연층(140), 강유전체층(150) 및 2차원 반도체층(120)을 포함할 수 있다.
- [0035] 본 실시예에서 제1기판(110)은 소형, 경량 및 유연성을 위해 폴리머 기판이 사용될 수 있으며, 제1기판(110)을 형성할 수 있는 폴리머 재질의 몇몇 예로써 PET(polyethylene), PC(polycarbonate) 및 PES(poly ether sulfones)가 사용될 수 있다.
- [0036] 전극층(130)은 전류가 흐를 수 있도록 금속 또는 전도성 고분자로 이루어질 수 있으며, 전극층(130)을 형성할 수 있는 금속 재질의 몇몇 예로써 알루미늄(Al), 금(Au), 백금(Pt) 및 구리(Cu)가 있을 수 있다.
- [0037] 전극층(130)의 두께는 10nm~1μm일 수 있으며, 바람직하게는 50nm~100μm일 수 있다.
- [0038] 절연층(140)은 전극층(130)과 후술할 2차원 반도체층(120)을 절연하는 역할을 하며, 비전도성, 즉 전극층(130)과 2차원 반도체층(120)을 절연할 수 있는 절연재질로 형성될 수 있다. 절연층(140)은 폴리디메틸실록산(Polydimethylsiloxane, PDMS), 폴리에틸렌(PolyEthylene, PE) 및 폴리스티렌(Polystyrene sulfonate) 중 선택되는 어느 하나로 이루어질 수 있으나, 절연층(140)의 재질을 상기한 것에 한정하지는 않는다.
- [0039] 절연층(140)의 두께는 10~1000μm일 수 있으며, 바람직하게는 50~100μm일 수 있다.
- [0040] 강유전체(ferroelectrics)는 자발적 전기분극 현상을 나타내는 물질을 의미하며, 강유전체층(150)은 강유전체로 이루어질 수 있다. 강유전체는 전기장에 의하여 분극을 일으킨 후, 전기장을 제거하여도 그 분극 상태를 유지한다. 도 1에 도시된 본 실시예에서 강유전체층(150)의 상부는 플러스로, 하부는 마이너스로 분극되어 강유전체층(150)의 상부에 위치한 2차원 반도체층(120)이 후술할 마찰층(220)과의 마찰로 마이너스로 대전될 때, 플러스로 분극된 강유전체층(150)의 상부로 인해, 보다 많은 전하가 빠르게 2차원 반도체층(120)으로 이동하도록 할 수 있다.
- [0041] 강유전체층(150)을 구성할 수 있는 재질로는 폴리비닐리덴 플로우라이드(Polyvinylidene fluoride, PVDF),

Pb(Zr,Ti)O₃, BaTiO₃ 및 PbTiO₃ 중 선택되는 어느 하나로 형성될 수 있다. 강유전체층(150)의 두께는 1~100um 일 수 있으며, 보다 바람직하게는 1~5um일 수 있다.

[0042] 2차원 반도체층(120)은 말 그대로 2차원 반도체로 이루어질 수 있으며, 대표적인 2차원 반도체인 이황화몰리브덴(MoS₂)으로 이루어질 수 있다. 2차원 반도체층(120)은 후술할 마찰층(220)과 접촉시 쇼트키 접합 또는 pn접합에 의해 생성된 공핍층을 통해, 플러스로 대전될 수 있다. 2차원 반도체층(120)은 이황화몰리브덴(MoS₂) 외에도 MoSe₂, WS₂, WSe₂, MoTe₂, WTe₂, ZrS₂, ZrSe₂, HfS₂, HfSe₂ 및 SnS₂ 중 선택되는 하나로 형성될 수 있다.

[0043] 도 1에 도시된 바와 같이, 제2어셈블리(200)는 제2기판(210) 및 마찰층(220)을 포함할 수 있다.

[0044] 제2기판(210)은 마찰층(220)을 형성하기 위한 것으로, 제1기판(110)과 마찬가지로 소형, 경량 및 유연성을 위해 폴리머 기판이 사용될 수 있으며, PET(polyethylene), PC(polycarbonate) 및 PES(poly ether sulfones)가 사용될 수 있다.

[0045] 도 1에 도시된 바와 같이, 마찰층(220)은 제2기판(210)의 하면에 위치하며, 제1어셈블리(100)와 제2어셈블리(200)가 서로 접합될 때, 2차원 반도체층(120)과 맞닿아 쇼트키 접합 또는 pn접합에 의해 공핍층을 통해 마이너스로 대전될 수 있다.

[0046] 마찰층(220)은 2차원 반도체와 공핍층을 형성할 수 있으며, 전도성을 가지는 재질로 형성될 수 있으며, 대표적으로 마찰층(220)은 금(Au), 백금(Pt) 및 전도성 고분자 중 선택되는 어느 하나로 이루어질 수 있다. 마찰층(220)이 전도성 고분자로 이루어질 경우, 해당 전도성 고분자는 폴리피롤(Polypyrrol, PPy) 또는 PEDOT:PSS일 수 있다. 마찰층(220)의 두께는 10nm~1um일 수 있으며, 보다 바람직하게는 50~100nm일 수 있다.

[0047] 도 1에 도시된 바와 같이, 제1어셈블리(100)의 전극층(130)과 제2어셈블리(200)의 마찰층(220) 사이에는 부하(320)가 위치할 수 있고, 상기 부하(320)는 배선(310)을 통해 전극층(130) 및 마찰층(220) 각각에 연결될 수 있다.

[0048] 도 2는 제1어셈블리(100)가 제2어셈블리(200)가 서로 접촉한 상태를 도시한 것이다.

[0049] 도 2에 도시된 바와 같이, 제1어셈블리(100)와 제2어셈블리(200)가 서로 접촉되면 서로 맞닿은 2차원 반도체층(120)과 마찰층(220)의 계면에는 쇼트키 접합 또는 pn접합에 의한 공핍층이 형성되어 2차원 반도체층(120)은 플러스로, 마찰층(220)은 마이너스로 대전된다. 이후 도 1에 도시된 바와 같이 제1어셈블리(100)와 제2어셈블리(200)가 서로 분리되면, 마찰층(220)과 전극층(130)간에 서로 전위차가 발생하여, 마찰층(220)과 전극층(130) 사이에 전류가 흐르게 된다.

[0050] 도 3은 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기와 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기에서 2차원 반도체층이 없는 마찰발전기를 도시한 것이다. 도 3a에 도시된 마찰발전기는 2차원 반도체층(120)을 포함하는 본 발명의 일실시예에 의한 마찰발전기로, 편의상 제1소자라고 하며, 도 3b에 도시된 마찰발전기는 제1소자에서 2차원 반도체층(120)이 빠진 마찰발전기로, 편의상 제2소자라고 한다.

[0051] 도 3a에 도시된 제1소자에서 마찰층(220)의 재질은 금이고, 2차원 반도체층(120)의 재질은 이황화몰리브덴(MoS₂)이며, 강유전체층(150)은 폴리비닐리덴 플로우라이드(Polyvinylidene fluoride, PVDF)로, 절연층(140)은 폴리디메틸실록산(Polydimethylsiloxane, PDMS)으로, 전극층(130)은 인듐 주석 산화물(ITO)로 이루어질 수 있으며, 제2소자는 제1소자와 나머지 층들은 동일하되, 2차원 반도체층(120)이 생략된다. 제1소자는 2차원 반도체층(120)이 금으로 이루어진 마찰층(220)과 접촉했다가 분리되므로, 쇼트키 접합에 의한 공핍층이 형성된다. 그러나 제2소자는 제1소자와 달리 마찰층(220)이 강유전체층(150)과 접촉하여 강유전체층(150)의 상부가 플러스로 대전되지만, 쇼트키 접합에 의한 공핍층이 형성되지 않는다.

[0052] 도 3에 도시된 바와 같이 제1소자 및 제2소자 각각의 마찰층(220)과 전극(130)은 배선(310)을 통해 10MΩ의 저항이 연결되고, 10Hz의 속도로 5kPa의 압력을 가하면서 open-circuit voltage(Voc)와 short-circuit current(Isc)를 측정하여 제1소자와 제2소자의 성능을 비교하였으며, 도 4는 제1소자와 제2소자의 Voc와 Isc를 비교한 그래프이다.

[0053] 도 4a와 도 4c는 각각 제1소자의 Voc와 Isc이고, 도 4b와 제4d는 각각 제2소자의 Voc와 Isc이다. 도 4에 도시된 바와 같이, 2차원 반도체층(120)이 형성된 제1소자는 2차원 반도체층(120)이 없는 제2소자보다 Voc와 Isc가 약 2배 더 크다. 이러한 Voc와 Isc의 차이는 제1소자의 금으로 형성된 마찰층(220)과 2차원 반도체층(120) 계면에 형성되는 공핍층의 built-in potential 때문으로 볼 수 있다.

- [0054] 도 5는 상술한 제1소자 및 제2소자에서 마찰층(220)의 재질을 금에서 폴리피롤(Polypyrrol, PPy)로 바꾼 제3소자와 제4소자의 Voc와 Isc를 비교한 그래프로, 보다 상세히 도 5a와 도 5c는 순서대로 제3소자의 Voc와 Isc, 도 5b와 도 5d는 순서대로 제4소자의 Voc와 Isc의 그래프이다.
- [0055] 도 5에 도시된 바와 같이, 제3소자의 Voc와 Isc는 제4소자의 Voc와 Isc보다 약 3배 더 크며, 이러한 Voc와 Isc의 차이는 마찰층(220)을 이루는 폴리피롤과 2차원 반도체층(120)을 이루는 이황화몰리브덴(MoS2)의 계면에서 pn접합에 의해 형성되는 공핍층의 전위장벽(built-in potential) 때문으로 볼 수 있다.
- [0056] 도 5a와 도 5c에 도시된 바와 같이, 마찰층(220)이 폴리피롤로 이루어진 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기는 2차원 반도체층(120)이 없는 마찰발전기보다 Voc와 Isc가 약 3배 더 크며, 이러한 Voc와 Isc의 차이는 마찰층(220)을 이루는 폴리피롤이 p형 반도체, 2차원 반도체층(120)을 이루는 이황화몰리브덴(MoS2)은 n형 반도체이므로, 마찰층(220)과 2차원 반도체층(120)의 접촉시 형성되는 공핍층의 전위장벽(built-in potential) 때문이다.
- [0057] [반도체 공핍층을 이용한 마찰발전기의 제조방법]
- [0058] 이하 첨부된 도면을 참고하여 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법에 관하여 상세히 설명하며, 본 실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법에서 제고하는 마찰발전기는 상술한 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기일 수 있다.
- [0059] 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법은 a) 단계, b) 단계, c) 단계, d) 단계 및 e) 단계를 포함할 수 있다.
- [0060] a) 단계, b) 단계, c) 단계 및 d) 단계는 제1어셈블리(100)를 제조하는 단계들이고, e) 단계는 제2어셈블리(200)를 제조하는 단계로, 설명의 편의상 a) 내지 d) 단계가 먼저 설명하고, e) 단계를 나중에 설명하지만, e) 단계는 본 발명의 어떠한 순서에 수행되더라도 관계없다.
- [0061] 도 6은 a) 단계를 개략적으로 도시한 것이다.
- [0062] 도 6에 도시된 바와 같이, 제1기판(110)의 일면에 전극층(130)을 증착하고, 상기 전극층(130)의 일면에 절연층(140)을 형성해 제1단위체(10)를 제조한다. 전극층(130)은 상술한 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기발전기와 동일하게 전류가 흐를 수 있는 재질로 형성될 수 있으며, 전극층(130)을 형성할 수 있는 재질로는 알루미늄(Al), 금(Au), 백금(Pt) 및 구리(Cu)가 있을 수 있다. 전극층(130)의 두께는 10nm~1um일 수 있으며, 바람직하게는 50nm~100um일 수 있다.
- [0063] a) 단계에서 전극층(130)의 일면에 형성되는 절연층(140)은 폴리디메틸실록산(Polydimethylsiloxane, PDMS), 폴리에틸렌(PolyEthylene, PE) 및 폴리스티렌(Polystyrene sulfonate) 중 선택되는 어느 하나로 형성될 수 있다. a) 단계에서 절연층(140)은 전극층(130)의 일면에 절연층 용액을 도포한 후 열처리해 형성될 수 있으며, 절연층(140)이 폴리디메틸실록산(PDMS)로 이루어질 때, 절연층 용액은 전극층(130)의 상부에서 스핀코팅 방식으로 도포된 후, 소정 온도에서 소정 시간동안 열처리해 형성하여, 제1기판(110), 전극층(130) 및 절연층(140)을 포함하는 제1단위체(10)를 제조할 수 있다.
- [0064] 도 7은 b) 단계가 수행된 후, c) 단계가 수행되는 과정을 개략적으로 도시한 것이다.
- [0065] 도 7의 상부는 b) 단계가 수행된 이후를 도시한 것으로, 도 7에 도시된 바와 같이 b) 단계는 보조기판(400)의 일면에 순차적으로 2차원 반도체층(120)과 강유전체층(150)을 형성하여, 제2단위체(20)를 제조한다. 보조기판(400)은 상술한 2차원 반도체층(120)과 강유전체층(150)을 형성하기 위해 보조적으로 사용되는 기판으로, 일반적으로 사용되는 산화실리콘(SiO2) 기판이 사용될 수 있다.
- [0066] 2차원 반도체층(120)은 상술한 바와 같이 이황화몰리브덴(MoS2)으로 형성될 수 있고, 강유전체층(150)은 폴리비닐리덴 플루오라이드(Polyvinylidene fluoride, PVDF), Pb(Zr,Ti)O3, BaTiO3 및 PbTiO3 중 선택되는 어느 하나로 형성될 수 있다. b) 단계에서 제조되는 강유전체층(150)의 두께는 1~100um일 수 있으며, 보다 바람직하게는 1~5um일 수 있다. 2차원 반도체층(120)은 상술한 이황화몰리브덴 외에도 MoSe2, WS2, WSe2, MoTe2, WTe2, ZrS2, ZrSe2, HfS2, HfSe2 및 SnS2 중 선택되는 하나의 재질로 형성될 수 있다.
- [0067] b) 단계에서 2차원 반도체층(120)은 화학기상증착(Chemical Vapor Deposition, CVD) 방법을 이용해 보조기판(400)의 일면에 성장될 수 있으며, 강유전체층(150)은 강유전체층 용액을 도포한 후, 소정 온도에서 소정 시간동안 열처리해 형성될 수 있다. 강유전체층(150)을 도포하는 방법에는 스핀코팅이 사용될 수 있다.

- [0068] 도 7에 도시된 바와 같이, b) 단계에서는 보조기관(400), 2차원 반도체층(120) 및 강유전체층(150)을 포함하는 제2단위체(20)를 제조할 수 있다.
- [0069] 도 7에 도시된 바와 같이, b) 단계가 수행된 이후 c) 단계는 상술한 제2단위체(20)를 수조(40)에 담긴 초순수(41)에 침지시켜, 보조기관(400)과 2차원 반도체층(120) 및 강유전체층(150)을 분리시켜, 2차원 반도체층(120)과 강유전체층(150)으로 이루어진 제3단위체(30)를 제조한다.
- [0070] 앞서 a) 단계는 b) 단계 및 c) 단계가 수행되기 이전에 수행된다고 기재하였지만, 본 발명의 일실시예에 의한 반도체 공핍층을 이용한 마찰발전기의 제조방법에서는 a) 단계, b) 단계 및 c) 단계의 순서를 상술한 실시예에 한정하지 않고, b) 단계 및 c) 단계가 먼저 수행되어 제3단위체(30)를 제조한 후, a) 단계가 수행되어 제1단위체(10)를 제조하는 실시예 또한 있을 수 있다. 즉, 제1단위체(10)와 제3단위체(30)는 별개로 제조되어도 관계없다.
- [0071] d) 단계에서는 제3단위체(30)의 강유전체층(150)이 절연층(140)과 맞닿도록 상기 제3단위체(30)를 제1단위체(10)에 전사(transfer)해 제1어셈블리(100)를 제조한다. d) 단계가 수행된 이후의 제1어셈블리(100)는 도 1에 도시되어 있으므로, 별도의 도면은 생략하며, d) 단계에서는 제3단위체(30)가 제1단위체(10)에 전사된 이후에는 소정 온도에서 소정 시간동안 열처리되어 제1어셈블리(100)를 제조할 수 있다.
- [0072] e) 단계는 제2기관(210)의 일면에 마찰층(220)을 형성해, 제2어셈블리(200)를 제조하며, 제2어셈블리(200) 또한 도 1에 도시되어 있으므로 별도의 도면은 생략한다. 마찰층(220)은 상기 2차원 반도체층(120)과 공핍층을 형성할 수 있는 재질로 형성될 수 있다.
- [0073] e) 단계에서 마찰층(220)을 형성할 수 있는 재질은 금(Au), 백금(Pt), 폴리피롤(Polypyrrol, PPy) 및 PEDOT:PSS 중 선택되는 어느 하나일 수 있으며, 마찰층(220)을 형성하는 재질에 따라 e) 단계의 구체적인 방법이 달라질 수 있다.
- [0074] 먼저, 마찰층(220)이 금(Au) 또는 백금(Pt)로 형성되면, e) 단계는 상기 제2기관(210)의 일면에 금(Au) 또는 백금(Pt)를 열증착해 상기 마찰층(220)을 형성하여, 제2어셈블리(20)를 제조한다.
- [0075] 마찰층(220)이 폴리피롤로 형성되면, 상기 e) 단계는 제2기관(210)을 플라즈마 처리하고, 제2기관(210)의 일면에 염화 철(FeCl_3) 용액을 도포한 후 소정 온도에서 소정 시간동안 열처리한다. 이때 염화 철 용액을 제2기관(210)의 일면에 도포하는 방법으로는 스핀코팅이 사용될 수 있다. 이후 제2기관(210)의 일면에 도포한 염화 철 부분이 잠기도록 제2기관(210)을 폴리피롤 용액에 침지시키고, 소정 온도에서 소정 시간동안 열처리하여 마찰층(220)을 형성하여, 제2어셈블리(20)를 제조한다.
- [0076] 마찰층(220)이 PEDOT:PSS로 형성되면, PEDOT:PSS 용액을 스핀 코팅하여 제2기관(210)의 일면에 도포하고, 이후 소정 온도에서 소정 시간동안 열처리하여 형성할 수 있다.
- [0077] 상술한 바와 같은 본 발명의 다양한 실시예에 의한 반도체 공핍층을 이용한 마찰발전기 및 이의 제조방법은, 종래의 마찰발전기에 비해 공핍층의 전위장벽 때문에 더 큰 전기를 더 빠르게 발생시킬 수 있고, 반도체의 특성상 에너지 밴드갭과 일함수의 조절이 가능하므로, 2차원 반도체층과 2차원 반도체층과 공핍층을 형성하는 마찰층의 특성 또는 재질을 적절히 선택하여 발전 효율을 향상시킬 수 있는 효과가 있다.
- [0078] 본 발명은 상기한 실시예에 한정되지 아니하며, 적용범위가 다양함은 물론이고, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 다양한 변형 실시가 가능한 것은 물론이다.

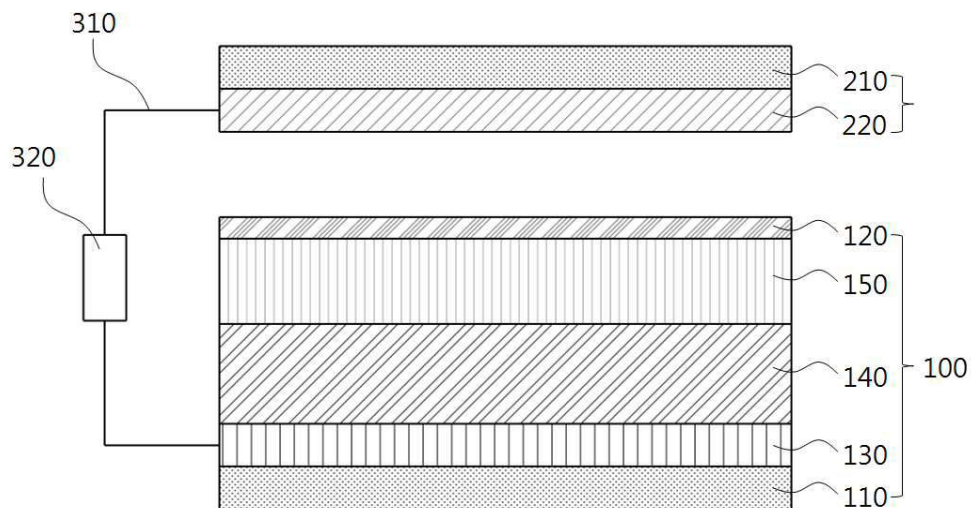
부호의 설명

- [0079] 100 : 제1어셈블리
110 : 제1기관
120 : 2차원 반도체층
130 : 전극층
140 : 절연층
150 : 강유전체층

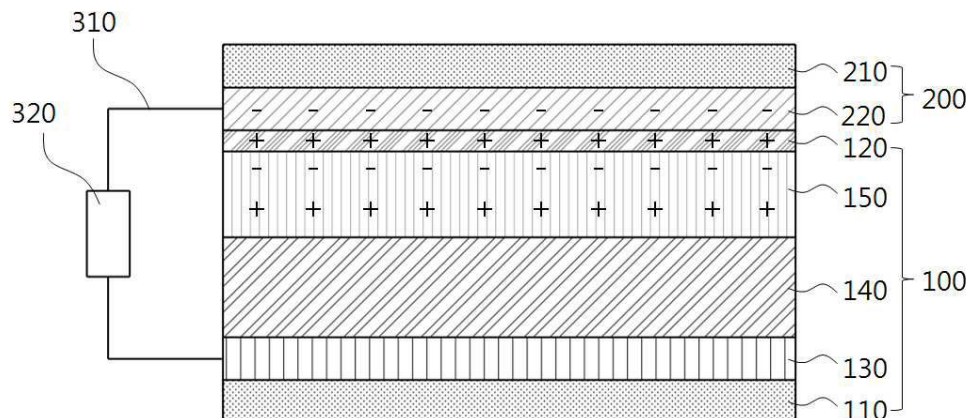
200 : 제2어셈블리
 210 : 제2기판
 220 : 마찰층
 310 : 배선
 320 : 부하
 400 : 보조기판
 10 : 제1단위체
 20 : 제2단위체
 30 : 제3단위체
 40 : 수조
 41 : 초순수

도면

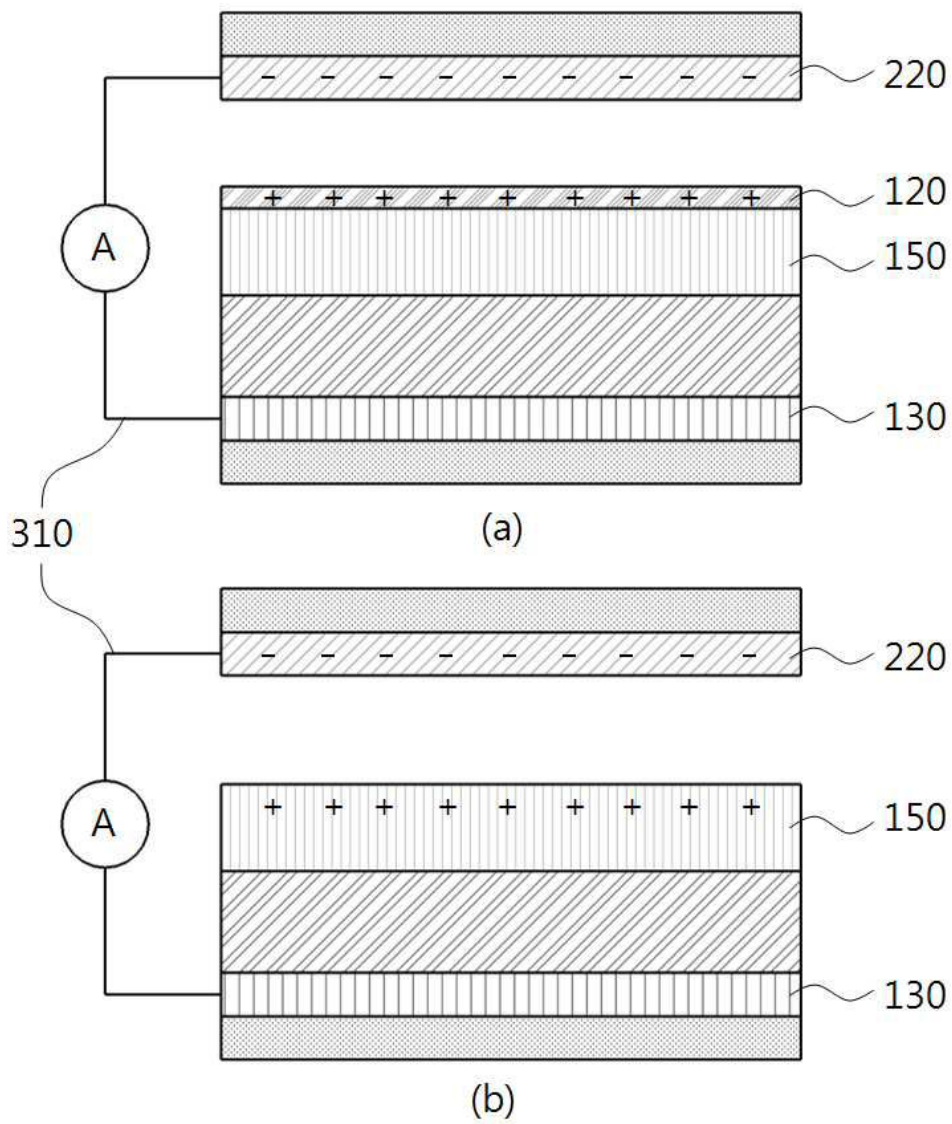
도면1



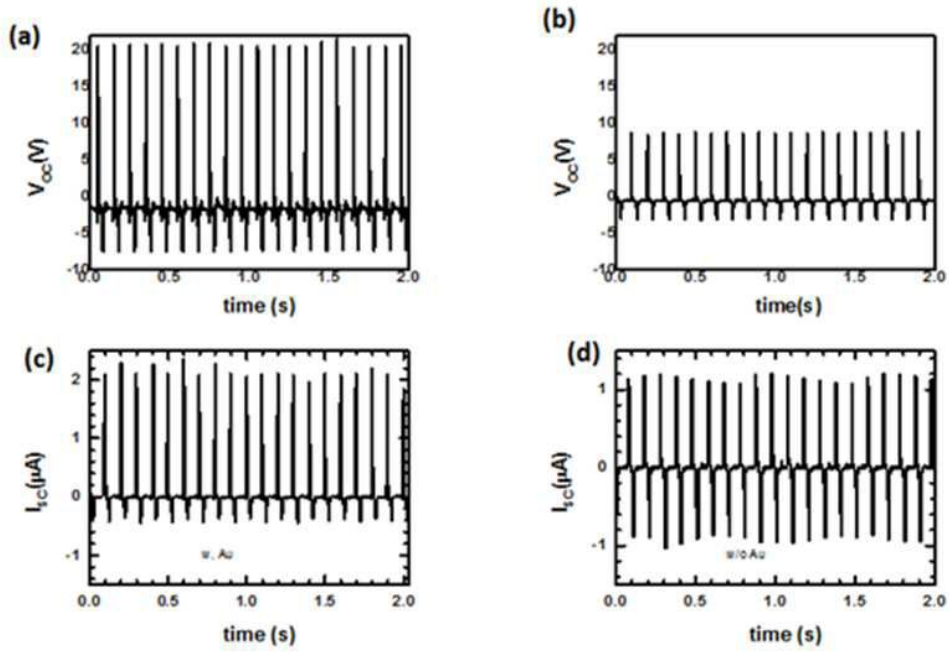
도면2



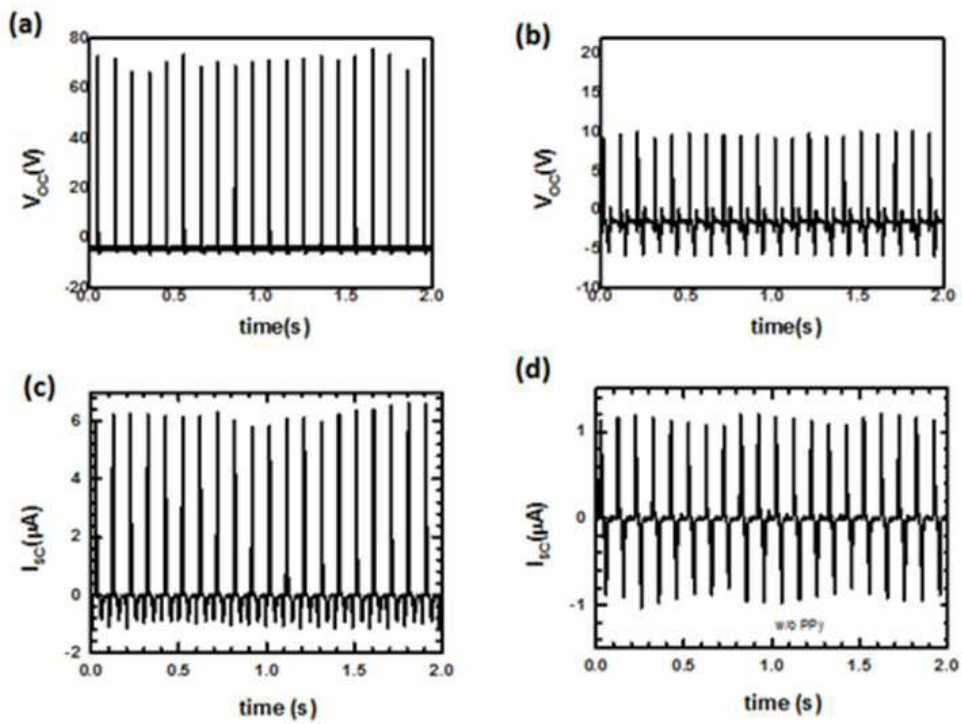
도면3



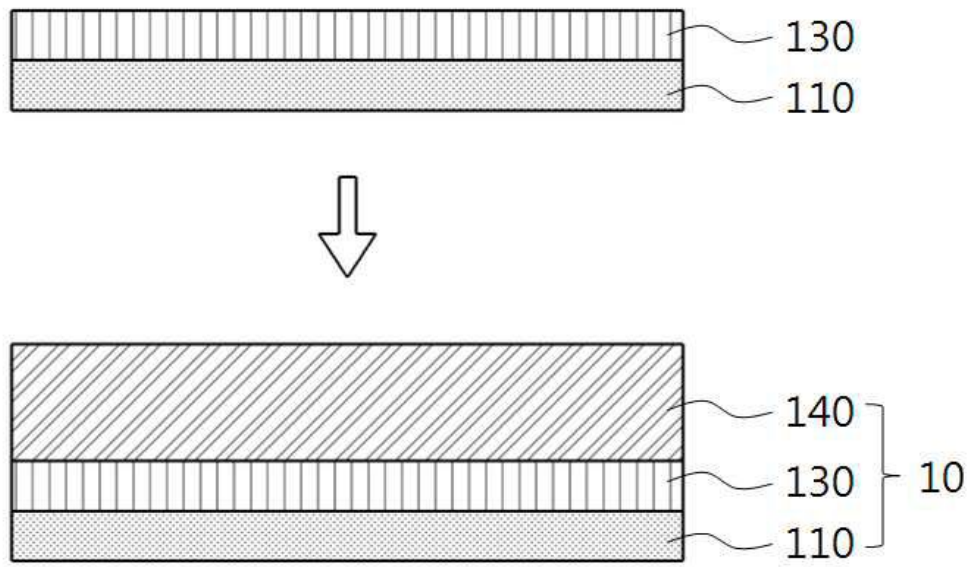
도면4



도면5



도면6



도면7

