



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0109086
(43) 공개일자 2020년09월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 21/02 (2006.01)
H01L 29/423 (2006.01)
(52) CPC특허분류
H01L 21/28247 (2013.01)
H01L 21/02181 (2013.01)
(21) 출원번호 10-2019-0028140
(22) 출원일자 2019년03월12일
심사청구일자 2019년03월12일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
조만호
서울특별시 서대문구 연세로 50 연세대학교 이과대학
강항규
서울특별시 서대문구 연세로 50 연세대학교 이과대학
(뒷면에 계속)
(74) 대리인
특허법인충현

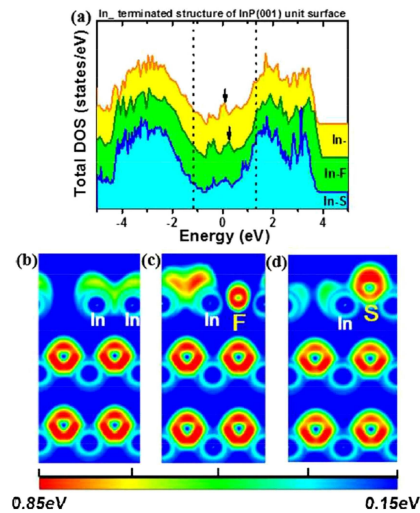
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 반도체 기판의 표면 상태를 개선하는 게이트 전극의 제조방법 및 이에 따라 제조된 게이트 전극

(57) 요약

본 발명은 반도체 기판의 표면 상태를 개선하는 게이트 전극의 제조방법 및 이에 따라 제조된 게이트 전극에 관한 것으로, (A) 3-5족 반도체 기판을 AMI(아세톤-메탄올-이소프로판올)로 처리하는 단계; (B) AMI로 처리된 3-5족 반도체 기판을 황화합물로 처리하여 황 패시베이션을 수행하는 단계; 및 (C) 황 패시베이션이 수행된 3-5족 반도체 기판 위에 유전상수가 20 내지 30인 화합물을 증착시켜 산화막을 형성하는 단계;를 포함함으로써, 종래의 방법으로 제조된 게이트 전극에 비하여 전기적 측면 및 구조적 측면의 성능을 모두 향상시킬 수 있다.

대표도 - 도13



(52) CPC특허분류

H01L 21/02557 (2013.01)
H01L 21/28185 (2013.01)
H01L 21/28194 (2013.01)
H01L 21/28264 (2013.01)
H01L 29/4232 (2013.01)
H01L 2924/01016 (2013.01)

백민

서울특별시 서대문구 연세로 50 연세대학교 이과대학

(72) 발명자

강유선

서울특별시 서대문구 연세로 50 연세대학교 이과대학

이 발명을 지원한 국가연구개발사업

과제고유번호	2018-11-1387
부처명	국내
과제관리(전문)기관명	기업체
연구사업명	융역
연구과제명	반도체 표면/계면 제어를 통한 소재/소자 특성 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2018.07.01 ~ 2019.06.30

명세서

청구범위

청구항 1

- (A) 3-5족 반도체 기판을 AMI(아세톤-메탄올-이소프로판올)로 처리하는 단계;
 (B) 상기 AMI로 처리된 3-5족 반도체 기판을 황화합물로 처리하여 황 패시베이션을 수행하는 단계; 및
 (C) 상기 황 패시베이션이 수행된 3-5족 반도체 기판 위에 유전상수가 20 내지 30인 화합물을 증착시켜 산화막을 형성하는 단계;를 포함하는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 2

제1항에 있어서, 상기 (A)단계에서 3-5족 반도체 기판은 인듐포스페이트(InP), 인듐갈륨아세나이드(InGaAs), 인듐아세나이드(InAs), 인듐아세나이드포스포러스(InAsP), 인듐갈륨포스포러스(InGaP), 인듐알루미늄포스파이드(InAlP) 및 인듐알루미늄아세나이드(InAlAs)로 이루어진 군에서 선택된 1종 이상인 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 3

제1항에 있어서, 상기 (A)단계에서 3-5족 반도체 기판은 아세톤에 1 내지 15분, 메탄올에 1 내지 15분 및 이소프로판올에 1 내지 15분 동안 순차적으로 침지되는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 4

제1항에 있어서, 상기 (B)단계에서 황화합물은 황화암모늄($(\text{NH}_4)_2\text{S}$), 황화수소(H_2S) 또는 이들의 혼합물인 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 5

제1항에 있어서, 상기 (B)단계에서 AMI로 처리된 3-5족 반도체 기판을 15 내지 30%의 황화합물에 5 내지 20분 동안 침지시키는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 6

제1항에 있어서, 상기 (C)단계에서 유전상수가 20 내지 30인 화합물은 하프늄옥사이드(HfO_x)인 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 7

제6항에 있어서, 상기 하프늄옥사이드는 $\text{C}_{16}\text{H}_{36}\text{HfO}_4$, TDEAHf(Tetrakisdiethylamidohafnium) 및 TEMAHf(Tetrakis(ethylmethylamino) Hafnium)로 이루어진 군에서 선택된 1종 이상의 하프늄을 함유하는 유기금속 화합물로 형성되는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 8

제1항에 있어서, 상기 (C)단계에서 유전상수가 20 내지 30인 화합물은 ALD(atomic layer desposition)법, PEALD(plasma enhanced atomic layer desposition)법, CVD(chemical vapor desposition)법, PECVD(plasma enhanced chemical vapor desposition)법, PLD(pulsed laser desposition)법, MBE(molecular beam epitaxy)법 및 스퍼터링법으로 이루어진 군에서 선택된 1종으로 증착되는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 9

제1항에 있어서, 상기 (C)단계에서 형성된 산화막의 두께는 2 내지 15 nm인 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 10

제1항에 있어서, 상기 (C)단계 이후에 500 내지 700 °C에서 어닐링시키는 것을 특징으로 하는 게이트 전극의 제조방법.

청구항 11

제1항 내지 제10항 중 어느 한 항의 제조방법에 따라 제조된 게이트 전극.

청구항 12

제11항의 게이트 전극을 포함하는 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기판의 표면 상태를 개선한 후 황 패시베이션을 수행하여 종래의 방법으로 제조된 게이트 전극에 비하여 전기적 측면 및 구조적 측면의 성능을 모두 향상시킬 수 있는 게이트 전극의 제조방법 및 이에 따라 제조된 게이트 전극에 관한 것이다.

배경 기술

[0002] 최근 이동통신과 휴대용 단말기 등의 발전과 보급이 가속화되면서 어플리케이션의 응답 속도(response time)가 빠르고 저전력을 소모하는 소자의 개발이 중요한 실정이다. 고속 어플리케이션과 저전력 소비로 세계가 급속히 변화함에 따라 SiO₂/Si 기반의 MOS(Metal-Oxide-Semiconductor) 디바이스는 현재 근본적인 한계에 도달하고 있다.

[0003] 성능 특성을 향상시키기 위해 많은 연구자들이 Si 기반의 소자보다 우수한 캐리어 수송 특성과 낮은 전력 소비를 갖는 3-5족 화합물 반도체를 연구하였다. 상기 3-5족 화합물 반도체는 앞서 언급한 장점으로 인해 차세대 소재로 각광받고 있다.

[0004] 상기 3-5족 화합물 반도체 중에서 InP는 높은 전자 이동성과 높은 내구 수명으로 인해 활발히 연구되고 있다.

[0005] 한편, SiO₂는 신뢰성이 낮고 고주파 분산 및 고전류 누출과 같은 중요한 문제로 인해 물리적 한계에 도달하였다. 이러한 문제를 극복하기 위해 SiO₂를 대체제로 고유전율(high- κ) 물질이 고려되고 있다.

[0006] 따라서 상기 InP와 고유전율 물질을 사용한 HfO₂/InP에 대한 연구가 유전체 특성, 열적 안정성 및 저 전류 누설에 초점을 맞추어 이루어지고 있다. 그러나 HfO₂/InP에서 열 확산, 및 유전체와 기판 사이의 열악한 계면 품질은 나쁜 영향을 미쳐 장치가 불안정 해지고 성능이 저하되는 문제가 있다.

[0007] 상기 계면 특성을 개선하기 위해 많은 연구자들이 고유전율 막을 증착하기 전에 표면 패시베이션 효과를 연구하였다. 특히, (NH₄)₂S 처리를 이용한 황 패시베이션은 고유전막과 3-5족 기판 사이의 계면 반응을 감소시키는 것으로 보고되었다.

[0008] 구체적으로, HfO₂/InGaAs 시스템에서 황 처리는 HfO₂ 및 InGaAs 기판 사이의 인터페이스 트랩 밀도(Dit)를 효과적으로 감소시켰다. 상기 시스템에서 커패시턴스-전압(C-V) 스펙트럼 히스테리시스는 InGaAs 표면 처리로 인해 어닐링 공정 전후에 개선되었다. 또한, GaAs 시스템의 경우에는 (NH₄)₂S를 이용한 황 패시베이션이 Ga 및 As 확산과 관련된 산화 상태를 억제하는데 효과적이며, 이로 인해 주파수 분산의 C-V 특성이 개선되는 것으로 보고되었다.

[0009] 그러나, 많은 연구자들은 (NH₄)₂S 처리 전에 표면 처리의 효과를 무시하면서 황 처리의 과정만을 고려하고 있다. 최근 연구에서는 하이드로겐플로라이드(HF)를 이용한 표면 처리가 3-5족 기판의 완벽한 소수성 표면 상태를 유지하지 못한다고 보고되었다. 따라서, In-F 결합의 형성은 InP의 친수성 표면을 유도할 수 있으며, 이는 HF 전

처리가 $(\text{NH}_4)_2\text{S}$ 용액에 의한 황 패시베이션을 수행 시 InP 기판 상에 완벽한 소수성 표면의 형성을 방해할 수 있음을 나타낸다.

[0010] 본 발명에서는 이러한 결과를 바탕으로 기판을 표면처리 후 황 패시베이션 수행 시 소수성 상태를 유지시켜 구조적 및 전기적 특성을 향상시키기 위한 표면 처리 방법에 중점을 두었다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 대한민국 등록특허 제1141244호

비특허문헌

[0012] (비특허문헌 0001) Journal of The Electrochemical Society, 158 (12) G242-G245 (2011)

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 반도체 기판의 표면 상태를 개선한 후 황 패시베이션을 수행하여 종래의 방법으로 제조된 게이트 전극에 비하여 전기적 측면 및 구조적 측면의 성능을 모두 향상시킬 수 있는 게이트 전극의 제조방법을 제공하는데 있다.

[0014] 또한, 본 발명의 다른 목적은 상기 제조된 게이트 전극을 제공하는데 있다.

[0015] 또한, 본 발명의 또 다른 목적은 상기 게이트 전극을 포함하는 반도체 소자를 제공하는데 있다.

과제의 해결 수단

[0016] 상기한 목적을 달성하기 위한 본 발명의 게이트 전극을 제조하는 방법은 (A) 3-5족 반도체 기판을 AMI(아세톤-메탄올-이소프로판올)로 처리하는 단계; (B) 상기 AMI로 처리된 3-5족 반도체 기판을 황화합물로 처리하여 황 패시베이션을 수행하는 단계; 및 (C) 상기 황 패시베이션이 수행된 3-5족 반도체 기판 위에 유전상수가 20 내지 30인 화합물을 증착시켜 산화막을 형성하는 단계;를 포함할 수 있다.

[0017] 상기 (A)단계에서 3-5족 반도체 기판은 인듐포스페이트(InP), 인듐갈륨아세나이드(InGaAs), 인듐아세나이드(InAs), 인듐아세나이드포스포러스(InAsP), 인듐갈륨포스포러스(InGaP), 인듐알루미늄포스파이드(InAlP) 및 인듐알루미늄아세나이드(InAlAs)로 이루어진 군에서 선택된 1종 이상일 수 있다.

[0018] 상기 (A)단계에서 3-5족 반도체 기판은 아세톤에 1 내지 15분, 메탄올에 1 내지 15분 및 이소프로판올에 1 내지 15분 동안 순차적으로 침지될 수 있다.

[0019] 상기 (B)단계에서 황화합물은 황화암모늄($(\text{NH}_4)_2\text{S}$), 황화수소(H_2S) 또는 이들의 혼합물일 수 있다.

[0020] 상기 (B)단계에서 AMI로 처리된 3-5족 반도체 기판을 15 내지 30%의 황화합물 수용액에 5 내지 20분 동안 침지시킬 수 있다.

[0021] 상기 (C)단계에서 유전상수가 20 내지 30인 화합물은 하프늄옥사이드(HfO_x)일 수 있다.

[0022] 상기 하프늄옥사이드는 $\text{C}_{16}\text{H}_{36}\text{HfO}_4$, TDEAHf(Tetrakisdiethylamidohafnium) 및 TEMAHf(Tetrakis(ethylmethylanino) Hafnium)로 이루어진 군에서 선택된 1종 이상의 하프늄을 함유하는 유기금속 화합물로 형성될 수 있다.

[0023] 상기 (C)단계에서 유전상수가 20 내지 30인 화합물은 ALD(atomic layer desposition)법, PEALD(plasma enhanced atomic layer desposition)법, CVD(chemical vapor desposition)법, PECVD(plasma enhanced chemical vapor desposition)법, PLD(pulsed laser desposition)법, MBE(molecular beam epitaxy)법 및 스퍼터링법으로

이루어진 군에서 선택된 1종으로 증착될 수 있다.

[0024] 상기 (C)단계에서 형성된 산화막의 두께는 3 내지 6 nm일 수 있다.

[0025] 상기 (C)단계 이후에 500 내지 700 °C에서 어닐링시킬 수 있다.

[0026] 또한, 상기한 다른 목적을 달성하기 위한 본 발명의 게이트 전극은 상기 제조방법에 따라 제조될 수 있다.

[0027] 또한, 상기한 또 다른 목적을 달성하기 위한 본 발명의 반도체 소자는 상기 게이트 전극을 포함하여 제조될 수 있다.

발명의 효과

[0028] 본 발명의 기판을 AMI(아세톤-메탄올-이소프로판올)로 처리한 후 황 패시베이션을 수행한 게이트 전극은 종래 HF 용액을 사용한 후 황 패시베이션을 수행하여 제조된 게이트 전극에 비하여 계면, 구조 및 열적으로 안정할 뿐만 아니라 전기적 특성 등이 우수하다.

도면의 간단한 설명

[0029] 도 1a 내지 1d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극을 고해상도 투과 전자 현미경(HR-TEM)으로 촬영한 이미지이다.

도 2는 HfO_2 막이 증착되기 전의 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서, InP 기판상의 (a) In 3d (Hf 4p) 및 (b) P 2p 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.

도 3은 대조군, 실시예 1, 비교예 1 및 비교예 2에 따른 처리 방법에 대한 산화 상태/기질의 비율을 상기 도 2a의 In 3d 코어-레벨 스펙트럼을 계산한 그래프이다.

도 4는 InP 기판 위에 증착된 HfO_2 (2 nm) 막에 대한 (a) In 3d 및 (b) P 2p 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.

도 5는 InP 기판 위에 증착된 HfO_2 (2 nm) 막에 대한 O 1s 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.

도 6은 (a) 대조군, (b) 비교예 1, (c) 비교예 2 및 (d) 실시예 1의 처리방법으로 처리되어 600 °C에서 PDA 처리 전 및 후의 HfO_2/InP 샘플에 대하여 20° 및 90°의 각도로 측정된 In 3d 코어-레벨 HR-XPS 스펙트럼이다.

도 7a 내지 도 7d는 10 kHz, 100 kHz 및 1 MHz의 주파수에서 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 커패시턴스-전압(C-V)을 측정한 그래프이고; 도 7e 내지 도 7h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극을 1 kHz 내지 1 MHz의 가변 주파수로 측정한 그래프이다.

도 8은 600 °C에서 PDA 후 도 7a-d 및 도 7e-h에 도시된 4가지 군의 함수로서 HfO_2/InP 샘플에 대한 MOSCAPs의 C-V 특성을 나타낸 그래프이다.

도 9는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서 600 °C에서 PDA (a) 전 및 (b) 후의 5.7 nm 두께 HfO_2/InP 시스템의 효과적인 경계-트랩 밀도를 나타낸 그래프이다.

도 10은 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서 600 °C에서 PDA (a) 전 및 (b) 후 HfO_2/InP 시스템의 Dit 그래프이다.

도 11a 내지 11d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 전의 HfO_2/InP 시스템에 대한 MOS 커패시터로 정규화시킨 병렬컨덕턴스($G_p/\omega C$)이고; 도 11e 내지 11h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 전의 HfO_2/InP 시스템에 대한 2차원(2D) 인터페이스 트랩 밀도이다.

도 12a 내지 12d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 후의 HfO_2/InP 시스템에 대한 MOS 커패시터로 정규화시킨 병렬컨덕턴스($G_p/\omega C$)이고; 도 12e 내지 12h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 후의 HfO_2/InP 시스템에 대한 2차원(2D) 인터페이스 트랩 밀도이다.

도 13a는 결합 상태를 고려하여 InP 표면의 In 종결 구조에서 In 땡글링 본드, In-F 구조 및 In-S 구조에 대한 총 밀도(TDOS)를 나타낸 것이며; 도 13b 내지 13d는 DFT 계산에 의해 결정되는 다양한 처리 방법의 전자 위치 측정 기능(ELF)을 측정한 이미지이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 반도체 기관의 표면 상태를 개선한 후 황 패시베이션을 수행하여 종래의 방법으로 제조된 게이트 전극에 비하여 전기적 측면 및 구조적 측면의 성능을 모두 향상시킬 수 있는 게이트 전극의 제조방법 및 이에 따라 제조된 게이트 전극에 관한 것이다.
- [0031] 본 발명은 3-5족 반도체 기관을 AMI(아세톤-메탄올-이소프로판올)로 처리함으로써 그 상면에 황 패시베이션이 수행 시 기관-S 결합이 용이하게 형성되어 소수성 표면 상태를 유지함으로써, 전기적 측면 및 구조적 측면의 성능을 모두 향상시킬 수 있다.
- [0032] 이하, 본 발명을 상세하게 설명한다.
- [0033] 본 발명의 게이트 전극을 제조하는 방법은 (A) 3-5족 반도체 기관을 AMI(아세톤-메탄올-이소프로판올)로 처리하는 단계; (B) 상기 AMI로 처리된 3-5족 반도체 기관을 황화합물로 처리하여 황 패시베이션을 수행하는 단계; 및 (C) 상기 황 패시베이션이 수행된 3-5족 반도체 기관 위에 유전상수가 20 내지 30인 화합물을 증착시켜 산화막을 형성하는 단계;를 포함한다.
- [0034] 먼저, 상기 (A)단계에서는 3-5족 반도체 기관을 AMI(아세톤-메탄올-이소프로판올)로 처리한다.
- [0035] 종래에는 3-5족 반도체 기관의 계면 산화물을 효과적으로 제어하기 위하여 HF 용액을 처리하고 황화합물로 황 패시베이션을 수행하였다. 그러나, 상기 방법은 3-5족 반도체 기관에 형성되는 자연 산화물을 효과적으로 감소시키지만, 상기 기관 표면에 형성된 기관-F 결합이 기관-S 결합의 형성을 방해하여 황 패시베이션이 용이하게 수행되지 못하므로 전기적 측면 및 구조적 측면의 성능이 우수하지 못하다.
- [0036] 반면, 본 발명은 황 패시베이션을 최적화시키기 위하여 AMI 처리에 초점을 맞추었으며, 상기 AMI 처리는 황 패시베이션을 방해하는 기관-F 결합 등의 어떠한 결합도 생성되지 않기 때문에 전기적 측면 및 구조적 측면의 성능이 우수한 게이트 전극을 제공할 수 있다.
- [0037] 상기 AMI 처리는 3-5족 반도체 기관을 아세톤에 1 내지 15분, 바람직하게는 4 내지 8분; 메탄올에 1 내지 15분, 바람직하게는 4 내지 8분; 및 이소프로판올에 1 내지 15분, 바람직하게는 4 내지 8분; 동안 순차적으로 침지시켜 기관의 표면을 에칭시키는 것이다. 상기 3-5족 반도체 기관을 처리 시 침지시키는 유기용매의 순서가 바뀌거나 상기 아세톤, 메탄올 및 이소프로판올 외에 다른 유기용매를 사용하는 경우에는 표면의 In과 P이 갖는 땡글링 본드가 유지되지 않고, 다른 물질과 결합을 형성하여 향후 이루어질 황 패시베이션을 방해하는 문제가 있을 수 있다.
- [0038] 또한, 상기 3-5족 반도체 기관을 각 유기용매에 침지시키는 시간이 상기 바람직한 범위의 하한치 미만인 경우에는 반응시간이 충분하지 못할 수 있으며, 상기 상한치 초과인 경우에는 부반응으로 인하여 황 패시베이션을 방해하는 결합이 생성될 수 있다.
- [0039] 본 발명에서 사용된 3-5족 반도체 기관은 게이트 전극에 이용할 수 있는 3-5족 물질이라면 특별히 한정되지 않지만, 바람직하게는 인듐포스페이트(InP), 인듐갈륨아세나이드(InGaAs), 인듐아세나이드(InAs), 인듐아세나이드포스포러스(InAsP), 인듐갈륨포스포러스(InGaP), 인듐알루미늄포스파이드(InAlP) 및 인듐알루미늄아세나이드(InAlAs)로 이루어진 군에서 선택된 1종 이상을 들 수 있다.
- [0040] 다음으로, 상기 (B)단계에서는 상기 AMI로 처리된 3-5족 반도체 기관을 황화합물로 처리하여 황 패시베이션을 수행한다.
- [0041] 상기 3-5족 반도체 기관을 15 내지 30%의 황화합물 수용액에 5 내지 20분, 바람직하게는 8 내지 13분 동안 침지시켜 황 패시베이션을 수행한다. 황화합물 수용액의 농도 및 침지시간이 상기 범위를 벗어나는 경우에는 황 패시베이션이 수행되지 못할 수 있다.
- [0042] 상기 황화합물은 AMI로 처리된 3-5족 반도체 기관에 황 패시베이션이 가능한 물질이라면 특별히 한정되지 않지

만, 바람직하게는 황화암모늄($(\text{NH}_4)_2\text{S}$), 황화수소(H_2S) 또는 이들의 혼합물일 수 있다.

- [0043] 다음으로, 상기 (C)단계에서는 황 패시베이션이 수행된 3-5족 반도체 기판 위에 유전상수가 20 내지 30인 화합물을 증착시켜 산화막을 형성한다.
- [0044] 본 발명에서와 같이 반도체 기판을 AMI 처리 후 황 패시베이션을 수행하면, 반도체 기판에 자연적으로 생성되는 자연 산화물을 효과적으로 억제시키고 더욱 안정한 계면 안정성을 보인다.
- [0045] 상기 유전상수가 20 내지 30인 화합물은 하프늄옥사이드(HfO_x)로서, 상기와 같은 고유전율 물질을 사용하여 게이트 산화막을 형성한다.
- [0046] 산화막의 형성은 ALD(atomic layer desposition)법, PEALD(plasma enhanced atomic layer desposition)법, CVD(chemical vapor desposition)법, PECVD(plasma enhanced chemical vapor desposition)법, PLD(pulsed laser desposition)법, MBE(molecular beam epitaxy)법 및 스퍼터링법으로 이루어진 군에서 선택된 1종의 방법을 사용할 수 있으며, 바람직하게는 원자층증착(ALD)법으로 증착시키는 것이다.
- [0047] 또한, 상기 하프늄옥사이드를 증착 시 하프늄 성분으로는 $\text{C}_{16}\text{H}_{36}\text{HfO}_4$, TDEAHf(Tetrakisdiethylamidohafnium) 및 TEMAHf(Tetrakis(ethylmethylamino) Hafnium)로 이루어진 군에서 선택된 1종 이상의 하프늄을 함유하는 유기금속 화합물을 사용한다. 반응가스(reactants)로는 오존(O_3), 플라즈마 산소(O_2) 또는 수증기(H_2O)를 사용할 수 있다.
- [0048] 본 발명의 산화막 두께는 2 내지 15 nm, 바람직하게는 3 내지 6 nm로서, 3-5족 반도체 기판과 산화막 사이의 계면층이 성장하는 것을 완벽하게 억제시킨다. 일반적으로 3-5족 반도체 기판과 산화막 사이의 계면 산화물은 산화막 두께에 영향을 받는데 산화막 두께가 상기 2 nm 미만인 경우에는 절연체로서 역할을 수행하지 못하고 얇은 산화막에 의해 산소가 확산되어 3-5족 반도체 기판과 산화막 사이의 계면층이 재성장되어 게이트 전극의 성능이 저하되고, 상기 15 nm 초과인 경우에는 소자의 스케일이 나노스케일 이상으로 커지므로 박막두께를 최소화하기 위해 고유전율 산화물을 사용하는 이유가 없어진다.
- [0049] 상기 (C)단계 이후에 500 내지 700 °C에서 0.5 내지 5분 동안 어닐링시켜 게이트 전극을 완성시킨다.
- [0050] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실시예를 제시하나, 하기 실시예는 본 발명을 예시하는 것일 뿐 본 발명의 범주 및 기술사상 범위 내에서 다양한 변경 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속하는 것도 당연한 것이다.
- [0051] **대조군 1. 무처리**
- [0052] 반도체 기판인 InP 기판의 표면에 아무 처리도 하지 않고 하프늄옥사이드(HfO_2)를 원자층증착(ALD)법($\sim 10^{15} \text{ cm}^{-3}$ 의 도핑 농도)으로 상기 건조된 InP 기판 상에 증착시킨 후 대기압의 N_2 하에서 600 °C로 1분 동안 어닐링(PDA 공정)시켜 게이트 전극을 제조하였다.
- [0053] **실시예 1. AMI+ $(\text{NH}_4)_2\text{S}$**
- [0054] 반도체 기판인 InP 기판을 아세톤, 메탄올, 이소프로판올(AMI) 순으로 각각 5분씩 침지시킨 후 세척하고 21% $(\text{NH}_4)_2\text{S}$ 수용액에 10분 동안 침지시켜 황 패시베이션을 수행한 다음 탈이온수(DI)에서 세정하고 질소가스를 이용하여 건조시켰다. 하프늄옥사이드(HfO_2)를 원자층증착(ALD)법($\sim 10^{15} \text{ cm}^{-3}$ 의 도핑 농도)으로 상기 건조된 InP 기판 상에 증착시킨 후 대기압의 N_2 하에서 600 °C로 1분 동안 어닐링(PDA 공정)시켜 게이트 전극을 제조하였다.
- [0055] 상기 황 패시베이션된 InP 기판은 자연 산화물의 형성을 방지하기 위하여 몇 분 내에 ALD 챔버에 로딩된다. ALD 온도는 250 °C이고, Hf 금속 전구체, 캐리어 기체 및 산소 공급원으로 각각 테트라키스(에틸메틸아미노)-하프늄(tetrakis(ethylmethylamino)-hafnium, TEMAHf), N_2 및 H_2O 증기를 이용하였다. ALD 성장 과정 다음에 N_2 퍼징 단계를 수행한다. 즉, TEMAHf (2s) \rightarrow N_2 (10s) \rightarrow H_2O (1.5s) \rightarrow N_2 (15s)는 하나의 완전한 사이클로

이용된다. 상기 TEMAHf 및 H₂O의 유속은 각각 10 및 50 sccm이고, N₂의 유속은 200 sccm이다. ALD 시스템에서 H₂O의 성장률은 ~ 0.78 Å/cycle이다. 77주기의 ALD를 수행하여 HfO₂ 막을 증착시켜 6 nm의 막 두께를 달성하였다(HR-TEM을 이용하여 5.7 nm의 막 두께를 확인함).

[0056] **비교예 1. HF 단독_황 패시베이션 생략**

[0057] 상기 실시예 1과 동일하게 실시하되, 반도체 기판인 InP 기판을 1% HF 수용액에 3분 동안 침지시킨 후 하프늄옥사이드(HfO₂)를 원자층증착(ALD)법(~10¹⁵ cm⁻³의 도핑 농도)으로 증착시킨 다음 대기압의 N₂하에서 600 °C로 1분 동안 어닐링(PDA 공정)시켜 게이트 전극을 제조하였다.

[0058] **비교예 2. HF+(NH₄)₂S**

[0059] 상기 실시예 1과 동일하게 실시하되, AMI에 침지시키는 대신 1% HF 수용액에 3분 동안 침지시킨 후 21% (NH₄)₂S 수용액에 10분 동안 침지시켜 황 패시베이션을 수행한 다음 하프늄옥사이드(HfO₂)를 원자층증착(ALD)법(~10¹⁵ cm⁻³의 도핑 농도)으로 증착시킨 후 대기압의 N₂하에서 600 °C로 1분 동안 어닐링(PDA 공정)시켜 게이트 전극을 제조하였다.

[0060] **<시험예>**

[0061] 하기에서는 InP 기판 표면에 형성된 HfO₂ 막의 열적 안정성 및 계면특성을 조사하였다. HfO₂ 막이 황 패시베이션된 InP 기판상에 증착될 때, 개선된 계면 성질 및 전자 특성은 HfO₂ 및 InP 상의 계면 산화물, 및 In 또는 P의 땀글링 본드(dangling bond)를 억제함으로써 관찰되었다. 상기 땀글링 본드(dangling bond)는 원자들의 최외각 전자가 완벽하게 결합하지 못한 경우를 의미한다.

[0062] 또한, 황 처리를 수행하지 않은 샘플과 비교하여 HfO₂ 막으로 기판 원자가 확산되는 것과 관련된 Dit 및 결합 상태가 황 처리를 통해 현저하게 감소되었음을 확인하였다.

[0063] **시험예 1. HR-TEM 측정**

[0064] 도 1a 내지 1d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극을 고해상도 투과 전자 현미경(HR-TEM)으로 촬영한 이미지이다. 상기 HR-TEM은 InP 기판 상의 HfO₂ 막에 대한 미세 구조 및 막 두께를 200 kV의 가속 전압을 갖는 HR-TEM으로 측정하였다.

[0065] 도 1a 내지 1d에 도시된 바와 같이, 증착된 모든 막에서 계면층이 관찰되지 않았다. HfO₂ 막 및 InP 기판 사이의 깨끗한 인터페이스는 습식 처리 및 ALD 공정이 수행되는 동안 달성되었다.

[0066] 일반적으로, TEMAHf 전구체는 소수의 ALD 사이클 동안 고유전율(high-κ) 물질/3-5족 반도체 기판의 계면에서 효과적으로 자연 산화물을 감소시킨다.

[0067] 또한, HR-TEM 이미지에서 볼 수 있듯이 HfO₂ 막의 두께는 PDA 공정 후에도 크게 변하지 않는 것을 확인하였다.

[0068] **시험예 2. HR-XPS 측정_HfO₂ 막 증착 전**

[0069] 도 2는 HfO₂ 막이 증착되기 전의 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서 InP 기판상의 (a) In 3d (Hf 4p) 및 (b) P 2p 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.

[0070] 상기 In 3d 및 P 2p 스펙트럼은 InP 기판을 기준으로 보정되었다. 계면 화학 결합 구조는 단색 Al Kα X 선원(hν = 1486.7 eV)과 20 eV의 통과 에너지를 갖는 고해상도 X 선 광전자 분광기(HR-XPS)를 사용하여 조사되었다.

In 3d (Hf 4p), Hf 4f (In 4d), P 2p, C 1s 및 O 1s의 코어-레벨 스펙트럼의 결합 에너지가 측정되었다.

- [0071] In 3d 스펙트럼에서, 444.4 eV의 InP 기판 스펙트럼을 사용하여 XPS 코어 레벨 스펙트럼의 결합 에너지를 보정하였다. XPS 코어-레벨 스펙트럼의 화학적 상태를 디콘볼루션(deconvolute)하기 위해, 셸리(Shirley) 형 감산에 의해 배경이 제거되고, 구성 피크의 반치폭(FWHM) 값이 균일하게 고정되었다. XPS 코어-레벨 스펙트럼의 피크는 Gaussian-Lorentzian 분포를 사용하여 맞추었다. 또한, In 3d 및 P 2p 이중에서 광이온화를 수행하는 동안 전이 확률을 사용하여 스핀-궤도 분할에 의해 야기된 이중선의 강도 비율을 결정하였다.
- [0072] 또한, 도 3은 대조군, 실시예 1, 비교예 1 및 비교예 2에 따른 처리 방법에 대한 산화 상태/기질의 비율을 상기 도 2a의 In 3d 코어-레벨 스펙트럼을 계산한 그래프이다.
- [0073] 도 2a 및 도 2b에 도시된 바와 같이, In-P-O 삼원계의 상 다이어그램(phase diagram)을 기초로 In_2O_3 ($\Delta G \sim -198.6 \text{ kcal/mol}$)에서 444.7 eV, $\text{In}(\text{PO}_3)_3$ ($\Delta G \sim -610 \text{ kcal/mol}$)에서 445.4 eV, InPO_4 ($\Delta G \sim -287 \text{ kcal/mol}$)에서 445.7 eV의 결합 에너지는 실온에서 InP 기판에 초기에 형성될 수 있는 자연 산화물이다. 다른 산화 상태와 비교하여, InP 기판 상에 In_2O_3 상태가 지배적으로 생성되었다.
- [0074] 실온에서 이러한 결과는 다음과 같이 열역학적 평형으로 설명될 수 있다: $4\text{InP} + 3\text{O}_2 \rightarrow 2\text{In}_2\text{O}_3 + 4\text{P}$ ($\Delta G \sim -323.6 \text{ kcal/mol}$) 및 $3\text{InP} + 6\text{O}_2 \rightarrow \text{In}(\text{PO}_3)_3 + \text{In}_2\text{O}_3$ ($\Delta G \sim -753.4 \text{ kcal/mol}$).
- [0075] 또한, In 3d 및 In 2p 데이터에서 볼 수 있듯이, 여러 산화 상태가 두 개의 S 처리와 HF 단독 처리된 InP 기판 사이에서 명확히 구분될 수 있음이 관찰되었다.
- [0076] In-S 및 In-O 결합 상태는 HR-XPS가 거의 동일한 결합 에너지를 가지고 있기 때문에 명확하게 구별할 수 없지만, 비교예 2(HF+S) 및 실시예 1(AMI+S) 처리 후의 신호 증가는 In-S의 형성에 기인할 수 있다.
- [0077] InP 표면을 $(\text{NH}_4)_2\text{S}$ 용액으로 처리하면 In 원자에 S 원자가 결합되어 새로운 화학종이 나타날 수 있다. 즉, S 원자는 In 원자와 우선적으로 반응하여 InP 기판의 표면에 In-O 결합의 형성을 억제하는 In-S 상태를 형성한다.
- [0078] 이는 In 3d 및 P 2p 스펙트럼과 일치한다; 특히, $(\text{NH}_4)_2\text{S}$ 용액을 사용하면 $\text{In}(\text{PO}_3)_3$ 및 InPO_4 의 변화는 표면에서의 In-S 결합의 압도적인 신호 때문에 산화 상태에서 효과적인 제어가 일어난다.
- [0079] 도 3에 도시된 바와 같이, In 3d XPS 스펙트럼에서 다양한 표면 처리 방법에 의한 InP 기판에 대한 산화 상태의 상대 비율은 도 2a의 In 3d 코어-레벨 스펙트럼에서 파생되었다. 흥미롭게도, 실시예 1(AMI+S)이 대조군(무처리), 비교예 1(HF) 및 비교예 2(HF+S)와 비교하여 산화 상태의 양이 다른 군에 비하여 현저히 줄어들었으므로, 표면 산화 상태를 제어하는데 더 효과적이라는 것을 확인하였다. 특히, InPO_4 상태는 실시예 1(AMI+S)에서 더욱 현저하게 감소되었다.
- [0080] 일반적으로, 비교예 2와 같이 InP 기판을 HF 용액으로 에칭하면, In-F 결합이 형성되고 기판의 P 원자가 InP 기판의 표면에서 PH_3 상태로 변화된다. 화학반응 메커니즘에 따르면, 비교예 2(HF+S)가 수행될 때, S 원자는 기존의 In-O 결합을 분해하여 In-S 결합을 형성해야 하지만, 상기와 같은 In-F의 존재는 In-S의 생성을 방해한다.
- [0081] 대조적으로, 실시예 1과 같이 AMI로의 표면 처리를 $(\text{NH}_4)_2\text{S}$ 처리 전에 수행하는 경우에는 많은 In-O 상태가 In-S 상태로 거의 전환된다.

[0082] 시험예 3. HR-XPS 측정_HfO₂ 막 증착 후

- [0083] 도 4는 InP 기판 위에 증착된 HfO₂(2 nm) 막에 대한 (a) In 3d 및 (b) P 2p 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.
- [0084] 도 5는 InP 기판 위에 증착된 HfO₂(2 nm) 막에 대한 O 1s 코어-레벨 HR-XPS 스펙트럼을 도시한 것이다.
- [0085] 도 6은 (a) 대조군, (b) 비교예 1, (c) 비교예 2 및 (d) 실시예 1의 처리방법으로 처리되어 600 °C에서 PDA 처리 전 및 후의 HfO₂/InP 샘플에 대하여 20° 및 90°의 각도로 측정한 In 3d 코어-레벨 HR-XPS 스펙트럼이다.
- [0086] 도 4 및 도 5에 도시된 바와 같이, 비교예 1(HF 단독 처리)에 따라 제조된 전극을 기준으로 산화 상태를 비교하

면, HfO_2/InP 의 계면에서 In_2O_3 와 $\text{In}(\text{PO}_3)_3$ 의 산화상태는 유의적으로 감소하는 것을 확인하였다. 이는 HF 용액이 InP 기관상의 자연 산화물을 효과적으로 제거한다는 것을 의미한다.

[0087] 또한, 대조군(무처리)에 따라 제조된 전극을 실시예 1(AMI+S), 비교예 1(HF) 및 비교예 2(HF+S)와 비교 시 0 1s 스펙트럼의 강도가 실시예 1(AMI+S), 비교예 1(HF) 및 비교예 2(HF+S)에 비하여 현저히 감소되는 것을 확인하였다(도 5).

[0088] 상기 실시예 1(AMI+S) 및 비교예 2(HF+S)에서 In-P-O 결합은 HfO_2/InP 에서 현저히 감소되는 반면, In-O 상태에 의해 야기되는 피크는 비교예 1(HF)과 비교하여 증가하였다. 즉, In-S와 In-O는 거의 동일한 화학 결합 에너지를 갖기 때문에, 황 처리 후의 피크 증가는 In-S 결합의 형성을 의미할 수 있다.

[0089] 또한, 실시예 1(AMI+S) 및 비교예 2(HF+S)의 0 1s 스펙트럼의 강도는 비교예 1(HF)의 결과와 비교하여 큰 변화를 보이지 않았다(도 5). 이러한 결과는 In-O 상태가 아닌 In-S 상태의 증가에 기인한 실시예 1(AMI+S)에 나타난 In 3d의 피크 증가와 일치한다.

[0090] In과 P 원자는 HfO_2 막 내부로 확산되고 잔류 산소는 HfO_2 막을 통해 쉽게 확산될 수 있다. 상기 확산된 산소는 InP 기관과 반응하여 다른 산화 상태를 생성할 수 있다.

[0091] 반대로, $(\text{NH}_4)_2\text{S}$ 용액 처리는 S 패시베이션 공정을 통해 계면에서 In-S 상태를 형성하기 때문에 HfO_2 와 InP 사이의 In-P-O 결합의 형성을 억제한다. In-O 상태와 In-S 상태의 형성 에너지는 억제된 반응 과정을 잘 설명할 수 있으며, 이러한 이유로 In-S 상태는 실시예 1(AMI+S) 및 비교예 2(HF+S)에서와 같이 계면에서 In-O 및 In-P-O 결합을 효과적으로 제어할 수 있다.

[0092] 또한, $(\text{NH}_4)_2\text{S}$ 처리된 InP 기관의 P 2P XPS 스펙트럼에서, 실시예 1(AMI+S)은 $\text{In}(\text{PO}_3)_3$ 및 InPO_4 와 같은 In-P-O 결합이 대조군(무처리), 비교예 1(HF) 및 비교예 2(HF+S) 보다 HfO_2/InP 계면에서 효과적으로 억제되었다. 이 결과는 도 2 및 도 6과 일치한다.

[0093] 상기 도 6에서 90° 는 HfO_2 막과 InP 기관의 인터페이스 깊은 부분을 측정된 것이고, 20° 는 HfO_2 막 표면의 정보를 측정된 그래프로서, 본원발명 실시예 1(AMI+S)이 HfO_2 막, 상기 막의 표면 및 InP 기관의 계면에서도 산화 상태를 감소시키는 것을 확인하였다.

[0094] 시험예 4. CV측정

[0095] 다양한 처리 효과가 전기 특성에 미치는 영향을 조사하기 위해 MOSCAP의 C-V 특성을 측정하였다.

[0096] 도 7a 내지 도 7d는 10 kHz, 100 kHz 및 1 MHz의 주파수에서 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 커패시턴스-전압(C-V)을 측정된 그래프이고; 도 7e 내지 도 7h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극을 1 kHz 내지 1 MHz의 가변 주파수로 측정된 그래프이다.

[0097] 박막의 전기적 특성을 검사하기 위해, 스퍼터 증착된 TiN 상부 전극($64 \times 10^{-5} \text{ cm}^2$ 면적 및 500 nm 두께)을 갖는 MOS 커패시터(MOSCAP)를 리프트-오프 기술을 통해 제조하였다. C-V 곡선은 Agilent E4980A LCR 미터와 Agilent B1500A 반도체 분석기를 사용하여 측정되었다.

[0098] 도 7a 내지 도 7h에 도시된 바와 같이, 누적 커패시턴스의 값은 실온 및 100 kHz에서 각각 대조군(무처리)의 경우 $C_{ox} = 1.8 \text{ } \mu\text{F}/\text{cm}^2$, 비교예 1(HF)의 경우 $C_{ox} = 1.9 \text{ } \mu\text{F}/\text{cm}^2$, 비교예 2(HF+S)의 경우 $C_{ox} = 2.0 \text{ } \mu\text{F}/\text{cm}^2$, 실시예 1(AMI+S)의 경우 $C_{ox} = 1.9 \text{ } \mu\text{F}/\text{cm}^2$ 인 것을 확인하였다.

[0099] 대조군(무처리) 및 비교예 1(HF)에서 C-V 히스테리시스 특성은 매우 낮았다. 더욱이, 가변 주파수 C-V 곡선에서 축적 및 결핍 영역에서의 큰 주파수 분산이 관찰되었으며, 이는 비교예 1(HF)이 HfO_2/InP 샘플에서 계면을 유의적으로 개선시키지 못한 것을 의미한다.

[0100] 반대로, 실시예 1(AMI+S)은 상당히 감소된 히스테리시스 폭을 나타내는 것을 확인하였다. 이러한 결과는 추가적인 황 처리 방법이 전기적 특성에 직접적인 영향을 미친다는 주장을 강력하게 뒷받침한다. 일반적으로 산소 결손 및 산소 간극 사이트와 같은 계면 결합은 전하 트래핑 및 디트래핑 과정에 영향을 미치므로 C-V 특성이 저하

된다.

- [0101] 비교예 2와 같은 HF 표면처리는 InP 기판의 산화된 층을 제거하는 효율적인 방법이지만, HfO_2/InP 계면에서 결함이 있는 결합을 패시베이션하는 데는 효과적이지 않다.
- [0102] 도 7b 및 7f에 나타난 바와 같이, 비교예 1(HF)은 HfO_2 와 InP 사이의 계면 상태에 결함이 있으므로 제어가 제한적이다. 대조적으로, 추가적인 S 처리는 결함이 있는 결합을 황으로 패시베이션시킴으로써 계면 상태 밀도를 감소시킬 수 있어 C-V 특성을 개선시킬 수 있다.
- [0103] 흥미롭게도, 실시예 1(AMI+S) 및 비교예 2(HF+S)는 매우 다른 C-V 결과를 보였다. 특히, 도 7c 및 7d에 도시된 바와 같이 C-V 히스테리시스 폭의 감소가 실시예 1(AMI+S)에서 분명하게 관찰되었다. 이러한 결과는 실시예 1(AMI+S)이 다른 군에 비하여 우수한 전기적 특성을 가질 수 있다는 것을 의미한다.
- [0104] 비교예 2(HF+S)와 비교하여, 실시예 1(AMI+S)은 가변 주파수 C-V 데이터에서 축적 및 결핍(accumulation and depletion) 영역에서 더 양호한 주파수 분산이 확인되었다. 이는 InP 기판의 표면을 AMI으로 처리한 특징에 의한 것으로 볼 수 있다.
- [0105] 또한, 도 7g 및 7h에 도시된 바와 같이 가변 주파수 C-V 데이터의 반전 영역은 실시예 1(AMI+S)에서 개선되었다. 이러한 결과는 소수 캐리어의 생성보다 인터페이스 트랩 응답과 관련된다.
- [0106] 이와 같이, InP 기판을 HF 용액으로 에칭하는 동안 In-F 결합이 생성되고, 이것은 InP 기판 표면에서 부산물로서 PH_3 를 방출한다. InP 표면상의 In-F 결합의 존재는 InP 표면상의 In-S의 형성을 방해한다. 따라서, In-F 결합의 형성은 HfO_2/InP 시스템에서 장애 요인으로 작용한다.
- [0107] 그러나, 실시예 1과 같이 AMI 처리 후 황 패시베이션을 수행하여 형성된 In-S 결합은 보다 완전하다. 즉, 황 원자는 산화된 InP 표면을 통해 보다 쉽게 확산될 수 있어 HfO_2/InP 시스템의 결합 계면 상태를 완전히 제어하는 황 패시베이션을 초래한다.
- [0108] 결과적으로, 실시예 1과 같이 AMI로 처리하는 공정은 HfO_2/InP 시스템에서 기판 상의 효과적인 황 패시베이션을 위해 제안되었다. 또한, 커패시턴스-전압(C-V) 데이터는 비교예 2(HF+S)와 비교하여 실시예 1(AMI+S)에서 C-V 누적 및 결핍에서의 히스테리시스 폭 및 주파수 분산이 상당히 개선되었다.
- [0109] **시험예 5. CV측정_PDA 공정**
- [0110] 도 8은 600 °C에서 PDA 후 도 7a-d 및 도 7e-h에 도시된 4가지 군의 함수로서 HfO_2/InP 샘플에 대한 MOSCAPs의 C-V 특성을 나타낸 그래프이다: (a, e) 대조군, (b, f) 비교예 1(HF), (c, g) 비교예 2(HF+S) 및 (d, h) 실시예 1(AMI+S).
- [0111] 도 8a 내지 8h에 도시된 바와 같이, 누적 커패시턴스의 값은 PDA 600 °C 및 100 kHz에서 각각 대조군의 경우 $C_{ox} = 1.6 \mu\text{F}/\text{cm}^2$, 비교예 1(HF)의 경우 $C_{ox} = 1.6 \mu\text{F}/\text{cm}^2$, 비교예 2(HF+S)의 경우 $C_{ox} = 1.9 \mu\text{F}/\text{cm}^2$, 실시예 1(AMI+S)의 경우 $C_{ox} = 1.7 \mu\text{F}/\text{cm}^2$ 이다.
- [0112] 600 °C에서 PDA를 사용하면 모든 군에서 누적 커패시턴스가 감소하는 것을 확인하였다. 또한, HfO_2/InP 와 비교 시 축적 영역의 커패시턴스 값이 포화없이 계속 증가하는 것을 확인하였다. 이는 PDA 공정 동안 다중 산화 상태를 형성하는 것으로 보인다. 계면에서의 산화 상태는 HfO_2/InP 계면에서 몇 개의 결합있는 계면 상태를 생성할 수 있다.
- [0113] 도 8b 및 도 8f에 도시된 바와 같이, 대조군(무처리)을 비교예 1(HF)과 비교 시 효과(C-V 누적 분산의 히스테리시스 폭 감소)가 보이지 않는다. 더욱이, 대조군(무처리) 및 비교예 1(HF)에서의 C-V 축적 분산 데이터는 유의하게 증가하였으며, 이는 증가된 계면층보다 계면 결합 상태의 증가와 일치한다.
- [0114] $(\text{NH}_4)_2\text{S}$ 처리를 수행한 경우, C-V 누적 분산은 PDA 공정 후에 유의한 변화를 보이지 않았지만, PDA를 600 °C에서 사용한 후에 대조군(무처리)과 비교예 1(HF)의 C-V 곡선의 누적 분산 값이 대조군(무처리)의 결과에 비하여 비교예 1(HF)이 유의하게 높은 것을 확인하였다. 이는 In-S 상태의 형성과 결합이 있는 계면 상태의 감소에 의

한 계면 특성의 개선과 직접적인 관련이 있다.

[0115] 비교예 2(HF+S)와 비교하여, 600 °C에서 어닐링한 후에도 실시예 1(AMI+S)의 C-V 히스테리시스 특성은 결핍 영역에서 현저히 감소되었다. 이러한 결과는 실시예 1의 AMI로 수행한 표면 처리와 (NH₄)₂S 처리의 조합이 계면 품질을 향상시키는 데 매우 효과적임을 의미한다.

[0116] 시험예 6. 경계-트랩 밀도 측정

[0117] 도 9는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서 600 °C에서 PDA (a) 전 및 (b) 후의 5.7 nm 두께 HfO₂/InP 시스템의 효과적인 경계-트랩 밀도를 나타낸 그래프이다.

[0118] 다양한 표면 처리에 대한 경계-트랩 밀도는 하기 [수학식 1]을 사용하여 100 kHz에서 순방향 및 역방향 C-V 곡선의 차이로부터 추출되었다.

[0119] [수학식 1]

[0120] $[Cr_f = |C_r - C_f|]$

[0121] 여기서 Cr과 Cf는 각각 역방향 및 순방향 스캔 동안의 정전 용량 밀도이다. 역방향 스위프(sweep) 동안 포지티브 전압쪽으로 C-V 곡선에서 시프트는 HfO₂/InP의 계면 부근에서 느린 응답 시간으로 기관-주입된 전자 트래핑을 나타낸다. 경계 트랩은 측정 시간 척도에 영향을 받기 때문에 C-V 측정은 대부분의 경계 트랩을 포괄하는 느린 스위프 속도(~ 0.1 V s⁻¹)로 수행된다. 일반적으로, 느린 응답 시간을 갖는 경계 트랩은 C-V 측정에서 플랫 밴드 영역에 가까운 약한 고갈과 밀접한 관련이 있다.

[0122] 도 9에 도시된 바와 같이, 실시예 1(AMI+S)은 가장 낮은 경계-트랩 밀도를 보이는 것을 확인하였다. 대조군(무처리), 비교예 1(HF) 및 비교예 2(HF+S) 및 실시예 1(AMI+S)의 경계-트랩 밀도(어닐링 전)는 각각 ~ 1.3 X 10¹¹, ~ 1.37 X 10¹¹, 1.35 X 10¹¹ 및 0.97 X 10¹¹ cm⁻²인 것을 측정하였다.

[0123] 결핍 영역이 계면 트랩과 관련되어 있고 축적 영역이 C-V 곡선의 산화물 트랩과 관련되어 있기 때문에 XPS 및 축적 커패시턴스에 의해 나타난 바와 같이 다중 산화 상태가 트랩 밀도에 큰 영향을 줄 수 있다. 더욱이, 다중 산화 상태는 포지티브 전압으로의 플랫 밴드로 이동한다. 대조군(무처리) 및 비교예 1(HF)의 최대 피크 위치는 실시예 1(AMI+S) 및 비교예 2(HF+S)에 비하여 ~0.9 eV 만큼 포지티브 전압으로 이동한 것을 확인하였다.

[0124] 또한, 막에 형성된 다중 산화 상태는 HfO₂ 층에서 트랩 밀도를 형성한다. HfO₂의 주요 트랩 밀도 소스는 유전막의 산소 결손으로 인해 발생하기 때문에 실시예 1(AMI+S)을 통해 산화 상태를 더 많이 감소시킴으로써 트랩 밀도를 감소시킬 수 있다.

[0125] 600 °C에서 어닐링 공정 후의 경계-트랩 밀도로 실시예 1(AMI+S)의 효과를 나타낸다(도 9b). 대조군(무처리), 비교예 1(HF) 및 비교예 2(HF+S) 및 실시예 1(AMI+S)의 경계 트랩 밀도는 각각 ~ 0.9 X 10¹¹, ~ 1.0 X 10¹¹, 0.7 X 10¹¹ 및 0.6 X 10¹¹ cm⁻²로 감소하였다. 감소된 경계-트랩 밀도는 어닐링 공정 동안 HfO₂의 산소 결손을 제거함으로써 발생되었다.

[0126] 흥미롭게도, 도 9a 및 9b에 도시된 바와 같이 황 처리 전후의 샘플에서 경계-트랩 밀도의 피크 시프트가 발생한다는 것이 확인되었다. 이는 상이한 표면 처리 방법에 의해 야기된 계면 상태의 변화와 관련된다.

[0127] 일반적으로, HfO₂/InP 계면에서의 In-0 및 In-P-0 상태는 공기의 층간 확산으로부터의 산소와 반응하는 InP 표면상의 In 또는 P 덩글링 본드로부터 유도된다. (NH₄)₂S로 처리하면 In-0 및 In-P-0 상태 대신 HfO₂/InP 인터페이스에서 In-S 상태가 생성된다. 또한, 실시예 1(AMI+S) 및 비교예 2(HF+S)를 비교 시 양 변화 및 피크 시프트와 같은 경계-트랩 밀도의 변화가 (NH₄)₂S 처리 전의 표면 처리 효과를 강하게 반영한다는 것을 알 수 있다.

[0128] 따라서, 경계-트랩 밀도를 감소시키는 개선된 전기적 특성은 실시예 1과 같이 AMI으로 표면을 처리하여 향상된 황 패시베이션으로부터 초래된다.

[0129] **시험예 7. Dit 측정**

[0130] 도 10은 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조된 게이트 전극의 함수로서 600 °C에서 PDA (a) 전 및 (b) 후 HfO_2/InP 시스템의 Dit 그래프이다.

[0131] 도 11a 내지 11d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 전의 HfO_2/InP 시스템에 대한 MOS 커패시터로 정규화시킨 병렬컨덕턴스($G_p/\omega qA$)이고; 도 11e 내지 11h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 전의 HfO_2/InP 시스템에 대한 2차원(2D) 인터페이스 트랩 밀도이다.

[0132] 도 12a 내지 12d는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 후의 HfO_2/InP 시스템에 대한 MOS 커패시터로 정규화시킨 병렬컨덕턴스($G_p/\omega qA$)이고; 도 12e 내지 12h는 대조군, 실시예 1, 비교예 1 및 비교예 2에 따라 제조되어 600 °C에서 PDA 후의 HfO_2/InP 시스템에 대한 2차원(2D) 인터페이스 트랩 밀도이다.

[0133] 급속 열처리(RTA) 상태를 사용하여 성장 기준 및 600 °C의 어닐링 온도에서 HfO_2/InP 의 Dit를 얻기 위하여 커패시턴스(C_m) 및 컨덕턴스(G_m)를 병렬 컨덕턴스(G_p/ω) max로 측정하였다. (G_p/ω) max는 하기 [수학식 2]를 사용하여 계산하였다.

[0134] [수학식 2]

$$\frac{G_p}{\omega} = \frac{\omega C_{OX}^2 G_m}{[G_m^2 + \omega^2 (C_{ox} - C_m)^2]}$$

[0135]

[0136] 여기서, ω 는 $2\pi f$ (f 는 1 kHz에서 1 MHz까지 측정된 주파수임)이며, C_{ox} 는 C-V 측정에서 누적 영역에 측정된 커패시턴스이고, G_m 은 측정된 컨덕턴스이며, C_m 은 측정된 커패시턴스이다.

[0137] Dit는 하기 [수학식 3]을 사용하여 G_p/ω 의 피크 값에서 마이너스한 것이다.

[0138] [수학식 3]

$$D_{it} \approx 2.5 \frac{(G_p/\omega)_{\max}}{A_q}$$

[0139]

[0140] 여기서, A는 전극 면적($2.5 \times 10^{-12} \text{ cm}^2$)이고 q는 원소 값이다.

[0141] 도 10a 및 10b에 도시된 바와 같이, InP(ECB 가장자리 ~ 1.12 eV)의 전도대 가장자리에서 Dit를 얻기 위하여, 다음 조건에서 i-InP 기판을 사용하여 커패시턴스(C_m)와 컨덕턴스(G_m)를 측정하였다(1 kHz ~ 1 MHz의 주파수 범위).

[0142] 도 10a에 도시된 바와 같이, 비교예 1(HF)은 대조군(무처리)에 비하여 Dit를 효과적으로 감소시킨다; 대조군(무처리)에서 $\sim 1.8 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ 의 최대 Dit가 얻어졌지만, 비교예 1(HF)에서는 $\sim 7.5 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 의 Dit가 얻어졌다.

[0143] 실시예 1(AMI+S) 및 비교예 1(HF+S)에서 HF 농도가 낮은 샘플은 HF 처리된 샘플과 비교하여 황 패시베이션을 통해 계면 결함 제어가 용이하게 수행되는데, 이는 C-V 결과, HR-XPS 결과 및 도 11에 나타내었다. 흥미롭게도, 실시예 1(AMI+S)의 Dit는 $\sim 5.8 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 인 비교예 1(HF+S)과 비교하여 $\sim 4.2 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 이므로 더 작은 Dit 수준을 나타낸다.

[0144] 따라서, 실시예 1과 같이 InP 기판을 AMI 처리 후 황으로 처리하는 기술은 InP와 HfO_2 사이의 계면 특성을 효과적으로 향상시킬 수 있다. 이러한 결과는 윤곽 매핑 및 2D 인터페이스 트랩 밀도와 일치한다(도 11).

[0145] 도 10b에 도시된 바와 같이, PDA를 600 °C에서 사용한 후 대조군(무처리)의 Dit 수준은 PDA 이전의 대조군(무처리)보다 훨씬 낮아진 것을 확인하였다. 이는 유전체 막과 기판 사이의 열 어닐링 공정으로 인해 경화 효과가 최대화되었기 때문이다. 대조군(무처리)에서, 경화 효과는 HfO_2 와 InP 사이의 표면 처리 부족으로 최대화되었다.

[0146] 그러나, 비교예 1(HF), 비교예 2(HF+S) 및 실시예 1(AMI+S)은 In-F 또는 In-S와 같은 안정한 화학 결합의 형성에 의한 계면 트랩 사이트의 억제로 인해 어닐링 공정 후에 Dit에서 현저한 변화를 나타내지 않았다.

[0147] 실시예 1(AMI+S)은 600 °C에서 PDA 후 $\sim 4.3 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 의 가장 낮은 Dit 수준을 보이는 것을 확인하였다. 또한, 2D 인터페이스 트랩 밀도 및 실시예 1(AMI+S)의 등고선 매핑 결과가 가장 낮은 값을 나타내었다(도 12).

[0148] 따라서, 실시예 1(AMI+S)은 HfO_2/InP 시스템에서 계면 및 전기적 특성의 효과적인 제어를 위한 최적의 표면 처리 방법을 사용했다는 것을 확인시켰다.

[0149] 시험예 8. 결합능력 확인

[0150] In-F 및 In-S 형성에 의한 화학 결합 상태를 XPS 데이터로 구별하는 것은 명확하지 않기 때문에 F 또는 S 원자가 혼입된 후에 InP의 표면 구조를 얻기 위해 [표 1]에 나타난 바와 같이 i-InP (001) 단위 표면 모델의 In 또는 P 종결 구조를 기반으로 DFT 계산을 수행한다.

[0151] 또한, In-F와 In-S 상태 사이의 결합 특성을 분석하기 위해 DFT를 이용하여 전자 위치 측정 기능(ELF)을 시뮬레이션하였다.

[0152] 밀도함수이론(DFT)의 계산은 InP 표면에서 S와 F의 패시베이션 효과를 예측하기 위해, VASP(Vienna ab initio simulation package) 코드와 GGA-PBE sol exchange correlation 함수를 사용하여 측정하였다. 먼저, InP의 단위 셀은 시스템 에너지가 0.02 eV/Å 이하로 수렴될 때까지 9X9X9 k-포인트와 500 eV 컷오프 에너지로 기하학적으로 최적화되었다. 최적화된 단위셀로부터 10개의 In-P 층으로 구성되는(001) 표면 모델이 구성되었다. 표면 모델의 한 면은 실제 InP(001) 표면을 반영하기 위해 In 원자로 종결되었고, 다른 면은 벌크 InP의 벌크 전하 형상을 시뮬레이션하기 위해 1.25 전하를 갖는 H 원자로 종결되었다. 각 표면 간의 상호 작용을 최소화하기 위해 모델의 c 축은 진공 슬래브를 사용하여 45 Å까지 확장되었다. 땀글링 본드는 2개의 In 원자가 접근한 다음 에너지가 0.05 eV/Å 이하로 수렴될 때까지 7x5x1 kpoints와 500 eV 컷오프 에너지로 기하학적 최적화를 수행함으로써 구성되었다. 패시베이션된 모델은 동일한 조건으로 기하학적으로 최적화되었다.

표 1

[0153]

energy states	formation energy (eV)
In-Terminated Structure of InP (001)	Unit Surface
In-	-190.9901
In-F	-196.4
In-S	-192.9917
P-Terminated Structure of InP (001)	Unit Surface
P-	-184.9145
P-F	-191.6131
P-S	-190.231

[0154] i-InP (001) 표면은 In 또는 P 땀글링 본드 사이트에서 단일 F 및 S 원자 치환을 사용하여 시뮬레이션되었다. 상기 표 1은 단일 S 및 F 원자가 In 또는 P 종결 구조의 표면에 결합된 표면 상태의 형성 에너지를 나타낸 것으로서, S 또는 F 원자는 In에 결합함으로써 계면 특성을 변화시킬 수 있다. 특히, In-S 결합은 박막과 InP 기판 사이의 계면 산화물의 형성을 방지하는 것으로 잘 알려져 있다.

[0155] 이 설명에 기초하여, In-F(-196.4 eV)의 상태가 In-S(-192.9917 eV)의 상태보다 안정하다는 것을 확인하였다. 상기 값은 In-F 결합을 형성하는 것이 In-S 결합을 형성하는 것보다 쉽다는 것을 의미한다. 따라서, HF 처리 후에 S 패시베이션이 수행될 때, In-S 상태는 이미 형성된 In-F 상태를 치환하거나 대체할 수 없다.

[0156] 시험예 9. TDOS 측정

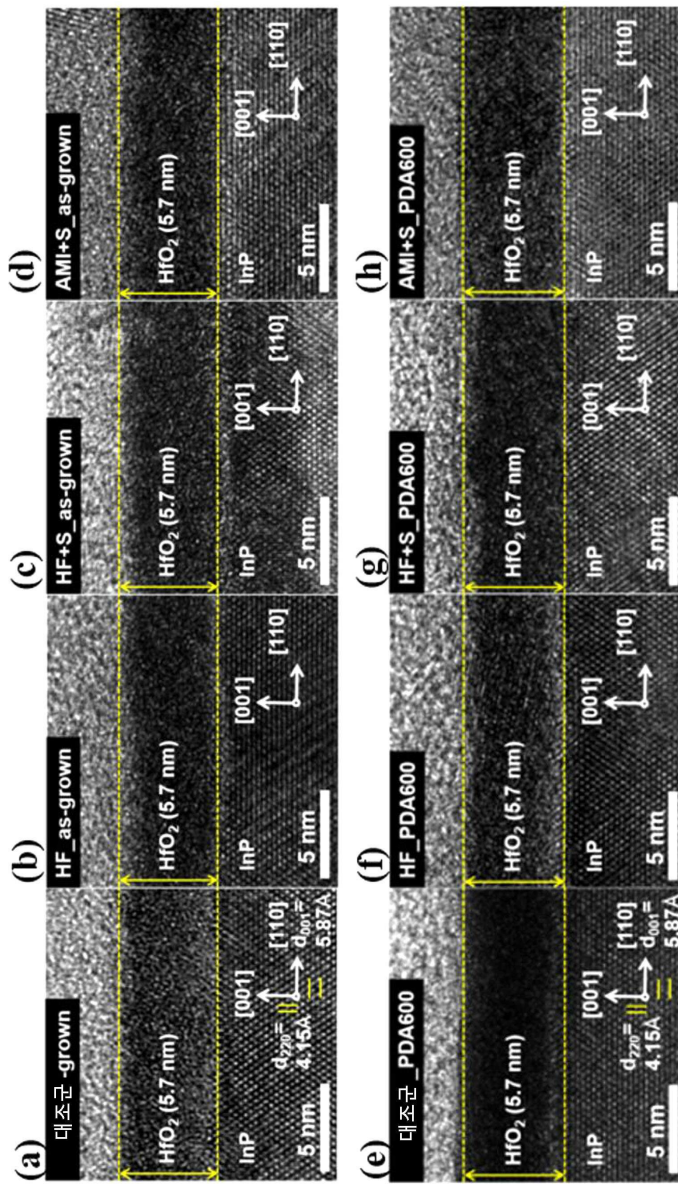
[0157] 도 13a는 결합 상태를 고려하여 InP 표면의 In 종결 구조에서 In 땀글링 본드, In-F 구조 및 In-S 구조에 대한 총 밀도(TDOS)를 나타낸 것이며; 도 13b 내지 13d는 DFT 계산에 의해 결정되는 다양한 처리 방법의 전자 위치 측정 기능(ELF)을 측정한 이미지이다; (b) In 종결 구조, (c) 단일 F 원자를 갖는 In 종결 구조 결합, 및 (d)

단일 S 원자를 갖는 In 종결 구조. ELF는 최소 ELF (0.15, 파란색)에서 최대 ELF (0.85, 빨간색) 범위의 전자 분포를 나타낸다.

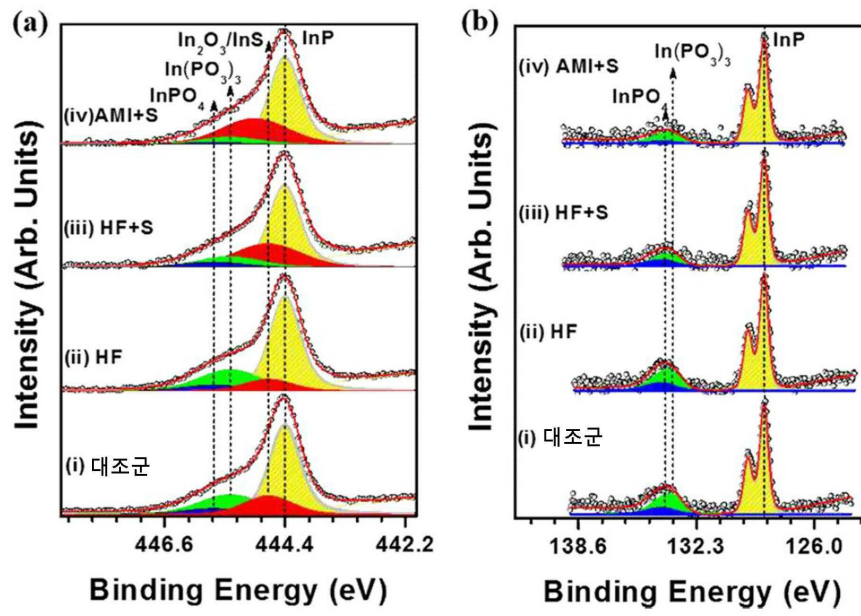
- [0158] 도 13a에 도시된 바와 같이, In 종결된 InP 표면 모델에서 땡글링 본드(In-), F-패시베이션된 구조(In-F) 및 S-패시베이션된 구조(In-S)에 대한 상태의 총 밀도(TDOS) 값을 측정한 결과, 화살표로 표시된 것처럼 InP의 밴드 갭 내에서 많은 갭 상태가 생성되었다.
- [0159] In-F 시스템의 TDOS 결과의 결합 상태와 비교하여, 중간 갭 영역의 In-S 시스템의 결합 상태는 약간 상이하였다. In-F 시스템에서, 계면 결합을 야기하는 갭 상태는 In 계의 결합 상태와 비교하여 현저하게 변화하지 않았다(결합 상태의 피크 위치만 이동). 이러한 결과는 In-F 결합이 땡글링 본드에 의해 생성된 결합 상태를 억제하지 않는다는 것을 의미한다. 즉, InP 표면상의 In 땡글링 본드를 갖는 F의 결합은 표면 결합 상태를 완전히 패시베이션시키지 않는다.
- [0160] 반대로 In-S 시스템에서, 갭 상태의 밀도는 중간 갭 영역에서 현저히 감소되었다. 따라서, In-S는 In-F 상태보다 중간 갭 영역의 결합 상태를 보다 효과적으로 억제 할 수 있다.
- [0161] 또한 도 13b-d는 In 종결 구조, In-F 구조 및 In-S 구조의 본딩 평면이 있는 2차원(2D) 단면을 각각 보여준 것으로서, 표면 요소 주변의 높은 ELF 분포는 화학 결합에 참여하지 않는 전자의 높은 밀도를 나타낸다. 표면의 높은 전하 밀도는 결합 상태의 원인으로 작용한다.
- [0162] 도 13c는 화학 결합에 참여하지 않는 전자의 분포를 통한 불완전한 패시베이션 효과를 보여준다. 흥미롭게도, ELFs 분포는 도 13c에서 볼 수 있듯이 F 원자가 잉여 전자를 끌어당기는 대신 전자를 밀어내는 것을 암시한다. 이러한 결과는 In-F 구조에서 전하 상태를 이동시키는 TDOS 결과를 뒷받침한다. 또한, In과 F의 조합은 일반적인 공유 결합보다 안티본딩 상태를 형성한다. 결과적으로 In-F 시스템에서, 도 13b의 In 땡글링 본드 상태와 비교하여 화학 결합에 참여하지 않는 전자는 In 원소 주위에 더 많이 분포된다.
- [0163] 따라서, 상기 결과는 InP 표면상의 In-F 상태가 유전체 막과 기판 사이의 활성 계면을 완전히 패시베이션하지 않는다는 것을 나타낸다.
- [0164] 도 13d에 도시된 바와 같이, In-S 상태는 In-S의 화학 결합이 화학적 결합에 참여하지 않는 전자를 효과적으로 끌어 당기 때문에 인터페이스를 보다 효과적으로 비활성화시킬 수 있다. In-S 화학 결합은 In 원자 주변의 잉여 전자를 끌어 당겨 화학 결합에 참여하지 않는 전자의 밀도를 효과적으로 감소시킨다. S와 In 땡글링 본드 사이의 화학 결합을 설명하는 시뮬레이션은 잘 알려진 S 패시베이션 효과에 대한 더 깊은 통찰력을 제공한다.
- [0165] 즉, 다양한 표면 처리 방법(실시에 1(AMI+(NH₄)₂S), 비교예 1(HF) 및 비교예 2(HF+(NH₄)₂S) 후에 i-InP 기판 상에 형성된 HfO₂ 막에 대한 전기 및 계면 특성은 600 °C에서 PDA 전후에 관찰되었다. 결과는 (NH₄)₂S 처리를 이용하여 얻은 황 패시베이션이 600 °C에서 어닐링 전후의 HfO₂ 막의 전기적 및 계면 특성을 효과적으로 개선함을 확인하였다.
- [0166] 이러한 결과는 S가 In 원자와 우선 반응하여 InP 기판의 표면에 In-S 상태를 형성하여 In-O 및 In-P-O 결합을 억제함으로써 설명될 수 있다. 또한, S 패시베이션 이전의 표면 처리 방법이 HfO₂/InP 시스템의 계면 및 전기적 품질을 향상시키는 중요한 요소임을 확인하였다.
- [0167] 비교예 2(HF+(NH₄)₂S)와 비교하여, 실시에 1(AMI+(NH₄)₂S)은 계면의 결합 상태를 제어하는데 더 효과적이었다. 따라서, InP 기판 상에 In₂O₃, In(PO₃)₃ 및 InPO₄와 같은 천연 산화물을 효율적으로 제어하는 것이 가능하며, 이는 황이 In 또는 P 본드와 땡글링 본드로 묶일 수 있기 때문이다.
- [0168] 본 발명의 실시에 1(AMI+(NH₄)₂S)은 HfO₂ 층과 InP 사이의 계면 안정성 및 전기적 특성을 향상시킬 수 있다는 것을 입증하였다. 상기 표면 처리 기술의 중요성은 추가 공정을 사용하지 않고 계면 특성을 개선하는데 있다.
- [0169] 이전에 보고된 high-κ/III-V 화합물 반도체의 표면 처리 방법과 비교하여, 본 발명의 실시에 1(AMI+(NH₄)₂S)은 전기적 특성을 향상시키고 계면 결합을 억제하는데 보다 효과적임을 나타내었다.

도면

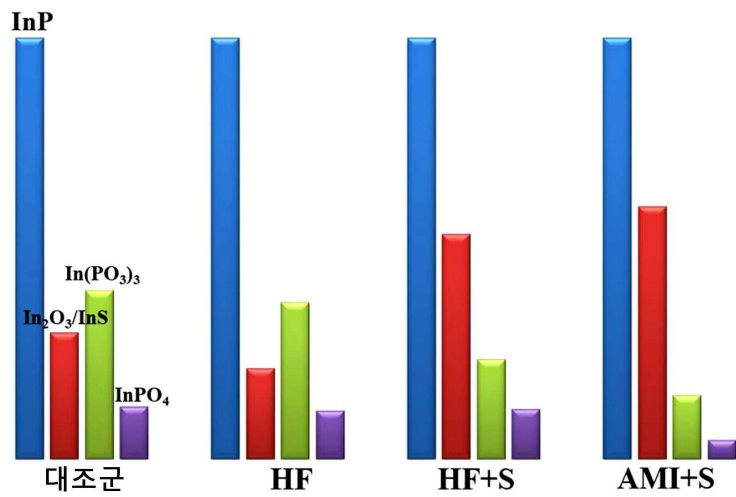
도면1



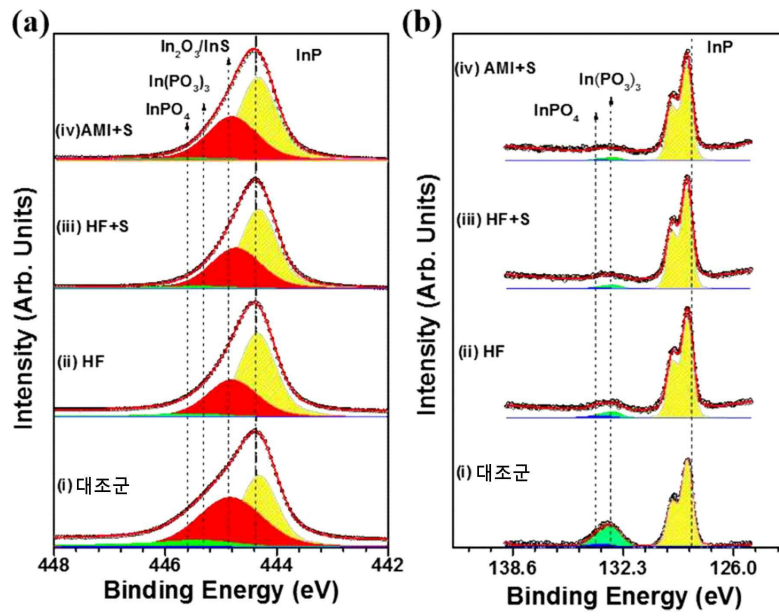
도면2



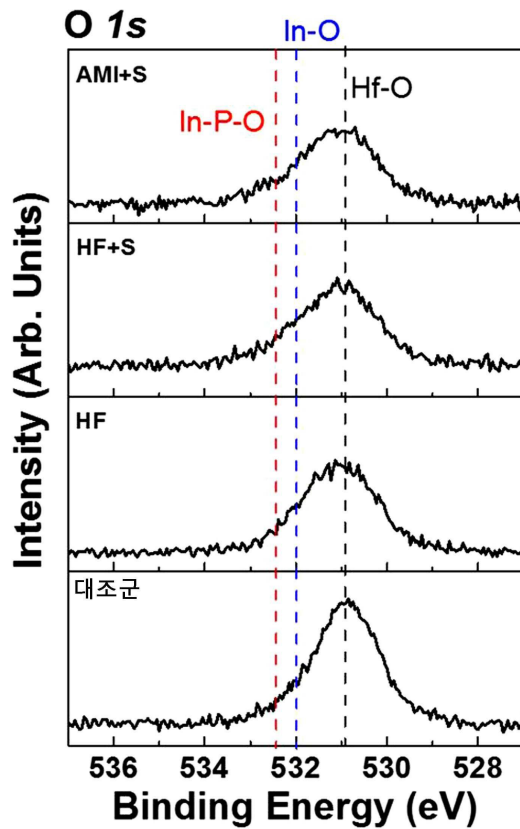
도면3



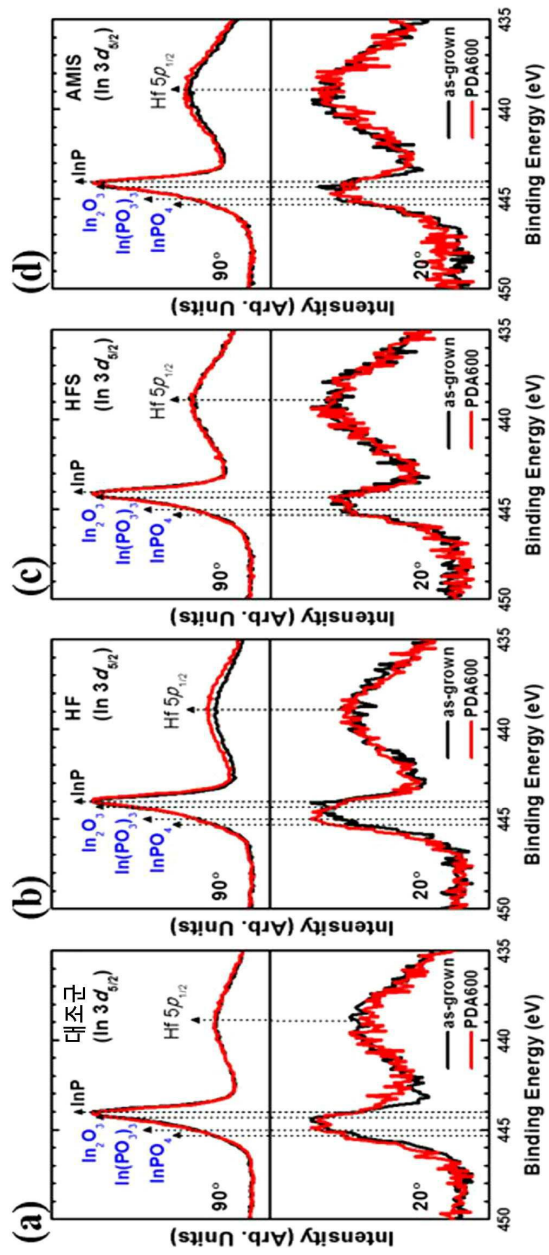
도면4



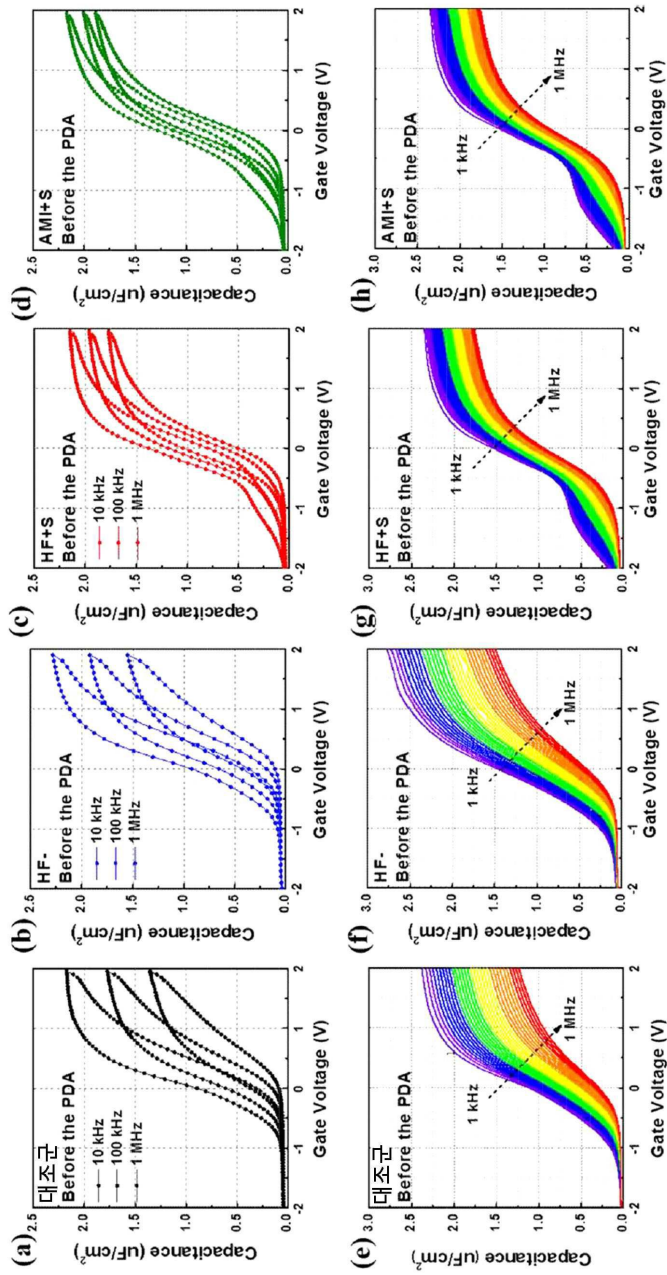
도면5



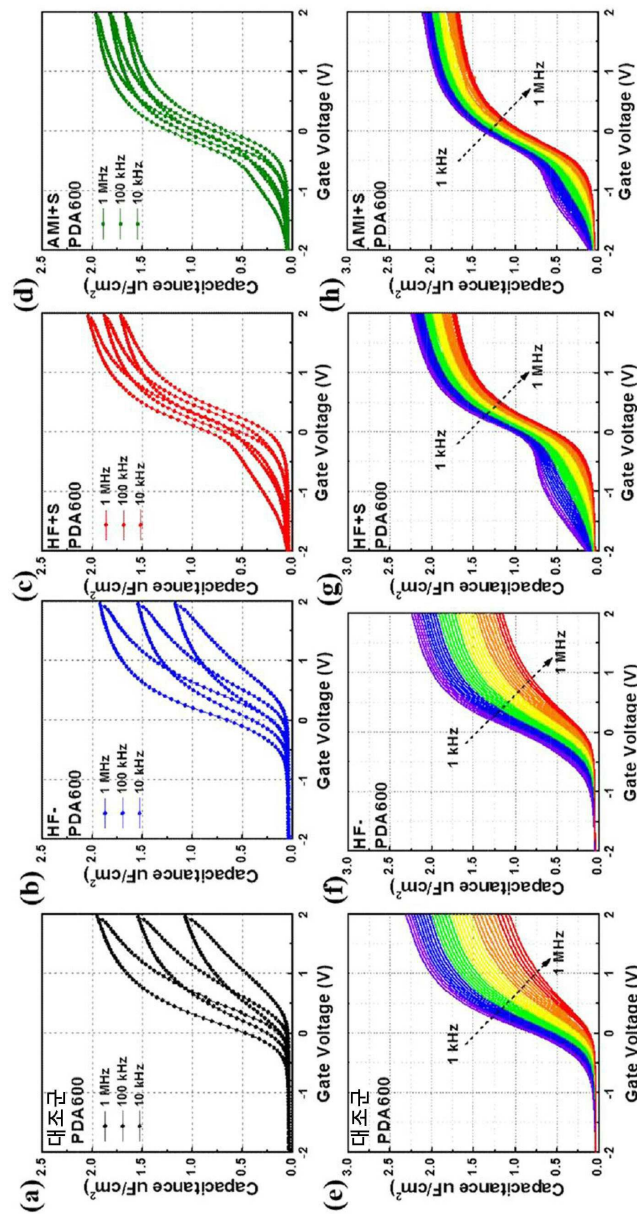
도면6



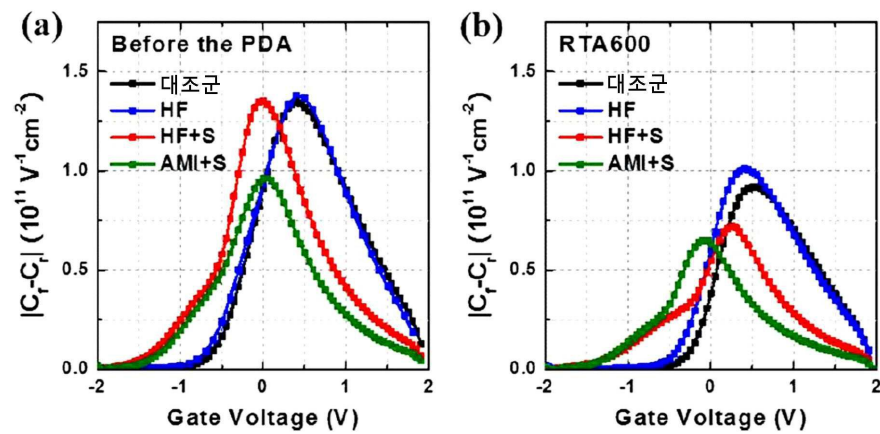
도면7



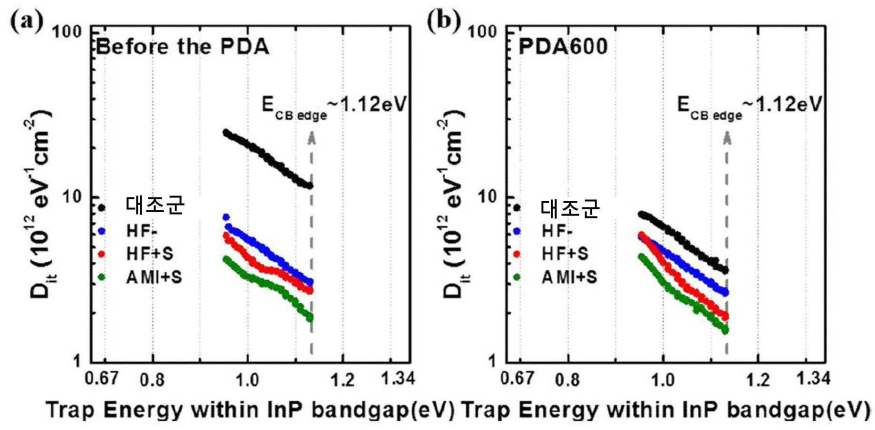
도면8



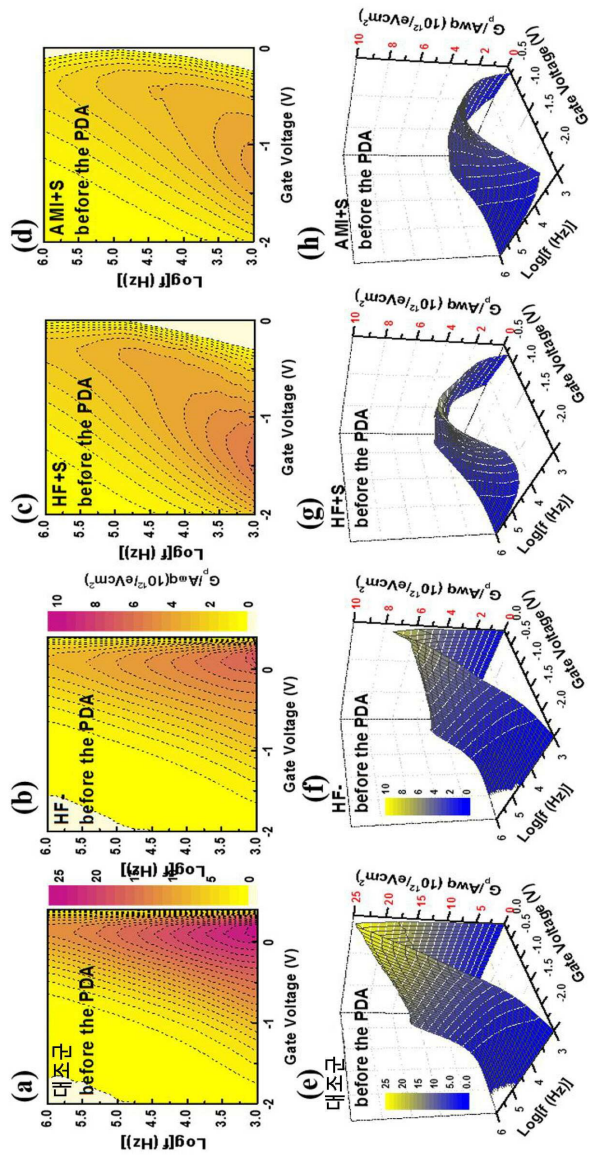
도면9



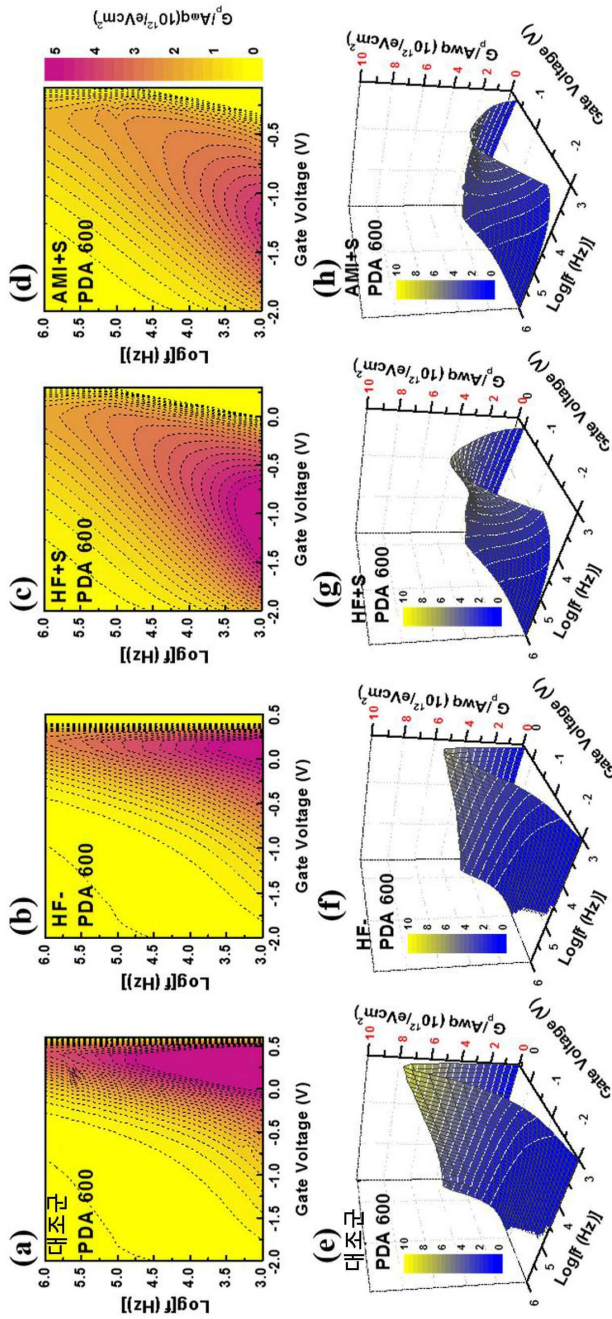
도면10



도면11



도면12



도면13

