



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0109063
(43) 공개일자 2020년09월22일

(51) 국제특허분류(Int. Cl.)
H03F 3/00 (2006.01) G06G 7/186 (2006.01)
(52) CPC특허분류
H03F 3/005 (2013.01)
G06G 7/186 (2013.01)
(21) 출원번호 10-2019-0028091
(22) 출원일자 2019년03월12일
심사청구일자 2019년03월12일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
채영철
서울시 마포구 백범로 152 201동 1301호
한건희
인천시 연수구 송도과학로 85 연세대학교 기숙사 A705
(74) 대리인
특허법인 고려

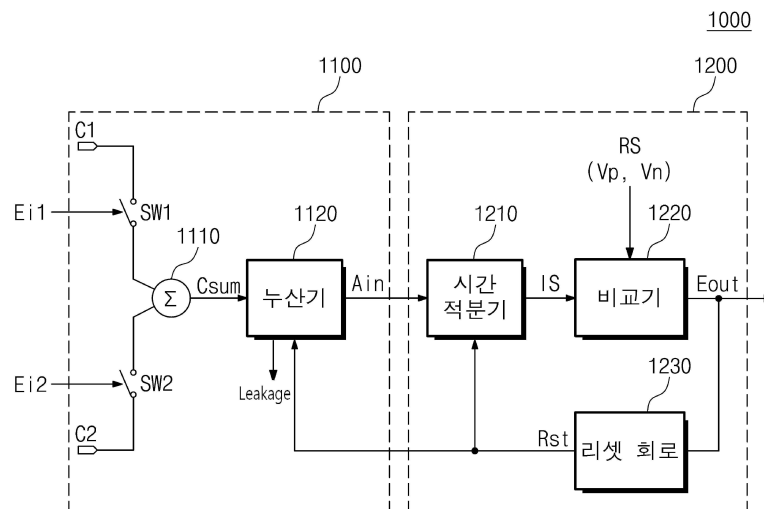
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 이벤트 기반 신호 표현을 이용한 이벤트 증폭기 및 이벤트 처리 회로

(57) 요약

본 발명은 이벤트 기반 신호 표현을 이용한 이벤트 증폭기 및 이벤트 처리 회로에 관한 것이다. 본 발명의 실시예에 따른 이벤트 증폭기는 이벤트 적분기 및 이벤트 생성 회로를 포함한다. 이벤트 적분기는 수신된 입력 이벤트들의 개수 및 입력 이벤트들에 응답하여 생성된 신호들의 극성에 의존하는 아날로그 신호를 생성한다. 이벤트 생성 회로는 아날로그 신호의 크기에 기초하여 출력 이벤트들이 생성되는 시점들을 결정한다. 본 발명에 따르면, 중간 값이 필요 없는 이벤트의 발생 빈도로 정보가 표현될 수 있다.

대표도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호	SRFC-IT1701-08
부처명	국내
과제관리(전문)기관명	기업체
연구사업명	삼성미래기술육성사업
연구과제명	활동성 기반 아날로그 신호처리 기술
기 여 율	1/1
과제수행기관명	삼성전자(주)
연구기간	2017.06.01 ~ 2019.05.31

명세서

청구범위

청구항 1

수신된 입력 이벤트들의 개수 및 상기 입력 이벤트들에 응답하여 생성된 신호들의 극성에 의존하는 아날로그 신호를 생성하는 이벤트 적분기; 및

상기 아날로그 신호의 크기에 기초하여 출력 이벤트들이 생성되는 시점들을 결정하는 이벤트 생성 회로를 포함하는 이벤트 증폭기.

청구항 2

제1 항에 있어서,

상기 이벤트 적분기는,

상기 입력 이벤트들 중 제1 입력 이벤트를 수신하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치;

상기 입력 이벤트들 중 제2 입력 이벤트를 수신하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치; 및

상기 제1 신호 및 상기 제2 신호를 누적하여 상기 아날로그 신호를 출력하는 누산기를 포함하되,

상기 아날로그 신호의 상기 크기는 상기 제1 신호를 누적함으로써 증가하고, 상기 제2 신호를 누적함으로써 감소하는 이벤트 증폭기.

청구항 3

제2 항에 있어서,

상기 이벤트 적분기는,

상기 제1 신호에 대응되는 전하들이 충전되는 제1 커패시터; 및

상기 제2 신호에 대응되는 전하들이 충전되는 제2 커패시터를 더 포함하는 이벤트 증폭기.

청구항 4

제2 항에 있어서,

상기 누산기는, 상기 제1 신호 및 상기 제2 신호에 기초하여 충전되는 적분 커패시터를 포함하는 이벤트 증폭기.

청구항 5

제1 항에 있어서,

상기 이벤트 적분기는, 상기 출력 이벤트들에 응답하여, 상기 아날로그 신호의 상기 크기를 감소시키는 이벤트 증폭기.

청구항 6

제1 항에 있어서,

상기 이벤트 생성 회로는,

시간에 따른 상기 아날로그 신호를 적분하여 적분 신호를 생성하는 시간 적분기;

상기 적분 신호 및 기준 신호의 비교 결과에 기초하여 상기 출력 이벤트들을 생성하는 비교기; 및

상기 출력 이벤트들에 응답하여, 상기 시간 적분기를 리셋하는 리셋 회로를 포함하는 이벤트 증폭기.

청구항 7

제6 항에 있어서,

상기 리셋 회로는, 상기 출력 이벤트에 응답하여, 상기 아날로그 신호의 상기 크기를 적어도 일부 감소시키는 이벤트 증폭기.

청구항 8

제6 항에 있어서,

상기 비교기는, 상기 비교 결과에 기초하여 상기 출력 이벤트들이 생성되는 상기 시점들을 결정하는 이벤트 증폭기.

청구항 9

제6 항에 있어서,

상기 기준 신호는 포지티브 레벨의 제1 기준 값 및 네거티브 레벨의 제2 기준 값을 갖고,

상기 비교기는, 상기 적분 신호의 크기가 상기 제1 기준 값보다 큰 경우, 포지티브 레벨의 출력 이벤트를 생성하고, 상기 적분 신호의 크기가 상기 제2 기준 값보다 작은 경우, 네거티브 레벨의 출력 이벤트를 생성하는 이벤트 증폭기.

청구항 10

제6 항에 있어서,

상기 리셋 회로는 상기 출력 이벤트들이 생성되는 상기 시점들에 상기 시간 적분기를 리셋하고,

상기 출력 이벤트들은 스파이크에 대응되는 이벤트 증폭기.

청구항 11

제6 항에 있어서,

상기 리셋 회로는 상기 이벤트가 생성된 상기 시점들로부터 지연 시간 이후에 상기 시간 적분기를 리셋하고,

상기 출력 이벤트들은 상기 지연 시간에 대응되는 펄스 폭을 갖는 이벤트 증폭기.

청구항 12

제6 항에 있어서,

상기 출력 이벤트들의 발생 빈도는 상기 아날로그 신호의 상기 크기, 상기 시간 적분기의 이득, 및 상기 기준 신호의 크기에 의존하는 이벤트 증폭기.

청구항 13

입력 이벤트를 제1 아날로그 신호로 변환하는 제1 이벤트 변환기;

상기 입력 이벤트에 대응되는 출력 이벤트를 제2 아날로그 신호로 변환하는 제2 이벤트 변환기;

상기 제1 아날로그 신호 및 상기 제2 아날로그 신호를 누적하는 누산기; 및

상기 제1 아날로그 신호 및 상기 제2 아날로그 신호의 누적 결과에 기초하여 상기 출력 이벤트를 생성하는 이벤트 생성 회로를 포함하되,

상기 누적 결과는 상기 입력 이벤트 및 상기 출력 이벤트의 차이에 의존하는 이벤트 처리 회로.

청구항 14

제13 항에 있어서,

상기 입력 이벤트는 제1 입력 이벤트 및 제2 입력 이벤트를 포함하고,

상기 제1 이벤트 변환기는

상기 제1 입력 이벤트에 응답하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치; 및

상기 제2 입력 이벤트에 응답하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치를 포함하고,

상기 제1 아날로그 신호는 상기 제1 신호 및 상기 제2 신호의 차이에 대응되는 이벤트 처리 회로.

청구항 15

제13 항에 있어서,

상기 출력 이벤트는 포지티브 레벨의 제1 출력 이벤트 및 네거티브 레벨의 제2 출력 이벤트를 포함하고,

상기 제2 이벤트 변환기는,

상기 제2 출력 이벤트에 응답하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치; 및

상기 제1 출력 이벤트에 응답하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치를 포함하고,

상기 제2 아날로그 신호는 상기 제1 신호 및 상기 제2 신호의 차이에 대응되는 이벤트 처리 회로.

청구항 16

제13 항에 있어서,

상기 제2 아날로그 신호는 상기 출력 이벤트와 반대의 극성을 갖고, 상기 누적 결과는 상기 제1 아날로그 신호 및 상기 제2 아날로그 신호의 합에 대응되는 이벤트 처리 회로.

청구항 17

제13 항에 있어서,

상기 제1 이벤트 변환기는, 상기 입력 이벤트에 제1 계수를 곱한 크기를 갖는 상기 제1 아날로그 신호를 생성하고,

상기 제2 이벤트 변환기는, 상기 출력 이벤트에 제2 계수를 곱한 크기를 갖는 상기 제2 아날로그 신호를 생성하는 이벤트 처리 회로.

청구항 18

제13 항에 있어서,

상기 제2 이벤트 변환기는, 상기 제2 계수에 기초하여 상기 출력 이벤트에 대응되는 이벤트들의 개수를 결정하는 데시메이터를 포함하고,

상기 제2 이벤트 변환기는, 상기 이벤트들의 개수에 의존하여 상기 제2 아날로그 신호를 생성하는 이벤트 처리 회로.

청구항 19

제13 항에 있어서,

상기 이벤트 생성 회로는,

시간에 따른 상기 누적 결과를 적분하여 적분 신호를 생성하는 시간 적분기;

상기 적분 신호 및 기준 신호의 비교 결과에 기초하여 상기 출력 이벤트를 생성하는 비교기; 및

상기 출력 이벤트에 응답하여, 상기 시간 적분기를 리셋하는 리셋 회로를 포함하는 이벤트 처리 회로.

청구항 20

제19 항에 있어서,

상기 기준 신호는 포지티브 레벨의 제1 기준 값 및 네거티브 레벨의 제2 기준 값을 갖고,

상기 비교기는, 상기 적분 신호의 크기가 상기 제1 기준 값보다 큰 경우, 포지티브 레벨의 상기 출력 이벤트를 상기 제2 이벤트 변환기로 제공하고, 상기 적분 신호의 크기가 상기 제2 기준 값보다 작은 경우, 네거티브 레벨의 상기 출력 이벤트를 상기 제2 이벤트 변환기로 제공하는 이벤트 처리 회로.

발명의 설명

기술 분야

[0001] 본 발명은 이벤트에 기반한 아날로그 신호 처리에 관한 것으로서, 좀 더 상세하게는 이벤트 기반 신호 표현을 이용한 이벤트 증폭기 및 이벤트 처리 회로에 관한 것이다.

배경 기술

[0002] 전자 장치에 포함된 아날로그 회로들은 정보를 전압 또는 전류의 크기로 표현하여 신호를 처리한다. 다만, 신호의 표현 범위는 잡음과 전원전압에 의하여 제한된다. 한편 반도체 공정이 미세화되면서 사용 전압이 낮아지고 소자특성의 불확실도가 높아짐에 따라, 중간 값을 표현하여야 하는 아날로그 정보가 전압 또는 전류로 표현되기 어려워지고 있다.

[0003] 중간 값 표현이 어려운 문제점을 해결하기 위하여, 중간 전압 또는 전류 값이 사용되지 않는 펄스 회로 방식이 대두되고 있다. 펄스 회로는, 펄스의 평균이 표현하고자 하는 아날로그 정보의 평균에 해당하도록 표현함으로써, 큰 신호의 중간 값 표현에서 선형성을 개선할 수 있다. 펄스 회로는 큰 전압이나 전류를 구동하기 위한 드라이버에 적용되지만, 이를 제어하기 위한 아날로그 신호 처리 회로는 전압 또는 전류로 아날로그 정보를 표현하고 있어, 필터, 아날로그-디지털 변환기 등과 같이 일반적인 아날로그 신호를 처리하기에 부적절하다.

[0004] 불확실성을 갖는 소자의 특성 하에 아날로그 신호 처리를 위하여, 소자의 온/오프(on/off)만을 이용한 이벤트 기반 아날로그 정보 표현 방법, 이를 구현하기 위한 회로 및 이러한 회로를 포함하는 아날로그 신호처리 회로에 대한 요구가 제기되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 이벤트 기반의 아날로그 정보 표현을 통하여, 특성의 불확실도가 높은 소자들로 구현할 수 있는 이벤트 증폭기 및 이벤트 처리 회로를 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 이벤트 증폭기는 수신된 입력 이벤트들의 개수 및 입력 이벤트들에 응답하여 생성된 신호들의 극성에 의존하는 아날로그 신호를 생성하는 이벤트 적분기, 및 아날로그 신호의 크기에 기초하여 출력 이벤트들이 생성되는 시점들을 결정하는 이벤트 생성 회로를 포함한다.

[0007] 일례로, 이벤트 적분기는 입력 이벤트들 중 제1 입력 이벤트를 수신하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치, 입력 이벤트들 중 제2 입력 이벤트를 수신하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치, 및 제1 신호 및 제2 신호를 누적하여 아날로그 신호를 출력하는 누산기를 포함할 수 있다. 아날로그 신호의 크기는 제1 신호를 누적함으로써 증가하고, 제2 신호를 누적함으로써 감소할 수 있다.

[0008] 일례로, 이벤트 적분기는 제1 신호에 대응되는 전하들이 충전되는 제1 커패시터, 및 제2 신호에 대응되는 전하들이 충전되는 제2 커패시터를 더 포함할 수 있다. 일례로, 누산기는 제1 신호 및 제2 신호에 기초하여 충전되는 적분 커패시터를 포함할 수 있다. 일례로, 이벤트 적분기는 출력 이벤트들에 응답하여, 아날로그 신호의 크기를 감소시킬 수 있다.

[0009] 일례로, 이벤트 생성 회로는 시간에 따른 아날로그 신호를 적분하여 적분 신호를 생성하는 시간 적분기, 적분 신호 및 기준 신호의 비교 결과에 기초하여 출력 이벤트들을 생성하는 비교기, 및 출력 이벤트들에 응답하여, 시간 적분기를 리셋하는 리셋 회로를 포함할 수 있다. 리셋 회로는 출력 이벤트에 응답하여, 아날로그 신호의

크기를 적어도 일부 감소시킬 수 있다.

- [0010] 일례로, 비교기는 비교 결과에 기초하여 출력 이벤트들이 생성되는 시점들을 결정할 수 있다. 일례로, 기준 신호는 포지티브 레벨의 제1 기준 값 및 네거티브 레벨의 제2 기준 값을 갖고, 비교기는, 적분 신호의 크기가 제1 기준 값보다 큰 경우, 포지티브 레벨의 출력 이벤트를 생성하고, 적분 신호의 크기가 제2 기준 값보다 작은 경우, 네거티브 레벨의 출력 이벤트를 생성할 수 있다.
- [0011] 일례로, 리셋 회로는 출력 이벤트들이 생성되는 시점들에 시간 적분기를 리셋할 수 있다. 이 경우, 출력 이벤트들은 스파이크에 대응될 수 있다. 일례로, 리셋 회로는 이벤트가 생성된 시점들로부터 지연 시간 이후에 시간 적분기를 리셋할 수 있다. 이 경우, 출력 이벤트들은 지연 시간에 대응되는 펄스 폭을 가질 수 있다.
- [0012] 일례로, 출력 이벤트들의 발생 빈도는 아날로그 신호의 크기, 시간 적분기의 이득, 및 기준 신호의 크기에 의존한다.
- [0013] 본 발명의 실시예에 따른 이벤트 처리 회로는 입력 이벤트를 제1 아날로그 신호로 변환하는 제1 이벤트 변환기, 입력 이벤트에 대응되는 출력 이벤트를 제2 아날로그 신호로 변환하는 제2 이벤트 변환기, 제1 아날로그 신호 및 제2 아날로그 신호를 누적하는 누산기, 및 제1 아날로그 신호 및 제2 아날로그 신호의 누적 결과에 기초하여 출력 이벤트를 생성하는 이벤트 생성 회로를 포함한다. 누적 결과는 입력 이벤트 및 출력 이벤트의 차이에 의존할 수 있다.
- [0014] 일례로, 제1 이벤트 변환기는 제1 입력 이벤트에 응답하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치, 및 제2 입력 이벤트에 응답하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치를 포함할 수 있다. 제1 아날로그 신호는 제1 신호 및 제2 신호의 차이에 대응될 수 있다.
- [0015] 일례로, 제2 이벤트 변환기는 제2 출력 이벤트에 응답하여, 포지티브 레벨의 제1 신호를 전달하는 제1 스위치, 및 제1 출력 이벤트에 응답하여, 네거티브 레벨의 제2 신호를 전달하는 제2 스위치를 포함할 수 있다. 제2 아날로그 신호는 제1 신호 및 제2 신호의 차이에 대응될 수 있다.
- [0016] 일례로, 제2 아날로그 신호는 출력 이벤트와 반대의 극성을 갖고, 누적 결과는 제1 아날로그 신호 및 제2 아날로그 신호의 합에 대응될 수 있다. 일례로, 제1 이벤트 변환기는 입력 이벤트에 제1 계수를 곱한 크기를 갖는 제1 아날로그 신호를 생성하고, 제2 이벤트 변환기는 출력 이벤트에 제2 계수를 곱한 크기를 갖는 제2 아날로그 신호를 생성할 수 있다. 일례로, 제2 이벤트 변환기는 제2 계수에 기초하여 출력 이벤트에 대응되는 이벤트들의 개수를 결정하는 데시메이터를 포함할 수 있다. 제2 이벤트 변환기는 이벤트들의 개수에 의존하여 제2 아날로그 신호를 생성할 수 있다.
- [0017] 일례로, 이벤트 생성 회로는, 시간에 따른 누적 결과를 적분하여 적분 신호를 생성하는 시간 적분기, 적분 신호 및 기준 신호의 비교 결과에 기초하여 출력 이벤트를 생성하는 비교기, 및 출력 이벤트에 응답하여, 시간 적분기를 리셋하는 리셋 회로를 포함할 수 있다. 일례로, 기준 신호는 포지티브 레벨의 제1 기준 값 및 네거티브 레벨의 제2 기준 값을 가질 수 있다. 비교기는 적분 신호의 크기가 제1 기준 값보다 큰 경우, 포지티브 레벨의 출력 이벤트를 제2 이벤트 변환기로 제공하고, 적분 신호의 크기가 제2 기준 값보다 작은 경우, 네거티브 레벨의 출력 이벤트를 제2 이벤트 변환기로 제공할 수 있다.

발명의 효과

- [0018] 본 발명의 실시예에 따른 이벤트 기반 신호 표현을 이용한 이벤트 증폭기 및 이벤트 처리 회로는 중간 값이 필요 없는 이벤트의 발생 빈도로 정보를 표현할 수 있다. 소자 특성의 불확실성이 큰 경우에도, 전압 또는 전류 레벨이 아닌 스위치 소자의 온-오프에 기초한 이벤트의 발생 빈도로 정보를 표현하므로, 신호 처리의 안정성이 향상될 수 있다. 또한, 중간 값 표현이 불필요함에 따라 소자를 온-오프시킬 수 있는 정도의 낮은 전압에서 신호 처리 동작이 가능하다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 실시예에 따른 이벤트 회로의 예시적인 블록도이다.
- 도 2는 도 1의 비교기의 입력에 따라 출력되는 이벤트의 크기를 도시한 그래프이다.
- 도 3은 도 1의 이벤트 생성 회로의 동작에 따른 신호 또는 이벤트의 크기를 도시한 그래프이다.

도 4는 도 1의 이벤트 생성 회로를 포함하는 이벤트 증폭기의 예시적인 도면이다.

도 5는 도 4의 이벤트 증폭기에서 하나의 입력 이벤트에 대응되는 출력 이벤트를 도시한 그래프이다.

도 6은 도 4의 이벤트 증폭기의 예시적인 회로도이다.

도 7은 도 1의 이벤트 생성 회로를 포함하는 이벤트 처리 회로의 예시적인 도면이다.

도 8은 도 7의 이벤트 처리 회로의 예시적인 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면들을 참조하여 본 발명의 실시 예들이 상세하게 설명된다. 이하의 설명에서, 상세한 구성들 및 구조들과 같은 세부적인 사항들은 단순히 본 발명의 실시 예들의 전반적인 이해를 돕기 위하여 제공된다. 그러므로 본 발명의 기술적 사상 및 범위로부터의 벗어남 없이 본문에 기재된 실시 예들의 변형들은 통상의 기술자 의해 수행될 수 있다. 더욱이, 명확성 및 간결성을 위하여 잘 알려진 기능들 및 구조들에 대한 설명들은 생략된다. 본 명세서에서 사용된 용어들은 본 발명의 기능들을 고려하여 정의된 용어들이며, 특정 기능에 한정되지 않는다. 용어들의 정의는 상세한 설명에 기재된 사항을 기반으로 결정될 수 있다.
- [0021] 도 1은 본 발명의 실시예에 따른 이벤트 회로의 예시적인 블록도이다. 본 발명에 따른 이벤트 회로(이하, 이벤트 생성 회로)(100)는 아날로그 신호(Ain)에 기초하여, 이벤트(Eout)를 출력하는 회로로 이해될 것이다. 여기서, 이벤트(Eout)는 특정 시점 또는 임의의 시점에 발생하는 펄스, 스파이크(spike), 또는 일정한 크기를 갖는 쿼텀(quantum) 등을 포함하는 개념일 수 있다. 도 1을 참조하면, 이벤트 생성 회로(100)는 시간 적분기(110), 비교기(120), 및 리셋 회로(130)를 포함한다.
- [0022] 시간 적분기(110)는 입력된 아날로그 신호(Ain)를 적분할 수 있다. 시간 적분기(110)는 시간을 기준으로 아날로그 신호(Ain)를 적분할 수 있다. 일례로, 아날로그 신호(Ain)는 전압 신호 또는 전류 신호일 수 있다. 시간 적분기(110)는 아날로그 신호(Ain)의 적분 결과에 대응되는 적분 신호(IS)를 비교기(120)로 출력할 수 있다.
- [0023] 비교기(120)는 적분 신호(IS)의 크기와 기준 신호(RS)의 크기를 비교할 수 있다. 비교기(120)는 적분 신호(IS) 및 기준 신호(RS)의 비교 결과에 기초하여, 이벤트(Eout)를 생성할 수 있다. 일례로, 기준 신호(RS)는 포지티브 기준 값(Vp) 및 네거티브 기준 값(Vn)을 가질 수 있다. 적분 신호(IS)의 크기가 포지티브 기준 값(Vp)을 초과하는 경우, 포지티브 레벨의 이벤트(Eout)가 출력될 수 있다. 적분 신호(IS)의 크기가 네거티브 기준 값(Vn)을 초과 (여기에서, 초과는 절대값의 초과를 의미)하는 경우, 네거티브 레벨의 이벤트(Eout)가 출력될 수 있다. 적분 신호(IS)의 크기가 네거티브 기준 값(Vn)과 포지티브 기준 값(Vp) 사이인 경우, 대기 상태에 대응되는 레벨 (예를 들어, 0)이 출력될 수 있다.
- [0024] 리셋 회로(130)는 이벤트(Eout)에 기초하여 시간 적분기(110)를 리셋할 수 있다. 이를 위하여, 리셋 회로(130)는 이벤트(Eout)를 수신한다. 이벤트(Eout)가 포지티브 레벨 또는 네거티브 레벨인 경우, 리셋 회로(130)는 시간 적분기(110)를 리셋할 수 있다. 포지티브 레벨 또는 네거티브 레벨의 이벤트(Eout)에 응답하여, 리셋 회로(130)는 시간 적분기(110)를 리셋하기 위한 리셋 신호(Rst)를 생성할 수 있다. 리셋 신호(Rst)에 기초하여, 시간 적분기(110)는 대기 상태에 대응되는 레벨 (예를 들어, 0)로부터 증가하거나 감소하는 적분 신호(IS)를 출력할 수 있다.
- [0025] 일례로, 리셋 회로(130)는 이벤트(Eout)가 생성된 시점에 리셋 신호(Rst)를 생성하여, 시간 적분기(110)를 리셋할 수 있다. 이 경우, 적분 신호(IS)의 크기는 곧바로 0이 될 수 있고, 이벤트(Eout)는 스파이크 형태를 나타낼 수 있다. 또는, 리셋 회로(130)는 이벤트(Eout)가 생성된 시점으로부터 일정한 지연 시간 이후에 리셋 신호(Rst)를 생성할 수 있다. 이 경우, 적분 신호(IS)는 지연 시간 동안 기준 신호(RS)의 크기를 넘을 수 있고, 이벤트(Eout)는 지연 시간에 대응되는 펄스 폭을 가질 수 있다.
- [0026] 상술된 시간 적분기(110), 비교기(120), 및 리셋 회로(130)의 동작에 따라, 이벤트 생성 회로(100)는 아날로그 신호(Ain)의 크기에 의존하는 빈도를 갖는 이벤트(Eout)를 출력할 수 있다. 이러한 관점에서, 시간 적분기(110)는 전압 또는 전류의 크기로 표현되는 아날로그 신호(Ain)의 정보를 시간으로 표현되도록 한다. 비교기(120)는 이벤트(Eout)를 발생시키는 시점을 결정한다. 리셋 회로(130)는 다음 이벤트의 발생을 위하여, 시간 적분기(110)를 리셋한다.
- [0027] 이벤트(Eout)의 발생 빈도는 아날로그 신호(Ain)의 크기 및 시간 적분기(110)의 이득에 비례할 수 있다. 또한, 이벤트(Eout)의 발생 빈도는 기준 신호(RS)의 크기에 반비례할 수 있다. 이벤트(Eout)의 발생 간격은 이벤트

(Eout)의 발생 시점으로부터 다시 아날로그 신호(Ain)를 적분한 결과가 기준 신호(RS)의 크기에 도달한 시점사이의 시간일 수 있다. 이벤트 생성 회로(100)로부터 생성되는 이벤트(Eout)는 포지티브 레벨 또는 네거티브 레벨과 같이 부호를 표현할 수 있다. 또한, 아날로그 신호(Ain)의 크기가 일정하다면, 이에 대응되는 이벤트(Eout)의 발생 간격은 일정할 수 있다.

[0028] 도 2는 도 1의 비교기의 입력에 따라 출력되는 이벤트의 크기를 도시한 그래프이다. 도 2를 참조하면, 가로축은 도 1의 비교기(120)에 입력되는 적분 신호(IS)의 크기로 정의되고, 세로축은 비교기(120)로부터 출력되는 이벤트(Eout)의 크기로 정의된다. 설명의 편의상, 적분 신호(IS)의 크기 및 이벤트(Eout)의 크기는 전압 레벨에 대응될 수 있으나, 이에 제한되지 않고, 전류 레벨 등에 대응될 수 있다.

[0029] 적분 신호(IS)의 크기가 제1 기준 값(포지티브 기준 값(V_p))보다 큰 경우, 포지티브 레벨의 제1 값(V_1)을 갖는 이벤트(Eout)가 출력될 수 있다. 이 경우, 도 1의 리셋 회로(130)는 제1 값(V_1)을 갖는 이벤트(Eout)에 응답하여, 시간 적분기(110)를 리셋할 수 있다.

[0030] 적분 신호(IS)의 크기가 제2 기준 값(네거티브 기준 값(V_n))보다 작은 경우, 네거티브 레벨의 제2 값(V_2)을 갖는 이벤트(Eout)가 출력될 수 있다. 이 경우, 도 1의 리셋 회로(130)는 제2 값(V_2)을 갖는 이벤트(Eout)에 응답하여, 시간 적분기(110)를 리셋할 수 있다.

[0031] 적분 신호(IS)의 크기가 제1 기준 값(V_p)과 제2 기준 값(V_n) 사이인 경우, 비교기(120)로부터 대기 상태에 대응되는 레벨인 0이 출력될 수 있다. 이 경우, 리셋 회로(130)는 시간 적분기(110)를 리셋하지 않는다.

[0032] 도 3은 도 1의 이벤트 생성 회로의 동작에 따른 신호 또는 이벤트의 크기를 도시한 그래프이다. 도 3을 참조하면, 가로축은 시간으로 정의되고, 세로축은 도 1의 아날로그 신호(Ain), 적분 신호(IS), 이벤트(Eout), 및 리셋 신호(Rst) 각각의 크기들로 정의된다. 설명의 편의상, 아날로그 신호(Ain), 적분 신호(IS), 이벤트(Eout), 및 리셋 신호(Rst) 각각의 크기는 전압 레벨에 대응될 수 있으나, 이에 제한되지 않고, 전류 레벨 등에 대응될 수 있다.

[0033] 아날로그 신호(Ain)는 이벤트 생성 회로(100)에 입력되는 전압 또는 전류 레벨에 대응될 수 있다. 후술될 도 4의 이벤트 증폭기(1000)는 입력 이벤트를 누적하여, 아날로그 신호(Ain)를 생성한다. 예시적으로, 아날로그 신호(Ain)의 크기는 제1 내지 제4 시점들($t_1 \sim t_4$)에서 변화할 수 있다. 예시적으로, 아날로그 신호(Ain)는 제1 시점(t_1) 이전에 발생된 포지티브 입력 이벤트, 및 제2 시점(t_2)에 발생된 네거티브 입력 이벤트에 기초하여 생성될 수 있다. 아날로그 신호(Ain)가 생성되는 과정에 대한 구체적인 내용은 후술된다.

[0034] 적분 신호(IS)는 이벤트(Eout)가 발생된 시점에 리셋되어 0에 대응되는 값을 가질 수 있고, 아날로그 신호(Ain)의 크기에 의존하는 기울기를 가질 수 있다. 적분 신호(IS)는 도 1의 시간 적분기(110)로부터 생성될 수 있다. 아날로그 신호(Ain)가 포지티브 레벨을 갖는 경우, 적분 신호(IS)의 크기는 시간에 따라 증가할 수 있다. 아날로그 신호(Ain)가 네거티브 레벨을 갖는 경우, 적분 신호(IS)의 크기는 시간에 따라 감소할 수 있다. 예시적으로, 제2 시점(t_2) 이전에 아날로그 신호(Ain)의 크기는 포지티브 레벨을 갖고, 제2 시점(t_2) 이후에 아날로그 신호(Ain)의 크기는 네거티브 레벨을 가질 수 있다.

[0035] 이벤트(Eout)는 적분 신호(IS)의 크기가 포지티브 기준 값(V_p) 또는 네거티브 기준 값(V_n)에 도달할 때 생성될 수 있다. 이벤트(Eout)는 비교기(120)로부터 생성될 수 있다. 예를 들어, 적분 신호(IS)의 크기가 포지티브 기준 값(V_p)에 도달한 제1 및 제2 시점들(t_1, t_2)에 포지티브 레벨의 제1 및 제2 이벤트들(E_1, E_2)이 각각 생성될 수 있다. 적분 신호(IS)의 크기가 네거티브 기준 값(V_n)에 도달한 제3 및 제4 시점들(t_3, t_4)에 네거티브 레벨의 제3 및 제4 이벤트들(E_3, E_4)이 각각 생성될 수 있다.

[0036] 제1 및 제2 이벤트들(E_1, E_2)은 동일한 포지티브 레벨로 생성될 수 있고, 예를 들어, 도 2의 제1 값(V_1)을 가질 수 있다. 제3 및 제4 이벤트들(E_3, E_4)은 동일한 네거티브 레벨로 생성될 수 있고, 예를 들어, 도 2의 제2 값(V_2)을 가질 수 있다. 이벤트(Eout)는 바이폴라 타입으로, 특정 포지티브 레벨 및 특정 네거티브 레벨이 하나의 출력 단자를 통하여 출력될 수 있다. 또는, 포지티브 레벨의 이벤트가 출력되는 단자와 네거티브 레벨의 이벤트가 출력되는 단자가 구별될 수 있다.

[0037] 리셋 신호(Rst)는 이벤트(Eout)에 응답하여 생성될 수 있다. 리셋 신호(Rst)는 도 1의 리셋 회로(130)로부터 생성될 수 있다. 포지티브 레벨 또는 네거티브 레벨을 갖는 제1 내지 제4 이벤트들($E_1 \sim E_4$)이 생성된 시점에 리셋 신호(Rst)가 생성될 수 있다. 예를 들어, 제1 내지 제4 시점들($t_1 \sim t_4$)에 제1 내지 제4 리셋 신호들($R_1 \sim R_4$)이 생성될 수 있다. 제1 내지 제4 리셋 신호들($R_1 \sim R_4$)의 크기는 일정할 수 있다. 리셋 신호(Rst)에 응답하여, 시간

적분기(110)는 리셋되고, 적분 신호(IS)는 0에 대응되는 크기를 가질 수 있다.

- [0038] 도 4는 도 1의 이벤트 생성 회로를 포함하는 이벤트 증폭기의 예시적인 도면이다. 이벤트 증폭기(1000)는 입력 이벤트(Ei1, Ei2)에 기초하여 출력 이벤트(Eout)를 생성하는 회로로 이해될 것이다. 여기에서, 입력 이벤트(Ei1, Ei2)는 특정 시점 또는 임의의 시점에 발생하는 펄스, 스파이크(spike), 또는 일정한 크기를 갖는 쿼텀(quantum) 등을 포함하는 개념으로 정보를 표현하는 하나의 방식으로 이해될 수 있다. 일례로, 이벤트 증폭기(1000)는 입력 이벤트(Ei1, Ei2)를 누적하고, 시간을 기반으로 증폭함으로써, 출력 이벤트(Eout)를 생성할 수 있다. 여기에서, 출력 이벤트(Eout)는 도 1의 이벤트(Eout)에 대응된다.
- [0039] 도 4를 참조하면, 이벤트 증폭기(1000)는 이벤트 적분기(1100) 및 이벤트 생성 회로(1200)를 포함한다. 이벤트 생성 회로(1200)는 시간 적분기(1210), 비교기(1220), 및 리셋 회로(1230)를 포함할 수 있다. 시간 적분기(1210), 비교기(1220), 및 리셋 회로(1230) 각각은 도 1의 시간 적분기(110), 비교기(120), 및 리셋 회로(130)에 대응되므로, 구체적인 설명이 생략된다.
- [0040] 이벤트 적분기(1100)는 제1 입력 이벤트(Ei1) 및 제2 입력 이벤트(Ei2)를 누적하고, 누적 결과에 기초하여 아날로그 신호(Ain)를 생성할 수 있다. 여기에서, 제1 입력 이벤트(Ei1)는 포지티브 이벤트로 정의되고, 제2 입력 이벤트(Ei2)는 네거티브 이벤트로 정의될 수 있다. 즉, 제1 입력 이벤트(Ei1)는 누적 결과의 값을 증가시키고, 제2 입력 이벤트(Ei2)는 누적 결과의 값을 감소시킬 수 있다. 이러한 동작을 위하여 예시적으로, 이벤트 적분기(1100)는 제1 스위치(SW1), 제2 스위치(SW2), 가산기(1110), 및 누산기(1120)를 포함할 수 있다.
- [0041] 제1 스위치(SW1)는 제1 입력 이벤트(Ei1)에 기초하여, 제1 신호(C1)를 가산기(1110)에 전달할 수 있다. 제1 스위치(SW1)는 제1 입력 이벤트(Ei1)를 수신 시에, 턴-온 되고, 미리 생성된 제1 신호(C1)를 가산기(1110)에 전달할 수 있다. 제2 스위치(SW2)는 제2 입력 이벤트(Ei2)에 기초하여, 제2 신호(C2)를 가산기(1110)에 전달할 수 있다. 제2 스위치(SW2)는 제2 입력 이벤트(Ei2)를 수신 시에, 턴-온 되고, 미리 생성된 제2 신호(C2)를 가산기(1110)에 전달할 수 있다. 제1 신호(C1) 및 제2 신호(C2)는 서로 다른 극성을 가질 수 있다. 예를 들어, 제1 신호(C1)는 포지티브 레벨을 갖고, 제2 신호(C2)는 네거티브 레벨을 가질 수 있다. 예를 들어, 제1 신호(C1) 및 제2 신호(C2)는 전류 신호일 수 있으나, 이에 제한되지 않고, 전압 신호일 수 있다.
- [0042] 가산기(1110)는 제1 신호(C1) 및 제2 신호(C2)를 더하여 누산기(1120)에 출력할 수 있다. 가산기(1110)는 제1 신호(C1)의 크기 및 제2 신호(C2)의 크기의 합에 대응되는 합산 신호(Csum)를 생성할 수 있다. 예시적으로, 제1 신호(C1) 및 제2 신호(C2)가 전류 신호인 경우, 별도의 가산기(1110) 없이, 제1 스위치(SW1) 및 제2 스위치(SW2)를 서로 연결하는 노드를 통하여 합산된 전류 신호가 누산기(1120)로 출력될 수 있다.
- [0043] 누산기(1120)는 합산 신호(Csum)를 누적할 수 있다. 이를 위하여, 누산기(1120)는 전기 신호를 누적하기 위한 커패시터를 포함할 수 있다. 제1 입력 이벤트(Ei1)가 이벤트 적분기(1100)에 입력되는 경우, 누산기(1120)에 누적되는 신호의 크기는 증가할 수 있다. 제1 입력 이벤트(Ei1)가 입력되는 횟수가 증가함에 따라, 누적되는 신호의 크기는 증가할 수 있다. 제2 입력 이벤트(Ei2)가 이벤트 적분기(1100)에 입력되는 경우, 누산기(1120)에 누적되는 신호의 크기는 감소할 수 있다. 제2 입력 이벤트(Ei2)가 입력되는 횟수가 증가함에 따라, 누적되는 신호의 크기는 감소할 수 있다. 누산기(1120)는 합산 신호(Csum)를 누적한 결과에 대응되는 아날로그 신호(Ain)를 이벤트 생성 회로(1200)로 출력할 수 있다. 예를 들어, 아날로그 신호(Ain)는 이벤트 생성 회로(1200)의 시간 적분기(1210)로 제공될 수 있다.
- [0044] 누산기(1120)는 이벤트 발생 회로(1200)에 의하여 출력 이벤트(Eout)가 생성될 때마다, 누적된 신호의 적어도 일부를 감쇄(discharge)시킬 수 있다. 출력 이벤트(Eout)가 발생될 때, 리셋 회로(1230)는 리셋 신호(Rst)를 생성하고, 리셋 신호(Rst)는 시간 적분기(1210)뿐만 아니라, 누산기(1120)로 제공될 수 있다. 누산기(1120)는 리셋 신호(Rst)에 기초하여, 누적된 신호를 일정한 크기만큼 감소시킬 수 있다.
- [0045] 다른 예로, 누산기(1120)는 별도의 신호를 수신함이 없이, 특정된 시상수에 기초하여, 누적된 신호를 시간에 따라 점진적으로 감소시키는 누설 적분기로 구성될 수 있다. 이 때, 누설(leakage) 대상은 전류일 수 있고, 이러한 전류는 시간 적분기(1210)로 제공되는 아날로그 신호(Ain)이거나, 아날로그 신호(Ain)와 별개일 수 있다. 여기에서, 감소는 누적된 신호의 절대값이 작아짐을 의미할 수 있다.
- [0046] 신호의 감쇄 결과, 이벤트 생성 회로(1200)로 출력되는 아날로그 신호(Ain)의 크기는 변화할 수 있다. 아날로그 신호(Ain)의 절대값은 신호 감쇄에 따라 감소할 수 있다. 예를 들어, 도 3의 그래프와 같이, 아날로그 신호(Ain)의 절대값은 제1 시점(t1), 제3 시점(t3), 또는 제4 시점(t4)에서와 같이 감소할 수 있다. 그 결과, 적분 신호(IS)의 기울기는 감소할 수 있다. 예를 들어, 제1 시점(t1) 이전의 적분 신호(IS)의 기울기는 제1 시점(t1)

및 제2 시점(t_2) 사이의 적분 신호(IS)의 기울기보다 클 수 있다. 이는 아날로그 신호(Ain)의 크기가 제1 리셋 신호(R1)에 응답하여 감소하기 때문일 수 있다.

[0047] 제1 입력 이벤트(Ei1) 또는 제2 입력 이벤트(Ein)의 빈도에 대한 출력 이벤트(Eout)의 빈도는 이벤트 적분기(1100)의 제1 변환 이득 및 이벤트 생성 회로(1200)의 제2 변환 이득에 기초하여 결정될 수 있으며, 일례로 제1 변환 이득 및 제2 변환 이득의 곱에 의하여 결정될 수 있다. 이러한 곱은 1보다 크거나 작을 수 있다. 제1 변환 이득은 제1 및 제2 신호들(C1, C2)의 크기 및 누산기(1120)의 이득에 의존할 수 있다. 제2 변환 이득은 도 1에서 상술한 바와 같이, 시간 적분기(1210)의 이득 및 기준 신호(RS)의 크기에 의존할 수 있다.

[0048] 도 5는 도 4의 이벤트 증폭기에서 하나의 입력 이벤트에 대응되는 출력 이벤트를 도시한 그래프이다. 도 5를 참조하면, 가로축은 시간으로 정의되고, 세로축은 이벤트의 크기로 정의된다. 설명의 편의상 도 4의 도면 부호를 참조하여, 도 5가 설명된다. 여기에서, 입력 이벤트(Ein)는 도 4의 제1 입력 이벤트(Ei1)에 대응되고, 출력 이벤트(Eout)는 도 4의 출력 이벤트(Eout)에 대응된다.

[0049] 특정 시점(t_i)에 발생한 입력 이벤트(Ein)는 이벤트 적분기(1110)에 제공될 수 있다. 입력 이벤트(Ein)에 응답하여, 이벤트 증폭기(1000)는 복수의 출력 이벤트들(Eout)을 생성한다. 예시적으로, 제1 내지 제7 출력 이벤트들이 도시된다. 일례로, 이벤트 적분기(1110)는 입력 이벤트(Ein)에 응답하여, 포지티브 레벨의 제1 신호(C1)를 누적할 수 있다. 이벤트 생성 회로(1200)는 누적된 아날로그 신호(Ain)의 크기에 기초하여, 제1 시점(t_1)에 제1 출력 이벤트를 생성할 수 있다.

[0050] 제1 출력 이벤트에 응답하여, 아날로그 신호(Ain)는 감쇄될 수 있다. 이벤트 생성 회로(1200)는 감쇄된 아날로그 신호(Ain)의 크기에 기초하여, 제1 시점(t_1)으로부터 제1 기간(p_1) 이후인 제2 시점(t_2)에 제2 출력 이벤트를 생성할 수 있다. 제2 출력 이벤트에 응답하여, 아날로그 신호(Ain)는 추가적으로 감쇄될 수 있다. 이벤트 생성 회로(1200)는 감쇄된 아날로그 신호(Ain)의 크기에 기초하여, 제2 시점(t_2)으로부터 제2 기간(p_2) 이후인 제3 시점(t_3)에 제3 출력 이벤트를 생성할 수 있다.

[0051] 감쇄에 따라, 아날로그 신호(Ain)의 크기가 작아지고, 적분 신호(IS)의 크기가 기준 신호(RS)의 크기에 도달하는 시간이 증가한다. 따라서, 제2 기간(p_2)은 제1 기간(p_1)보다 클 수 있다. 동일한 방식으로, 순차적으로, 제4 내지 제7 출력 이벤트들 각각이 제4 내지 제7 시점들($t_4 \sim t_7$)에 생성될 수 있다. 제3 내지 제6 기간들($p_3 \sim p_6$)은 순차적으로 증가할 수 있다. 즉, 출력 이벤트들의 빈도는 시간의 흐름에 따라 감소할 수 있고, 전압 레벨 또는 전류 레벨이 아닌 시간의 빈도를 기준으로, 정보가 증폭되어 표현될 수 있다.

[0052] 도 6은 도 4의 이벤트 증폭기의 예시적인 회로도이다. 이벤트 증폭기(2000)는 입력 이벤트(Ei1, Ei2)에 기초하여 출력 이벤트(Eout)를 생성하는 예시적인 회로 구조로 이해될 것이고, 본 발명의 이벤트 증폭기(2000)의 구성이 도 6에 제한되지 않을 것이다. 도 6을 참조하면, 이벤트 증폭기(2000)는 이벤트 적분기(2100) 및 이벤트 생성 회로(2200)를 포함한다. 이벤트 적분기(2100)는 도 4의 이벤트 적분기(1100)에 대응되고, 이벤트 생성 회로(2200)는 도 1의 이벤트 생성 회로(100) 및 도 4의 이벤트 생성 회로(1200)에 대응된다.

[0053] 이벤트 적분기(2100)는 제1 내지 제4 스위치들(SW1~SW4), 적분 커패시터(Ca), 및 제1 및 제2 커패시터들(Cp, Cn)을 포함할 수 있다. 제1 및 제2 스위치들(SW1, SW2)은 도 4의 제1 및 제2 스위치들(SW1, SW2)에 대응된다. 제1 스위치(SW1)는 제1 입력 이벤트(Ei1)의 입력 시에, 제1 커패시터(Cp)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다. 제2 스위치(SW2)는 제2 입력 이벤트(Ei2)의 입력 시에, 제2 커패시터(Cn)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다.

[0054] 적분 커패시터(Ca)는 도 4의 누산기(1120)에 대응되고, 제1 커패시터(Cp) 또는 제2 커패시터(Cn)로부터 제공된 전하들을 누적할 수 있다. 적분 커패시터(Ca)의 양단 전압은 제공된 전하들에 기초하여 변할 수 있다. 예를 들어, 제1 커패시터(Cp)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 증가할 수 있다. 예를 들어, 제2 커패시터(Cn)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 감소할 수 있다. 적분 커패시터(Ca)의 전압 변화는 제1 커패시터(Cp) 또는 제2 커패시터(Cn)의 커패시턴스와 적분 커패시터(Ca)의 커패시턴스의 비율에 의하여 결정될 수 있다.

[0055] 제3 스위치(SW3) 및 제1 커패시터(Cp)는 도 4의 제1 신호(C1)에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제1 입력 이벤트(Ei1)가 발생되지 않을 때, 제3 스위치(SW3)는 턴-온 되어 VDD 전압을 제1 커패시터(Cp)로 전달할 수 있다. VDD 전압에 의하여 제1 커패시터(Cp)에 충전된 전하들은 제1 입력 이벤트(Ei1)가 발생될 때, 적분 커패시터(Ca)로 전달될 수 있다. 제1 스위치(SW1)의 게이트(제어 단자)는 제1 입력 이벤트(Ei1)를 수신하고, 제3 스위치(SW3)의 게이트(제어 단자)는 반전된 제1 입력 이벤트를 수신할 수 있다. 일

레로, 인버터가 이벤트 적분기(2100)에 제공되어, 제1 입력 이벤트(Ei1)를 반전시킬 수 있다.

[0056] 제4 스위치(SW4) 및 제2 커패시터(Cn)는 도 4의 제2 신호(C2)에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제2 입력 이벤트(Ei2)가 발생되지 않을 때, 제4 스위치(SW4)는 턴-온 되어 VSS 전압을 제2 커패시터(Cn)로 전달할 수 있다. VSS 전압에 의하여 제2 커패시터(Cn)에 충전된 전하들은 제2 입력 이벤트(Ei2)가 발생될 때, 적분 커패시터(Ca)로 전달될 수 있다. 제2 스위치(SW1)의 게이트(제어 단자)는 제2 입력 이벤트(Ei2)를 수신하고, 제4 스위치(SW4)의 게이트(제어 단자)는 반전된 제2 입력 이벤트를 수신할 수 있다. 일레로, 인버터가 이벤트 적분기(2100)에 제공되어, 제2 입력 이벤트(Ei2)를 반전시킬 수 있다.

[0057] 도 6에 도시된 바와 달리, 제3 및 제4 스위치들(SW3, SW4) 및 제1 및 제2 커패시터들(Cp, Cn) 대신에, 제1 및 제2 전류원들이 이벤트 적분기(2100)에 제공될 수 있다. 제1 전류원은 도 4의 제1 신호(C1)에 대응되는 전류 신호를 생성하고, 제2 전류원은 도 4의 제2 신호(C2)에 대응되는 전류 신호를 생성할 수 있다. 제1 입력 이벤트(Ei1)에 기초하여, 제1 전류원으로부터 전류 신호가 적분 커패시터(Ca)로 제공되고, 제2 입력 이벤트(Ei2)에 기초하여, 제2 전류원으로부터 전류 신호가 적분 커패시터(Ca)로 제공될 수 있다. 적분 커패시터(Ca)의 전압 변화는 제1 전류원 또는 제2 전류원의 전류 값과 제1 입력 이벤트(Ei1) 또는 제2 입력 이벤트(Ei2)의 펄스 폭의 곱에 의하여 결정될 수 있다.

[0058] 이벤트 생성 회로(2200)는 저항(R1), 발진 커패시터(Co), 리셋 스위치(SWr), 비교기(2220), 리셋 회로(2230)를 포함할 수 있다. 일레로, 제1 저항(R1), 발진 커패시터(Co), 및 리셋 스위치(SWr)는 도 4의 시간 적분기(1210)에 대응된다. 적분 커패시터(Ca)에 누적된 전하들에 기초하여 아날로그 신호(Ain)가 이벤트 생성 회로(2200)로 출력될 수 있다. 적분 커패시터(Ca)에 누적된 전하들의 적어도 일부는 저항(R1)을 통하여, 발진 커패시터(Co)로 전달될 수 있다. 그 결과, 발진 커패시터(Co)의 양단 전압은 변할 수 있다. 저항(R1) 및 발진 커패시터(Co)에 의하여 아날로그 신호(Ain)는 적분될 수 있다.

[0059] 비교기(2220)는 발진 커패시터(Co)의 양단 전압에 대응되는 적분 신호(IS)와 포지티브 기준 값(Vp) 및 네거티브 기준 값(Vn)을 갖는 기준 신호(RS)를 비교할 수 있다. 비교기(2220)는 도 4의 비교기(1220)에 대응된다. 적분 신호(IS)의 크기가 포지티브 기준 값(Vp) 및 네거티브 기준 값(Vn) 사이를 벗어난 경우, 출력 이벤트(Eout)가 생성될 수 있다. 적분 신호(IS)의 크기가 포지티브 기준 값(Vp)보다 큰 경우, 포지티브 레벨의 출력 이벤트(Eout)가 생성될 수 있다. 적분 신호(IS)의 크기가 네거티브 기준 값(Vn)보다 작은 경우, 네거티브 레벨의 출력 이벤트(Eout)가 생성될 수 있다.

[0060] 리셋 회로(2230)는 출력 이벤트(Eout)에 기초하여, 리셋 스위치(SWr)를 턴-온시키기 위한 리셋 신호(Rst)를 생성할 수 있다. 리셋 회로(2230)는 도 4의 리셋 회로(1230)에 대응된다. 상술한 바와 같이, 포지티브 또는 네거티브 레벨의 출력 이벤트(Eout)가 생성될 때, 리셋 회로(2230)는 리셋 신호(Rst)를 생성한다. 리셋 스위치(SWr)는 리셋 신호(Rst)에 기초하여, 발진 커패시터(Co)를 방전시킬 수 있다. 또한, 리셋 스위치(SWr)가 턴-온 됨으로써, 이벤트 적분기(2100)로부터 제공된 아날로그 신호(Ain)의 크기가 감쇄될 수 있다.

[0061] 도 7은 도 1의 이벤트 생성 회로를 포함하는 이벤트 처리 회로의 예시적인 도면이다. 이벤트 처리 회로(3000)는 입력 이벤트(Ein) 및 출력 이벤트(Eout)의 차이를 적분한 출력을 구하는 회로로 이해될 것이다. 도 7을 참조하면, 제1 이벤트 변환기(3100), 누산기(3200), 이벤트 생성 회로(3300), 및 제2 이벤트 변환기(3400)를 포함할 수 있다.

[0062] 제1 이벤트 변환기(3100)는 입력 이벤트(Ein)를 제1 아날로그 신호로 변환하여 출력할 수 있다. 예를 들어, 제1 이벤트 변환기(3100)는 입력 이벤트(Ein)가 발생될 때, 입력 이벤트(Ein)에 제1 계수(If)를 곱한 결과에 대응되는 제1 아날로그 신호를 출력할 수 있다. 일레로, 제1 이벤트 변환기(3100)는 제1 계수(If)에 기초하여, 입력 이벤트(Ein)에 대응되는 이벤트의 횟수 또는 빈도를 결정하는 데시메이터 또는 인터플레이터를 포함할 수 있다.

[0063] 입력 이벤트(Ein)는 포지티브 레벨에 대응되는 제1 입력 이벤트 및 네거티브 레벨에 대응되는 제2 입력 이벤트를 포함할 수 있다. 제1 입력 이벤트에 기초하여 포지티브 레벨의 제1 아날로그 신호가 누산기(3200)에 누적되고, 제2 입력 이벤트에 기초하여 네거티브 레벨의 제1 아날로그 신호가 누산기(3200)에 누적될 수 있다. 일레로, 제1 이벤트 변환기(3100)는 도 6의 이벤트 적분기(2100)의 일부 구성인 제1 내지 제4 스위치들(SW1~SW4) 및 제1 및 제2 커패시터들(Cp, Cn)을 포함할 수 있다.

[0064] 누산기(3200)는 제1 이벤트 변환기(3100)로부터 출력되는 제1 아날로그 신호를 누적할 수 있다. 이를 위하여, 누산기(3200)는 도 6의 적분 커패시터(Ca)를 포함할 수 있다. 제1 입력 이벤트가 입력될 때, 누산기(3200)에 누적되는 신호의 크기는 증가할 수 있다. 제2 입력 이벤트가 입력될 때, 누산기(3200)에 누적되는 신호의 크기는

감소할 수 있다.

- [0065] 누산기(3200)는 제2 이벤트 변환기(3400)로부터 출력되는 제2 아날로그 신호를 누적할 수 있다. 제2 아날로그 신호는 출력 이벤트(Eout)에 기초하여 생성될 수 있다. 포지티브 레벨의 제1 출력 이벤트가 생성될 때, 누산기(3200)에 누적되는 신호의 크기는 감소할 수 있다. 네거티브 레벨의 제2 출력 이벤트가 생성될 때, 누산기(3200)에 누적되는 신호의 크기는 증가할 수 있다. 즉, 누산기(3200)는 입력 이벤트(Ein)와 출력 이벤트(Eout)의 차이에 대응되는 전기 신호를 누적할 수 있다. 누산기(3200)는 누적 결과에 대응되는 아날로그 신호를 이벤트 생성 회로(3300)로 출력할 수 있다.
- [0066] 이벤트 생성 회로(3300)는 누산기(3200)로부터 출력된 아날로그 신호에 기초하여 출력 이벤트(Eout)를 생성할 수 있다. 이벤트 생성 회로(3300)는 도 1의 이벤트 생성 회로(100), 도 4의 이벤트 생성 회로(1200), 및 도 6의 이벤트 생성 회로(2200)와 실질적으로 동일한 구성을 가질 수 있다. 이벤트 생성 회로(3300)는 누산기(3200)로부터 출력된 아날로그 신호를 적분하고, 적분 결과를 기준 신호와 비교하여 출력 이벤트(Eout)를 생성할 수 있다. 출력 이벤트(Eout)가 생성될 때, 이벤트 생성 회로(3300)는 적분 결과를 리셋할 수 있다.
- [0067] 제2 이벤트 변환기(3400)는 출력 이벤트(Eout)를 제2 아날로그 신호로 변환하여 출력할 수 있다. 예를 들어, 제2 이벤트 변환기(3400)는 출력 이벤트(Eout)가 발생될 때, 출력 이벤트(Eout)에 제2 계수(Ir)를 곱한 결과에 대응되는 제2 아날로그 신호를 출력할 수 있다. 일례로, 제2 이벤트 변환기(3400)는 제2 계수(Ir)에 기초하여, 출력 이벤트(Eout)에 대응되는 이벤트의 횟수 또는 빈도를 결정하는 데시메이터 또는 인터폴레이터를 포함할 수 있다.
- [0068] 출력 이벤트(Eout)는 포지티브 레벨에 대응되는 제1 출력 이벤트 및 네거티브 레벨에 대응되는 제2 출력 이벤트를 포함할 수 있다. 제1 출력 이벤트에 기초하여 네거티브 레벨의 제2 아날로그 신호가 누산기(3200)에 누적되고, 제2 출력 이벤트에 기초하여 포지티브 레벨의 제2 아날로그 신호가 누산기(3200)에 누적될 수 있다. 즉, 누산기(3200)는 입력 이벤트(Ein)와 출력 이벤트(Eout)의 차이에 대응되는 전기 신호를 누적할 수 있다. 일례로, 제2 이벤트 변환기(3400)는 제1 이벤트 변환기(3100)와 비교하여, 계수를 제외하고, 유사한 구성을 가질 수 있다.
- [0069] 도 8은 도 7의 이벤트 처리 회로의 예시적인 회로도이다. 이벤트 처리 회로(4000)는 입력 이벤트(Ei1, Ei2) 및 출력 이벤트(Eo1, Eo2)의 차이에 기초하여, 출력 이벤트(Eout)를 생성하는 예시적인 회로 구조로 이해될 것이고, 본 발명의 이벤트 처리 회로(4000)의 구성이 도 8에 제한되지 않을 것이다. 도 8을 참조하면, 이벤트 처리 회로(4000)는 제1 이벤트 변환기(4100), 적분 커패시터(Ca), 이벤트 생성 회로(4300), 및 제2 이벤트 변환기(4400)를 포함할 수 있다.
- [0070] 제1 이벤트 변환기(4100)는 도 7의 제1 이벤트 변환기(3100)에 대응된다. 제1 이벤트 변환기(4100)는 제1 내지 제4 스위치들(SW1~SW4) 및 제1 및 제2 커패시터들(Cfp, Cfn)을 포함할 수 있다. 제1 내지 제4 스위치들(SW1~SW4) 및 제1 및 제2 커패시터들(Cfp, Cfn) 각각은 도 6의 제1 내지 제4 스위치들(SW1~SW4) 및 제1 및 제2 커패시터들(Cp, Cn)과 실질적으로 동일한 기능을 수행할 수 있다. 제1 스위치(SW1)는 제1 입력 이벤트(Ei1)의 입력 시에, 제1 커패시터(Cfp)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다. 제2 스위치(SW2)는 제2 입력 이벤트(Ei2)의 입력 시에, 제2 커패시터(Cfn)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다.
- [0071] 제3 스위치(SW3) 및 제1 커패시터(Cfp)는 도 7의 제1 계수(If)의 크기에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제1 입력 이벤트(Ei1)가 발생되지 않을 때, 제3 스위치(SW3)는 턴-온 되어 VDD 전압을 제1 커패시터(Cfp)로 전달할 수 있다. VDD 전압에 의하여 제1 커패시터(Cfp)에 충전된 전하들은 제1 입력 이벤트(Ei1)가 발생될 때, 적분 커패시터(Ca)로 전달될 수 있다. 제1 커패시터(Cfp)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 증가할 수 있다.
- [0072] 제4 스위치(SW4) 및 제2 커패시터(Cfn)는 도 7의 제1 계수(If)의 크기에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제2 입력 이벤트(Ei2)가 발생되지 않을 때, 제4 스위치(SW4)는 턴-온 되어 VSS 전압을 제2 커패시터(Cfn)로 전달할 수 있다. VSS 전압에 의하여 제2 커패시터(Cfn)에 충전된 전하들은 제2 입력 이벤트(Ei2)가 발생될 때, 적분 커패시터(Ca)로 전달될 수 있다. 제2 커패시터(Cfn)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 감소할 수 있다.
- [0073] 제1 계수(If)에 기초한 입력 이벤트(Ei1, Ei2)의 변환은 제1 및 제2 커패시터들(Cfp, Cfn)의 커패시턴스를 통하여 수행될 수 있다. 또는, 제1 이벤트 변환기(4100)는 제1 계수(If)에 기초하여 입력 이벤트(Ei1, Ei2)에 대응되는 이벤트의 횟수 또는 빈도를 결정하는 데시메이터 또는 인터폴레이터를 이용하여, 이벤트 변환을 수행할 수

있다. 도 6에서 설명된 바와 같이, 제3 및 제4 스위치들(SW3, SW4) 및 제1 및 제2 커패시터들(Cfp, Cfn) 대신에, 제1 및 제2 전류원들이 제1 이벤트 변환기(4100)에 제공될 수 있다.

[0074] 이벤트 생성 회로(4300)는 도 7의 이벤트 생성 회로(3300)에 대응된다. 이벤트 생성 회로(4300)는 저항(R1), 발진 커패시터(Co), 리셋 스위치(SWr), 비교기(4320), 리셋 회로(4330)를 포함할 수 있다. 이벤트 생성 회로(4300)에 포함된 구성들은 도 5의 이벤트 생성 회로(2200)에 포함된 구성들과 실질적으로 동일할 수 있다. 적분 커패시터(Ca)에 누적된 전하들의 적어도 일부는 저항(R1)을 통하여, 발진 커패시터(Co)로 전달될 수 있다. 저항(R1) 및 발진 커패시터(Co)에 의하여 아날로그 신호는 적분될 수 있다.

[0075] 비교기(4320)는 발진 커패시터(Co)의 양단 전압의 크기가 포지티브 기준 값(Vp)보다 큰 경우, 포지티브 레벨의 제1 출력 이벤트(Eo1)를 생성할 수 있다. 비교기(4320)는 발진 커패시터(Co)의 양단 전압의 크기가 네거티브 기준 값(Vn)보다 작은 경우, 네거티브 레벨의 제2 출력 이벤트(Eo2)를 생성할 수 있다.

[0076] 리셋 회로(2230)는 제1 출력 이벤트(Eo1) 또는 제2 출력 이벤트(Eo2)에 기초하여, 리셋 스위치(SWr)를 턴-온시키기 위한 리셋 신호(Rst)를 생성할 수 있다. 리셋 스위치(SWr)는 리셋 신호(Rst)에 기초하여, 발진 커패시터(Co)를 방전시킬 수 있다. 리셋 스위치(SWr)는 리셋 신호(Rst)에 기초하여, 적분 커패시터(Ca)의 양단 전압의 크기를 감쇄시킬 수 있다.

[0077] 제2 이벤트 변환기(4400)는 도 7의 제2 이벤트 변환기(3400)에 대응된다. 제2 이벤트 변환기(4400)는 제5 내지 제8 스위치들(SW5~SW8) 및 제3 및 제4 커패시터들(Crp, Crn)을 포함할 수 있다. 제5 스위치(SW5)는 네거티브 레벨의 제2 출력 이벤트(Eo2)를 피드백 입력 받아, 제3 커패시터(Crp)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다. 제6 스위치(SW6)는 포지티브 레벨의 제1 출력 이벤트(Eo1)를 피드백 입력 받아, 제2 커패시터(Cn)에 충전된 전하들을 적분 커패시터(Ca)로 전달할 수 있다.

[0078] 제7 스위치(SW7) 및 제3 커패시터(Crp)는 도 7의 제2 계수(Ir)의 크기에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제3 커패시터(Crp)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 증가할 수 있다. 즉, 네거티브 레벨의 제2 출력 이벤트(Eo2)에 기초하여, 적분 커패시터(Ca)의 양단 전압은 증가할 수 있다.

[0079] 제8 스위치(SW8) 및 제4 커패시터(Crn)는 도 7의 제2 계수(Ir)의 크기에 대응되는 전하들을 적분 커패시터(Ca)로 전달하도록 구성될 수 있다. 제4 커패시터(Crn)로부터 제공된 전하들에 의하여, 적분 커패시터(Ca)의 양단 전압은 감소할 수 있다. 즉, 포지티브 레벨의 제1 출력 이벤트(Eo1)에 기초하여, 적분 커패시터(Ca)의 양단 전압은 감소할 수 있다.

[0080] 제2 계수(Ir)에 기초한 출력 이벤트(Eo1, Eo2)의 변환은 제3 및 제4 커패시터들(Crp, Crn)의 커패시턴스를 통하여 수행될 수 있다. 또는, 제2 이벤트 변환기(4400)는 제2 계수(Ir)에 기초하여 출력 이벤트(Eo1, Eo2)에 대응되는 이벤트의 횟수 또는 빈도를 결정하는 데시메이터 또는 인터플레이터를 이용하여, 이벤트 변환을 수행할 수 있다. 도 7에서 설명된 바와 같이, 제7 및 제8 스위치들(SW7, SW8) 및 제3 및 제4 커패시터들(Crp, Crn) 대신에, 제1 및 제2 전류원들이 제2 이벤트 변환기(4400)에 제공될 수 있다.

[0081] 일례로, 제2 출력 이벤트(Eo2)가 제7 스위치(SW7)에 제공되고, 제1 출력 이벤트(Eo1)가 제8 스위치(SW8)에 제공되도록, 이벤트 생성 회로(4300)는 제어 회로(미도시)를 더 포함할 수 있다. 제어 회로(미도시)는 출력 이벤트(Eout) 중 포지티브 레벨의 제1 출력 이벤트(Eo1)를 선별하여, 제8 스위치(SW8)로 전달하고, 출력 이벤트(Eout) 중 네거티브 레벨의 제2 출력 이벤트(Eo2)를 선별하여, 제7 스위치(SW7)로 전달할 수 있다. 다만, 이에 제한되지 않고, 제5 스위치(SW5)가 네거티브 레벨의 출력 이벤트(Eout)에 응답하여 턴-온 되고, 제6 스위치(SW6)가 포지티브 레벨의 출력 이벤트(Eout)에 응답하여 턴-온 되도록 구현될 수 있다.

[0082] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단 순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0083] 100, 1200, 2200, 3300, 4300: 이벤트 생성 회로

110, 1210: 시간 적분기

120, 1220, 2220, 4320: 비교기

130, 1230, 2230, 4330: 리셋 회로

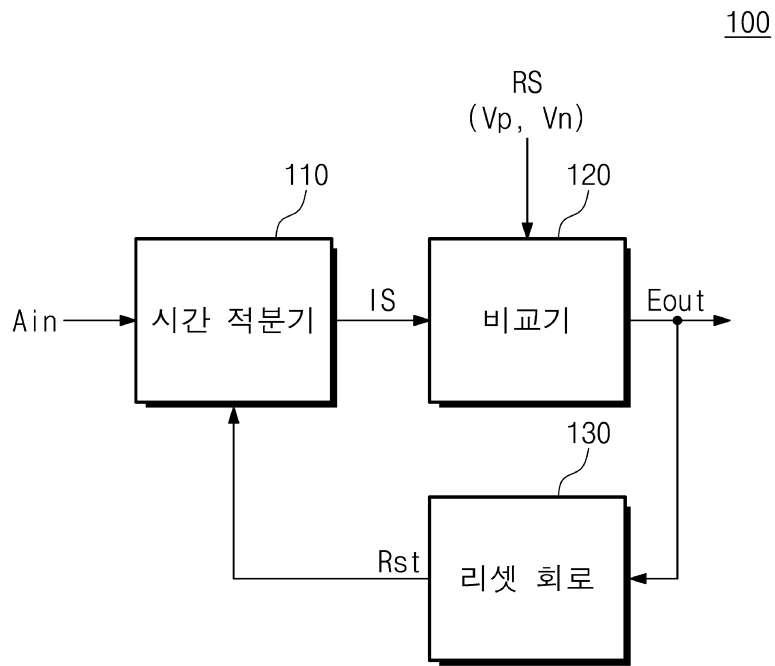
1000, 2000: 이벤트 증폭기

1100, 2100: 이벤트 적분기

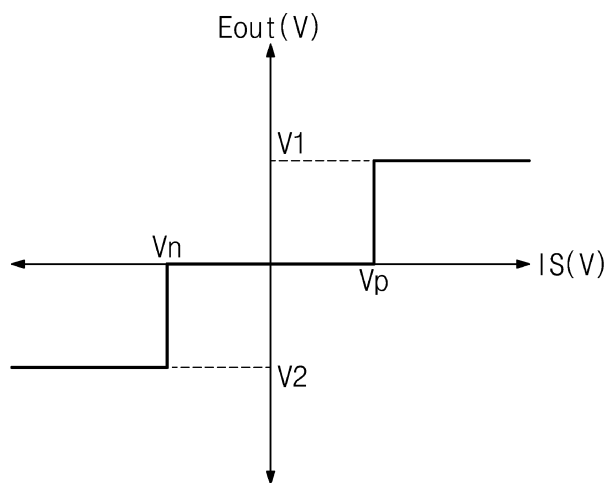
3000, 4000: 이벤트 처리 회로

도면

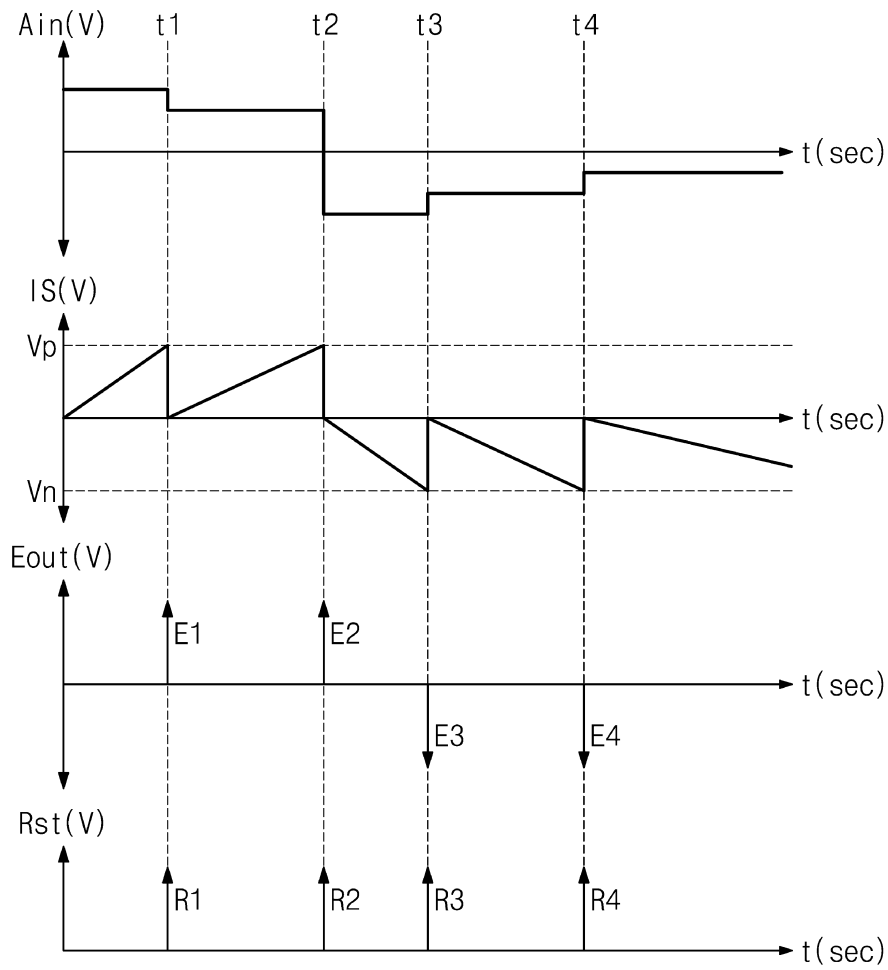
도면1



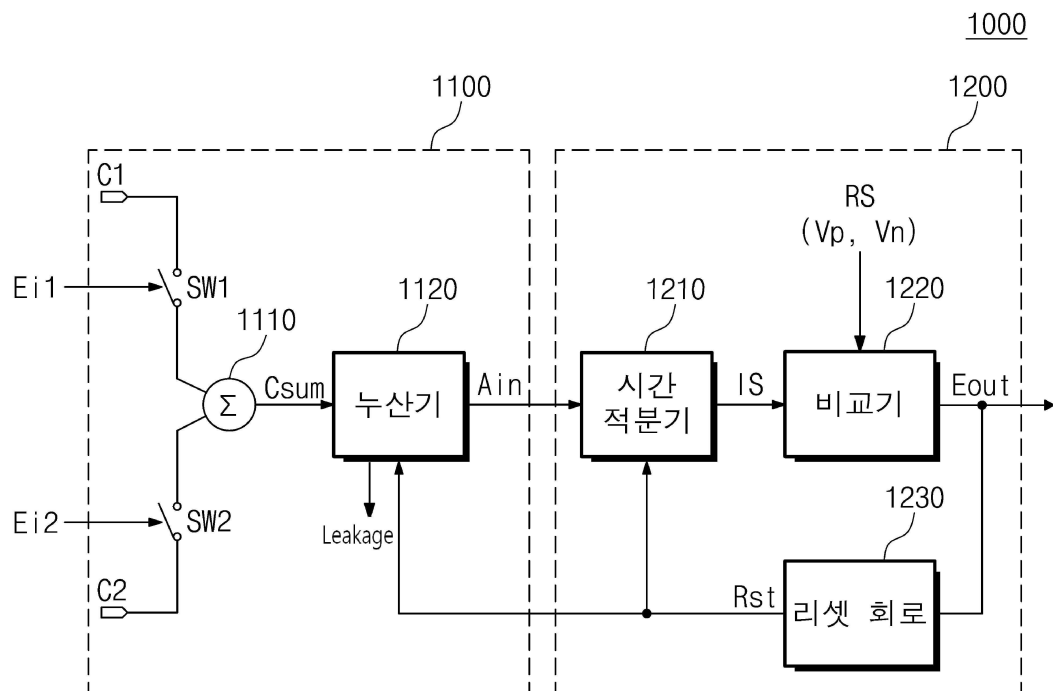
도면2



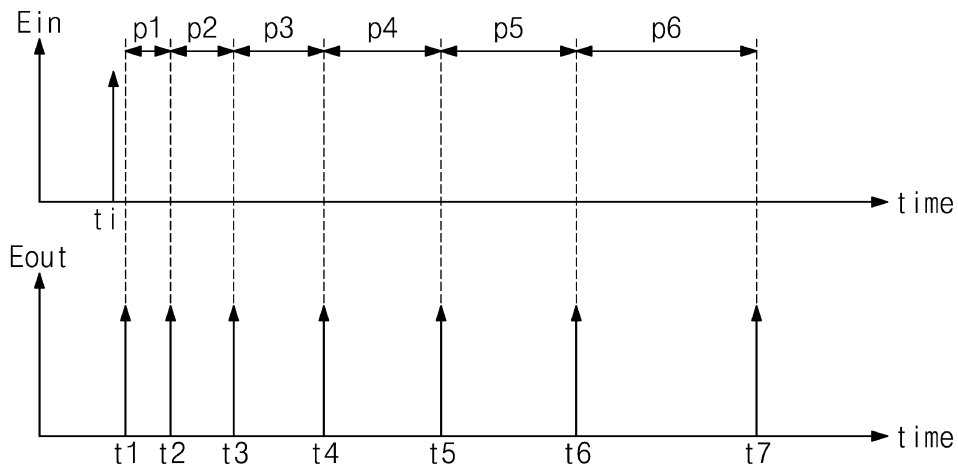
도면3



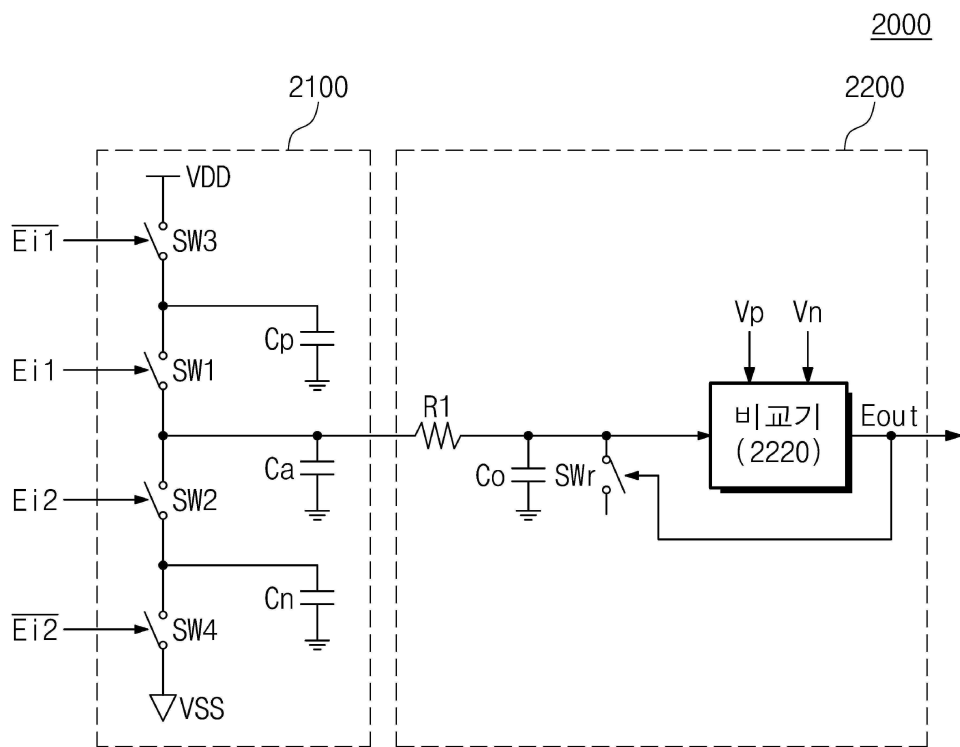
도면4



도면5

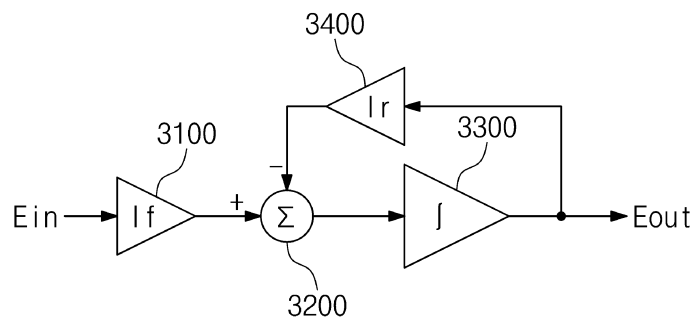


도면6



도면7

3000



도면8

