



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0093215
(43) 공개일자 2020년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 29/66 (2006.01) H01L 51/05 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02631 (2013.01)
(21) 출원번호 10-2019-0010408
(22) 출원일자 2019년01월28일
심사청구일자 2019년01월28일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김현재
서울특별시 마포구 마포대로 195, 402동 1101호(아현동, 마포 래미안 푸르지오)
나재원
서울특별시 동작구 상도로 320, 108동 1302호(상도동, 중앙하이츠빌아파트)
(74) 대리인
김연권

전체 청구항 수 : 총 11 항

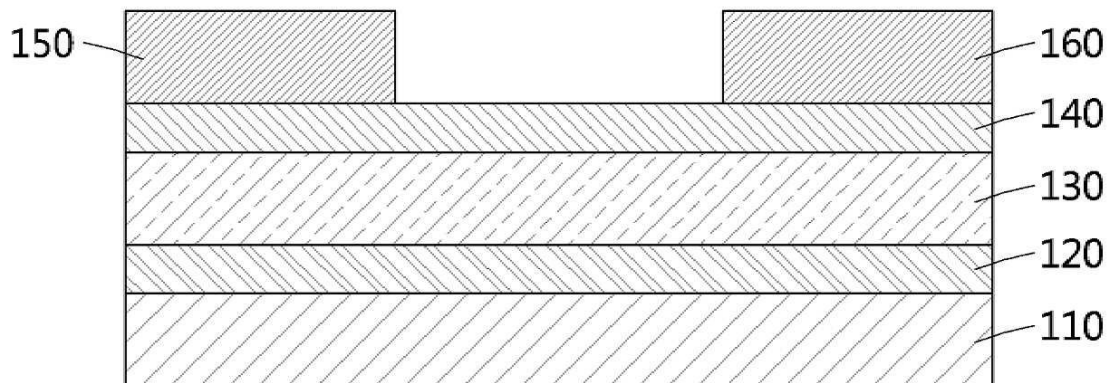
(54) 발명의 명칭 이중 채널층을 구비한 박막 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 이중 채널층을 구비한 박막 트랜지스터 및 그 제조 방법에 관한 것으로서, 일실시예에 따른 박막 트랜지스터는 기판과, 기판 상에 형성된 게이트 전극과, 게이트 전극 상에 형성된 게이트 절연층과, 게이트 절연층 상에 형성되고, 산화물 반도체를 포함하는 제1 반도체층과, 제1 반도체층 상에 형성되고, 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체를 포함하는 제2 반도체층 및 제2 반도체층 상에 서로 이격되도록 형성된 소스 전극 및 드레인 전극을 포함할 수 있다.

대표도 - 도1

100



(52) CPC특허분류

H01L 29/66742 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/78696 (2013.01)

H01L 51/0508 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017R1A2B3008719

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 지능형 디스플레이를 위한 산화물 기반 CMOS image-sensor on panel (CIP) 기술 개발(2/3)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성되고, 산화물 반도체를 포함하는 제1 반도체층;

상기 제1 반도체층 상에 형성되고, 유기 반도체 및 유기 절연물 중 적어도 하나와 상기 산화물 반도체를 포함하는 제2 반도체층 및

상기 제2 반도체층 상에 서로 이격되도록 형성된 소스 전극 및 드레인 전극

을 포함하는 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 제2 반도체층은

상기 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 소수성 특성이 조절되는 것을 특징으로 하는

박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 제2 반도체층은

상기 유기 반도체 및 유기 절연물 중 적어도 하나의 부피 비율(Volumetric ratio)이 1% 내지 25%인 것을 특징으로 하는

박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 제2 반도체층은

코-스퍼터링법(Co-sputtering)을 통해 형성되는 것을 특징으로 하는

박막 트랜지스터.

청구항 5

제1항에 있어서,

상기 산화물 반도체는

인듐 갈륨 징크 옥사이드(Indium-gallium-zinc oxide, IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 적어도 하나를 포함하는

박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 유기 반도체 및 유기 절연물 중 적어도 하나는

PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함하는

박막 트랜지스터.

청구항 7

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 산화물 반도체를 포함하는 제1 반도체층을 형성하는 단계;

상기 제1 반도체층 상에 유기 반도체 및 유기 절연물 중 적어도 하나와 상기 산화물 반도체를 포함하는 제2 반도체층을 형성하는 단계 및

상기 제2 반도체층 상에 소스 전극 및 드레인 전극을 서로 이격되도록 형성하는 단계를 포함하는 박막 트랜지스터의 제조방법.

청구항 8

제7항에 있어서,

상기 제2 반도체층은

상기 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 소수성 특성이 조절되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

청구항 9

제7항에 있어서,

상기 제2 반도체층을 형성하는 단계는

코-스퍼터링법(Co-sputtering)을 통해 상기 제2 반도체층을 형성하는

박막 트랜지스터의 제조방법.

청구항 10

제7항에 있어서,

상기 제2 반도체층을 형성하는 단계는

20W 내지 80W 범위 내의 스퍼터링 파워(Sputtering power)로 상기 유기 반도체 및 유기 절연물 중 적어도 하나를 증착하여 상기 제2 반도체층을 형성하는

박막 트랜지스터의 제조방법.

청구항 11

제7항에 있어서,

상기 유기 반도체 및 유기 절연물 중 적어도 하나는

PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함하는

박막 트랜지스터의 제조방법.

발명의 설명

기술 분야

- [0001] 본 발명은 박막 트랜지스터 및 그 형성 방법에 관한 것으로서, 보다 상세하게는 산화물 박막 트랜지스터의 채널층을 이중 채널층으로 형성하는 기술적 사상에 관한 것이다.

배경 기술

- [0002] 최근 디스플레이가 초고해상도 및 대면적을 갖도록 제조됨에 따라 백플레인에 적용될 박막 트랜지스터에 대한 연구가 계속되고 있으며, 박막 트랜지스터의 반도체 박막으로 산화물 반도체를 이용하는 기술이 개발되었다.
- [0003] 박막 트랜지스터에서 IGZO(Indium gallium zinc oxide)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 산화물 반도체를 이용할 경우 별도의 장비를 추가적으로 구입하지 않고도 기존의 장비를 이용할 수 있어 차세대 트랜지스터로 주목받고 있다.
- [0004] 최근 산화물 박막 트랜지스터는 유연성(Flexibility) 등의 특성을 구현하기 위해 산화물 반도체와 유기 반도체를 혼합하여 채널층을 구현하기 위한 연구가 활발히 이루어지고 있다.
- [0005] 그러나, 혼합 채널층으로 구현된 기존 산화물 박막 트랜지스터는 유기 반도체의 함량이 늘어날수록 박막 트랜지스터 특성이 하락 한다는 문제가 있다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 한국공개특허 제10-2015-0059681호 "이중 채널층을 가진 박막 트랜지스터"

발명의 내용

해결하려는 과제

- [0007] 본 발명은 박막 트랜지스터 특성의 저하를 최소화하면서, 소수성(Hydrophobicity) 및 유연성(Flexibility) 특성을 향상시킬 수 있는 박막 트랜지스터 및 그 제조방법을 제공하고자 한다.
- [0008] 본 발명은 산화물 반도체 타겟과 유기물 타겟을 이용한 코-스퍼터링법(Co-sputtering) 방법으로 반도체층을 형성하여 이동도의 저하를 최소화시키고, PBS 및 NBIS 특성을 향상시킬 수 있다.

과제의 해결 수단

- [0009] 일실시예에 따른 박막 트랜지스터는 기판과, 기판 상에 형성된 게이트 전극과, 게이트 전극 상에 형성된 게이트 절연층과, 게이트 절연층 상에 형성되고, 산화물 반도체를 포함하는 제1 반도체층과, 제1 반도체층 상에 형성되고, 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체를 포함하는 제2 반도체층 및 제2 반도체층 상에 서로 이격되도록 형성된 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0010] 일측에 따르면, 제2 반도체층은 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 소수성 특성이 조절될 수 있다.
- [0011] 일측에 따르면, 제2 반도체층은 유기 반도체 및 유기 절연물 중 적어도 하나의 부피 비율(Volumetric ratio)이 1% 내지 25%일 수 있다.
- [0012] 일측에 따르면, 제2 반도체층은 코-스퍼터링법(Co-sputtering)을 통해 형성될 수 있다.
- [0013] 일측에 따르면, 산화물 반도체는 인듐 갈륨 징크 옥사이드(Indium-gallium-zinc oxide, IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 적어도 하나를 포함할 수 있다.

[0014] 일측에 따르면, 유기 반도체 및 유기 절연물 중 적어도 하나는 PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함할 수 있다.

[0015] 일실시예에 따른 박막 트랜지스터의 제조방법은 기판 상에 게이트 전극을 형성하는 단계와, 게이트 전극 상에 게이트 절연층을 형성하는 단계와, 게이트 절연층 상에 산화물 반도체를 포함하는 제1 반도체층을 형성하는 단계와, 제1 반도체층 상에 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체를 포함하는 제2 반도체층을 형성하는 단계 및 제2 반도체층 상에 소스 전극 및 드레인 전극을 서로 이격되도록 형성하는 단계를 포함할 수 있다.

[0016] 일측에 따르면, 제2 반도체층은 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 소수성 특성이 조절될 수 있다.

[0017] 일측에 따르면, 제2 반도체층을 형성하는 단계는 코-스퍼터링법(Co-sputtering)을 통해 제2 반도체층을 형성할 수 있다.

[0018] 일측에 따르면, 제2 반도체층을 형성하는 단계는 20W 내지 80W 범위 내의 스퍼터링 파워(Sputtering power)로 유기 반도체 및 유기 절연물 중 적어도 하나를 증착하여 제2 반도체층을 형성할 수 있다.

[0019] 일측에 따르면, 유기 반도체 및 유기 절연물 중 적어도 하나는 PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함할 수 있다.

발명의 효과

[0020] 일실시예에 따르면, 박막 트랜지스터 특성의 저하를 최소화하면서, 소수성(Hydrophobicity) 및 유연성(Flexibility) 특성을 향상시킬 수 있다.

[0021] 일실시예에 따르면, 산화물 반도체 타겟 및 유기물 타겟을 이용한 코-스퍼터링법(Co-sputtering) 방법으로 반도체층을 형성하여 이동도 특성의 저하를 최소화하고, PBS 및 NBIS 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0022] 도 1은 일실시예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.

도 2a 내지 도 2b는 단일 채널층을 구비한 박막 트랜지스터의 이동도 특성을 설명하기 위한 도면이다.

도 3a 내지 도 3b는 이중 채널층을 구비한 박막 트랜지스터의 이동도 특성을 설명하기 위한 도면이다.

도 4a 내지 도 4b는 일실시예에 따른 박막 트랜지스터의 PBS 특성을 설명하기 위한 도면이다.

도 5a 내지 도 5b는 일실시예에 따른 박막 트랜지스터의 NBIS 특성을 설명하기 위한 도면이다.

도 6은 일실시예에 따른 박막 트랜지스터의 물 내성 특성을 설명하기 위한 도면이다.

도 7a 내지 도 7e는 일실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0024] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0025] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0026] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0027] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0032] 도 1은 일실시예에 따른 박막 트랜지스터를 설명하기 위한 도면이다.
- [0033] 도 1을 참조하면, 일실시예에 따른 박막 트랜지스터(100)는 박막 트랜지스터 특성의 저하를 최소화하면서, 소수성(Hydrophobicity) 및 유연성(Flexibility) 특성을 향상시킬 수 있다.
- [0034] 또한, 박막 트랜지스터(100)는 산화물 반도체 타겟 및 유기물 타겟을 이용한 코-스퍼터링법(Co-sputtering) 방법으로 반도체층을 형성하여 이동도 특성의 저하를 최소화하고, PBS 및 NBIS 특성을 향상시킬 수 있다.
- [0035] 이를 위해, 일실시예에 따른 박막 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 제1 반도체층(130), 제2 반도체층(140), 소스 전극(150) 및 드레인 전극(160)을 포함할 수 있다.
- [0036] 일실시예에 따른 제1 반도체층(130) 및 제2 반도체층(140)은 박막 트랜지스터(100)의 이중 채널층일 수 있다.
- [0037] 구체적으로, 일실시예에 따른 게이트 전극(110)은 기판(미도시) 상에 형성될 수 있다.
- [0038] 예를 들면, 기판은 박막 트랜지스터를 형성하기 위한 베이스 기판으로서, 당 분야에서 사용하는 기판으로서 그 재질을 특별하게 한정하는 것은 아니나, 실리콘, 유리, 플라스틱 또는 금속 호일(foil) 등의 다양한 재질을 사용할 수 있다.
- [0039] 기판으로 실리콘이 사용되는 경우 실리콘의 표면에 실리콘 산화층이 형성된 기판을 사용할 수 있고, 실리콘은 기판인 동시에 게이트 전극(110)으로 사용되고, 실리콘 산화층은 게이트 절연층(120)으로 사용될 수 있다.
- [0040] 즉, 실시예에 따라, 기판은 베이스 기판인 동시에 게이트 전극(110)으로 사용될 수도 있다.
- [0041] 또한, 게이트 전극(110)은 전기 전도도 물질인 금속 또는 금속 산화물이 사용될 수 있다. 구체적으로, 게이트 전극(110)은 몰리브덴(Mo), 알루미늄(Al), 크로뮴(Cr), 금(Au), 티타늄(Ti) 및 은(Ag) 중 적어도 어느 하나를 포함하는 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 적어도 어느 하나를 포함하는 금속 산화물 중 적어도 어느 하나의 재질을 사용할 수 있다.
- [0042] 게이트 전극(110)은 판 형태이거나, 기판 상에 몰리브덴(Mo) 또는 알루미늄(Al)과 같은 금속 물질을 증착 및 패터닝하여 특정 패턴을 갖도록 형성될 수 있다. 또는, p+-Si 웨이퍼를 게이트 전극(110)으로 사용할 수도 있다.
- [0043] 게이트 전극(110)이 특정 패턴을 갖도록 형성되는 경우, 기판 상에 게이트 도전막(미도시)을 증착하고, 게이트 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로

패터닝함으로써 형성될 수 있다.

- [0044] 게이트 전극(110)은 진공 증착법(Vacuum deposition), 화학 기상 증착법(Chemical vapor deposition), 물리 기상 증착법(Physical vapor deposition), 원자층 증착법(Atomic layer deposition), 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(Spin coating), 딥 코팅(Dip coating) 및 존 캐스팅(Zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0045] 일실시예에 따른 게이트 절연층(120)은 게이트 전극(110) 상에 형성될 수 있다.
- [0046] 예를 들면, 게이트 절연층(120)은 진공 증착법(Vacuum deposition), 화학 기상 증착법(Chemical vapor deposition), 물리 기상 증착법(Physical vapor deposition), 원자층 증착법(Atomic layer deposition), 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(Spin coating), 딥 코팅(Dip coating) 및 존 캐스팅(Zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0047] 바람직하게는, 게이트 절연층(120)은 게이트 절연층(120)을 형성하기 위한 용액을 이용한 스핀 코팅에 의해 형성될 수 있고, 스핀 코팅은 기판 상에 게이트 절연층(120)을 형성하기 위한 용액을 일정량 떨어뜨리고 기판을 고속으로 회전시켜서 게이트 절연층(120)을 형성하기 위한 용액에 가해지는 원심력으로 코팅하는 방법으로, 스핀 코팅을 이용하면 증착 공정에 비하여 생산 비용을 절감시킬 수 있고, 공정 기술의 단순화를 통하여 공정 비용 및 공정 시간을 감소시킬 수 있다.
- [0048] 한편, 게이트 절연층(120)은 일반적인 반도체 공정에서 사용되는 절연 물질을 사용될 수 있다. 예를 들어, 실리콘 산화물(SiO_2) 또는 실리콘 산화물(SiO_2)보다 유전율이 높은 High-K 물질인 하프늄 산화물(HfO_2), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2) 및 실리콘 질화물(Si_3N_4) 중 적어도 어느 하나를 포함할 수 있다.
- [0049] 일실시예에 따른 제1 반도체층(130)은 게이트 절연층(120) 상에 형성되고, 산화물 반도체를 포함할 수 있다.
- [0050] 일측에 따르면, 산화물 반도체는 인듐 갈륨 징크 옥사이드(Indium-gallium-zinc oxide, IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 적어도 하나를 포함할 수 있다.
- [0051] 바람직하게는, 제1 반도체층(130)은 산화물 반도체로서 IGZO를 포함할 수 있다.
- [0052] 일실시예에 따른 제2 반도체층(140)은 제1 반도체층(130) 상에 형성되고, 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체를 포함할 수 있다.
- [0053] 예를 들면, 제2 반도체층(140)의 구비되는 산화물 반도체는 제1 반도체층(130)에 구비되는 산화물 반도체와 동일한 물질이거나 다른 물질일 수 있다.
- [0054] 일측에 따르면, 제2 반도체층(140)은 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 소수성 특성이 조절될 수 있다.
- [0055] 보다 구체적으로, 제2 반도체층(140)은 유기 반도체 및 유기 절연물 중 적어도 하나의 부피 비율(Volumetric ratio)이 1% 내지 25% 일 수 있으며, 부피 비율을 스퍼터링 파워(Sputtering power)에 따라 조절될 수 있다.
- [0056] 예를 들면, 제2 반도체층(140)은 약 80W의 스퍼터링 파워를 인가하여 제2 반도체층(140) 전체에서 25%의 부피 비율을 갖는 유기 반도체 및/또는 유기 절연물을 형성할 수 있다.
- [0057] 일측에 따르면, 제2 반도체층(140)은 코-스퍼터링법(Co-sputtering)을 통해 형성될 수 있다.
- [0058] 보다 구체적으로, 제2 반도체층(140)은 산화물 반도체 타겟 및 유기물 타겟을 이용한 코-스퍼터링법으로 형성될 수 있다.
- [0059] 예를 들면, 유기물 타겟은 유기 반도체 타겟 및 유기 절연물 타겟 중 적어도 하나를 포함할 수 있다.
- [0060] 코-스퍼터링법은 RF 마그네트론 스퍼터링 장치 내에 산화물 반도체 타겟 및 유기물 타겟이 배치되고, 산화물 반도체 타겟 및 유기물 타겟의 스퍼터면이 기판을 향하게 하며, 각각의 스퍼터면을 서로 평행하게 또는 경사지게

배치한 상태에서, 산화물 반도체 타겟 및 유기물 타겟에 스퍼터링 파워(Sputtering power)를 인가할 수 있다. 여기서, 스퍼터면은, 코-스퍼터링 공정 시에 스퍼터 입자가 방출되는 면을 의미한다.

- [0061] 산화물 반도체 타겟 및 유기물 타겟은 각각 1개씩 사용하는 경우로 한정되지 않고, 동종의 타겟을 복수개 사용할 수도 있다. 산화물 반도체 타겟 및 유기물 타겟의 스퍼터면은, 양쪽의 스퍼터면을 서로 평행하게 또는 경사지게 하고, 각각의 스퍼터면이 이루는 각도는 60° 내지 180° , 바람직하게는, 각도를 90° 내지 170° 로 배치할 수 있다.
- [0062] 또한, RF 마그네트론 스퍼터링 장치는 코-스퍼터링에 필요한 챔버, 공정 가스를 챔버 내로 공급하기 위한 가스 공급수단 및 가스배기수단이 구비된다. 챔버는 진공 분위기를 형성하기 위한 것으로 별도의 배기펌프를 통해 챔버 내부를 진공 상태로 유지시키고, 가스공급수단은 챔버 내부로 아르곤(Ar)이나 산소(O) 등과 같은 공정 가스를 공급할 수 있다. 따라서, RF 마그네트론 스퍼터링 장치는 산화물 반도체 타겟 및 유기물 타겟에 공급되는 전압을 통해 방전에 의해 생성된 전자와 가스 분자와 충돌함으로써 공정 가스가 이온화되어 플라즈마가 생성된다. 바람직하게는, 공정 가스는 아르곤이 사용될 수 있다.
- [0063] 산화물 반도체 타겟 및 유기물 타겟에 각각의 RF 파워를 제공하면 플라즈마 형성과 동시에 두 물질의 동시 증착이 진행될 수 있다.
- [0064] 상술한 챔버, 가스공급수단 및 가스배기수단은 당업자로부터 용이하게 실시할 수 있는 공지의 기술로써 상세한 설명은 생략하기로 한다.
- [0065] 산화물 반도체 타겟 및 유기물 타겟의 물질인 산화물 반도체와 유기 반도체 및/또는 유기 절연물은 증착 속도가 상이하므로, 인가되는 파워를 제어하면 제2 반도체층(140)의 형성 속도를 적절하게 조절할 수 있다.
- [0066] 따라서, 산화물 반도체 타겟 및 유기물 타겟은 각각 서로 다른 파워가 인가될 수 있다.
- [0067] 산화물 반도체 타겟의 파워는 0W 내지 200W일 수 있고, 산화물 반도체 타겟의 파워가 200W를 초과하면 파워가 너무 높아져 트랜지스터 특성이 발생되지 않는 문제가 발생할 수 있다.
- [0068] 또한, 박막 트랜지스터(100)는 유기물 타겟의 스퍼터링 파워(Sputtering power)가 증가할수록 박막 트랜지스터(100)의 소수성이 증가될 수 있다. 즉, 박막 트랜지스터(100)는 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 제2 반도체층(140)의 소수성이 조절될 수 있다.
- [0069] 예를 들면, 유기물 타겟으로 PTFE 타겟을 사용하는 경우, 유기물 타겟의 스퍼터링 파워가 증가하면 유기물 타겟에 있는 불소가 제2 반도체층(140)으로 더 많이 유입되게 되어, 증가된 불소가 물 분자와의 반응성을 최소화함으로써, 제2 반도체층(140)의 소수성이 증가될 수 있다.
- [0070] 여기서, 유기물 타겟의 스퍼터링 파워는 20W 내지 80W일 수 있으나, 스퍼터링 파워는 전술한 예시에 한정되지 않고, 사용자가 목표로 하는 부피 비율을 달성하기 위해 다양한 크기의 파워로 조절될 수 있다.
- [0071] 한편, 제2 반도체층(140)의 수접촉각은 77.4° 내지 84.2° 일 수 있다.
- [0072] 수접촉각은 접촉각(Contact angle)의 각도가 증가할수록 소수성(Hydrophobicity)이 증가된다는 것을 의미한다.
- [0073] 일반적으로, 박막 트랜지스터에 사용되는 산화물 반도체는 친수성의 성질을 갖기 때문에 물과 같은 외부 환경에 노출 시, 스트레스에 대한 내성이 약한 문제가 있다.
- [0074] 그러나, 일실시예에 따른 박막 트랜지스터(100)는 제2 반도체층(140)을 코-스퍼터링 방법으로, 친수성 성질을 갖는 산화물 반도체 물질에 소수성 성질을 갖는 유기 반도체 및/또는 유기 절연물이 첨가되도록 형성함으로써, 제2 반도체층(140) 및 박막 트랜지스터(100)의 소수성이 증가하여 박막 트랜지스터(100)가 물과 같은 외부 환경에 대한 내성을 갖기 때문에 웨어러블 소자(Wearable device) 또는 피부 부착 소자(Skin-patchable device)와 같이 인체에 부착되는 소자에 사용하기에 용이하다.
- [0075] 따라서, 코-스퍼터링 방법은 종래의 코팅 또는 단일 증착법과는 달리 산화물 반도체 타겟 및 유기물 타겟의 파워를 조절함으로써 제2 반도체층(140)의 조성 및 조밀도를 다양하게 조절할 수 있다.
- [0076] 보다 구체적으로, 산화물 반도체 타겟 및 유기물 타겟의 파워를 각각 조절하게 되면 스퍼터링되는 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체의 비율이 조절되고 이에 따라 형성되는 제2 반도체층(140) 물질의 함량이 달라지게 되어 제2 반도체층(140)의 조성을 다양하게 변화시킬 수 있다.
- [0077] 일측에 따르면, 제2 반도체층(140)에 구비되는 유기 반도체 및 유기 절연물 중 적어도 하나는

PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함할 수 있다.

[0078] 바람직하게는, 제2 반도체층(140)은 IGZO 및 PTFE의 혼합 반도체로 구현될 수 있다.

[0079] 보다 구체적으로, PTFE는 높은 소수성(Hydrophobic) 특성과, 높은 유연성(Flexibility) 특성을 가지며, 융점(Melting point)이 327℃, 플라즈마 중합(Plasma polymerization)으로 인해 스퍼터링으로 형성 가능한 물질로서, 채널층 물질로 사용하여 박막 트랜지스터(100)에서 소수성 및 유연성 특성을 구현할 수 있다.

[0080] 즉, 일실시예에 따른 박막 트랜지스터(100)는 게이트 절연층(120) 상에 형성되는 제1 반도체층(130)과, 제1 반도체층(130) 상에 형성되는 제2 반도체층(140)을 포함하는 이중 채널층을 구비함으로써, 박막 트랜지스터 특성의 저하를 최소화하면서도 소수성(Hydrophobicity) 및 유연성(Flexibility) 특성을 향상시킬 수 있다.

[0081] 일실시예에 따른 소스 전극(150) 및 드레인 전극(160)은 제2 반도체층(140) 상에 서로 이격되도록 형성될 수 있다.

[0082] 소스 전극(150) 및 드레인 전극(160)은 제2 반도체층(140) 상에 소스/드레인 도전막을 증착하고, 소스/드레인 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 소스/드레인 도전막을 패터닝함으로써 형성될 수 있다.

[0083] 소스 전극(150) 및 드레인 전극(160)은 금속 물질로 형성될 수 있으며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다.

[0084] 소스 전극(150) 및 드레인 전극(160)은 진공 증착법(Vacuum deposition), 화학 기상 증착법(Chemical vapor deposition), 물리 기상 증착법(Physical vapor deposition), 원자층 증착법(Atomic layer deposition), 유기 금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(Spin coating), 딥 코팅(Dip coating) 및 존 캐스팅(Zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.

[0086] 도 2a 내지 도 2b는 단일 채널층을 구비한 박막 트랜지스터의 이동도 특성을 설명하기 위한 도면이다.

[0087] 도 2a 내지 도 2b를 참조하면, 참조부호 210은 IGZO 채널층(Pristine IGZO)과 10W 내지 70W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 단일 채널층의 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 특성을 나타낸다.

[0088] 참조부호 220은 IGZO 채널층과 10W 내지 70W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 단일 채널층의 이동도(Mobility) 특성을 나타낸다.

[0089] 구체적으로, IGZO 채널층과 10 내지 70W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 단일 채널층의 전계 효과 이동도(Field-effect mobility, μ_{FE}), 점멸비(On/Off), 문턱전압(V_{TH}) 및 문턱전압 이하에서의 기울기(Subthreshold swing, S.S.) 특성은 하기 표1과 같이 나타낼 수 있다.

[0090] [표1]

	μ_{FE} ($cm^2/V \cdot s$)	On/Off	V_{TH} (V)	S. S. (V/decade)
Pristine IGZO	12.19 ± 0.31	8.77E+07	0.67 ± 0.10	0.38
IGZO:10W PTFE	12.23 ± 0.42	8.31E+07	0.82 ± 0.09	0.38
IGZO:20W PTFE	10.27 ± 0.27	1.08E+08	0.86 ± 0.13	0.38
IGZO:30W PTFE	8.28 ± 0.72	1.12E+08	1.98 ± 0.16	0.41
IGZO:40W PTFE	3.16 ± 0.62	4.18E+07	2.93 ± 0.26	0.44
IGZO:50W PTFE	2.26 ± 0.31	2.96E+07	5.40 ± 0.21	0.46
IGZO:60W PTFE	0.86 ± 0.15	1.17E+07	9.12 ± 0.28	0.49
IGZO:70W PTFE	0.13 ± 0.04	1.01E+06	12.73 ± 0.33	0.58

[0091]

[0092] 표1에 따르면, IGZO 단일 채널층(Pristine IGZO)로부터 70W의 스퍼터링 파워에서 PTFE가 증착된 IGZO-PTFE 단일 채널층(IGZO:70W PTFE)로 갈수록 이동도 특성은 감소하고, 문턱전압은 증가하며, 문턱전압 이하에서의 기울기 특성이 증가하는 것을 확인할 수 있었다.

[0093] 특히, 참조부호 220에 따르면, 이동도 특성은 스퍼터링 파워가 30W에서 70W로 갈수록 급격히 감소하는 것을 확인할 수 있었다.

[0095] 도 3a 내지 도 3b는 이중 채널층을 구비한 박막 트랜지스터의 이동도 특성을 설명하기 위한 도면이다.

[0096] 도 3a 내지 도 3b를 참조하면, 참조부호 310은 기존 IGZO 채널층(Pristine IGZO)과 10W 내지 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 특성을 나타낸다.

[0097] 이하에서 설명하는 IGZO-PTFE 이중 채널층은 일실시예에 따른 박막 트랜지스터의 IGZO를 포함하는 제1 반도체층과, IGZO 및 PTFE가 혼합된 제2 반도체층이 적층되어 형성된 채널층일 수 있다.

[0098] 또한, 참조부호 320은 도 2b를 통해 설명한 IGZO-PTFE 단일 채널층(Single channel)과, 일실시예에 따른 박막 트랜지스터의 IGZO-PTFE 이중 채널층(Dual channel) 사이의 이동도 특성의 비교 결과를 나타낸다.

[0099] 구체적으로, IGZO 채널층과 10W 내지 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 전계 효과 이동도(Field-effect mobility, μ_{FE}), 점멸비(On/Off), 문턱전압(V_{TH}) 및 문턱전압 이하에서의 기울기(Subthreshold swing, S.S.) 특성은 하기 표2와 같이 나타낼 수 있다.

[0100] [표2]

	μ_{FE} ($cm^2/V\cdot s$)	On/Off	V_{TH} (V)	S. S. (V/decade)
Pristine IGZO	10.4	9.83E+10	0.77	0.33
IGZO:20W PTFE	10.09	1.99E+11	1.20	0.35
IGZO:40W PTFE	10.22	5.78E+11	1.29	0.37
IGZO:60W PTFE	8.57	7.40E+10	2.32	0.33
IGZO:80W PTFE	6.77	1.13E+11	2.16	0.35

[0101]

[0102] 참조부호 310 내지 320 및 표2에 따르면, 일실시예에 따른 박막 트랜지스터의 IGZO-PTFE 이중 채널층은 도 2b를 통해 설명한 IGZO-PTFE 단일 채널층과 비교 했을 때, PTFE(유기 절연물)의 농도가 높아지더라도 전기적 특성이 크게 하락 되지 않는 것으로 나타났다.

[0103] 보다 구체적인 예를 들면, 60W의 스퍼터링 파워에서 PTFE가 증착된 IGZO-PTFE 이중 채널층의 이동도는 $8.57\text{ Cm}^2/\text{Vs}$ 로서, IGZO-PTFE 단일 채널층의 이동도인 $0.86\text{ Cm}^2/\text{Vs}$ 보다 $7.71\text{ Cm}^2/\text{Vs}$ 높은 이동도 특성을 보였다.

[0105] 도 4a 내지 도 4b는 일실시예에 따른 박막 트랜지스터의 PBS 특성을 설명하기 위한 도면이다.

[0106] 도 4a 내지 도 4b를 참조하면, 참조부호 410의 (a)는 기존 IGZO 채널층(Pristine IGZO)을 구비하는 박막 트랜지스터의 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 특성을 나타내고, 참조부호 410의 (b), (c), (d), (e)는 20W, 40W, 60W, 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층을 구비하는 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타낸다.

[0107] 참조부호 420은 참조부호 410의 (a) 내지 (e)의 박막 트랜지스터들의 PBS(Positive bias stress) 수행 시간(Time)에 따른 문턱전압의 변화 특성(V_{th} shift)을 나타낸다.

[0108] 구체적으로, 기존 IGZO 채널층과 20W, 40W, 60W, 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 PBS 특성은 하기 표3과 같이 나타낼 수 있다.

[0109] [표3]

PBS duration	Pristine	20 W	40 W	60 W	80 W
0s	0	0	0	0	0
1s	0.35	0.14	0.22	0.22	0.19
10s	0.56	0.27	0.42	0.37	0.29
100s	1.34	0.71	0.95	0.71	0.49
1000s	3.62	2.19	2.21	1.65	1.07
10000s	4.94	3.52	3.48	3.31	2.23

[0110]

[0111] 참조부호 410 내지 420 및 표3에 따르면, PBS 수행 시간이 10000s일 때, 기존 IGZO 채널층과 20W, 40W, 60W, 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 문턱전압의 변화 특성은 각각 4.94V, 3.52V, 3.48V, 3.31V, 2.23V로 나타났다.

[0112] 다시 말해, 일실시예에 따른 박막 트랜지스터는 PTFE(유기 절연물) 농도가 높아질수록 PBS 특성이 향상되는 것으로 나타났다.

[0114] 도 5a 내지 도 5b는 일실시예에 따른 박막 트랜지스터의 NBIS 특성을 설명하기 위한 도면이다.

[0115] 도 5a 내지 도 5b를 참조하면, 참조부호 510의 (a)는 기존 IGZO 채널층(Pristine IGZO)을 구비하는 박막 트랜지스터의 게이트 전압(V_{GS})-드레인 전류(I_{DS}) 특성을 나타내고, 참조부호 510의 (b), (c)는 20W, 40W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층을 구비하는 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타낸다.

[0116] 또한, 참조부호 520은 510의 (a) 내지 (c)의 박막 트랜지스터들의 NBIS(Negative bias illumination stress) 수행 시간에 따른 문턱전압의 변화 특성(V_{th} shift)을 나타낸다.

[0117] 구체적으로, 기존 IGZO 채널층과 20W, 40W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 NBIS 특성은 하기 표4과 같이 나타낼 수 있다.

[0118] [표4]

NBIS duration	Pristine	20 W	40 W
0s	0	0	0
1s	0.50	0.04	0.02
10s	0.97	0.08	0.13
100s	2.60	0.45	0.66
1000s	12.51	4.34	4.41
10000s	16.63	12.56	12.66

[0119]

[0120] 참조부호 510 내지 520 및 표4에 따르면, NBIS 수행 시간이 10000s일 때, 기존 IGZO 채널층과 20W, 40W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 문턱전압의 변화 특성은 각각 16.63V, 12.56V, 12.66V로 나타났다.

[0121] 다시 말해, 일실시예에 따른 박막 트랜지스터는 기존 IGZO 채널층을 구비하는 박막 트랜지스터 보다 NBIS 특성이 향상되는 것으로 나타났다.

[0123] 도 6은 일실시예에 따른 박막 트랜지스터의 물 내성 특성을 설명하기 위한 도면이다.

[0124] 도 6을 참조하면, 참조부호 600의 (a), (b), (c), (d)는 20W, 40W, 60W, 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층을 구비하는 박막 트랜지스터의 게이트 전압-드레인 전류 특성을 나타낸다.

[0125] 구체적으로, 20W, 40W, 60W, 80W의 스퍼터링 파워에서 각각 PTFE가 증착된 IGZO-PTFE 이중 채널층의 전계 효과 이동도(Field-effect mobility, μ_{FE}), 점멸비(On/Off), 문턱전압(V_{TH}) 및 문턱전압 이하에서의 기울기(Subthreshold swing, S.S.) 특성은 하기 표5와 같이 나타낼 수 있다.

[0126] [표5]

	μ_{FE} ($cm^2/V \cdot s$)		On/Off		V_{TH} (V)		S. S. (V/decade)	
	20 W	40 W	20 W	40 W	20 W	40 W	20 W	40 W
0 s	10.09	10.22	1.99E+11	5.78E+11	1.20	1.29	0.35	0.37
3,600 s	7.49	8.81	1.27E+10	5.00E+09	4.93	3.16	0.55	0.51

[0127]

	μ_{FE} ($cm^2/V \cdot s$)		On/Off		V_{TH} (V)		S. S. (V/decade)	
	60 W	80 W	60 W	80 W	60 W	80 W	60 W	80 W
0 s	8.57	6.77	7.40E+10	1.13E+11	2.32	2.16	0.33	0.35
3,600 s	11.7	7.33	3.15E+08	6.07E+08	2.16	3.72	0.47	0.47

[0128]

[0129] 참조부호 600 및 표5에 따르면, 일실시예에 따른 박막 트랜지스터는 PTFE(유기 절연물) 농도가 높아질수록 물 저항(Water Resistance, 소수성) 특성이 향상되는 것으로 나타났다.

[0131] 도 7a 내지 도 7e는 일실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면이다.

[0132] 다시 말해, 도 7a 내지 도 7e는 도 1 내지 도 6을 통해 설명한 일실시예에 따른 박막 트랜지스터의 제조방법에 관한 도면으로, 이후 도 7a 내지 도 7e를 통해 설명하는 내용 중 일실시예에 따른 박막 트랜지스터를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0133] 구체적으로, 710 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 기판(미도시) 상에 게이트 전극(71)을 형성할 수 있다.

[0134] 예를 들면, 기판은 박막 트랜지스터를 형성하기 위한 베이스 기판으로서, 당 분야에서 사용하는 기판으로서 그 재질을 특별하게 한정하는 것은 아니나, 실리콘, 유리, 플라스틱 또는 금속 호일(foil) 등의 다양한 재질을 사용할 수 있다.

[0135] 또한, 게이트 전극(110)은 전기 전도도 물질인 금속 또는 금속 산화물이 사용될 수 있다. 구체적으로, 게이트 전극(110)은 몰리브덴(Mo), 알루미늄(Al), 크로뮴(Cr), 금(Au), 티타늄(Ti) 및 은(Ag) 중 적어도 어느 하나를 포함하는 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 및 ITZO(Indium Tin Zinc Oxide) 중 적어도 어느 하나를 포함하는 금속 산화물 중 적어도 어느 하나의 재질을 사용할 수 있다.

[0136] 다음으로, 720 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 게이트 전극(711) 상에 게이트 절연층(721)을 형성할 수 있다.

[0137] 바람직하게는, 게이트 절연층(120)은 게이트 절연층(120)을 형성하기 위한 용액을 이용한 스핀 코팅에 의해 형성될 수 있고, 스핀 코팅은 기판 상에 게이트 절연층(120)을 형성하기 위한 용액을 일정량 떨어뜨리고 기판을 고속으로 회전시켜서 게이트 절연층(120)을 형성하기 위한 용액에 가해지는 원심력으로 코팅하는 방법으로, 스핀 코팅을 이용하면 증착 공정에 비하여 생산 비용을 절감시킬 수 있고, 공정 기술의 단순화를 통하여 공정 비용 및 공정 시간을 감소시킬 수 있다.

[0138] 한편, 게이트 절연층(120)은 일반적인 반도체 공정에서 사용되는 절연 물질을 사용될 수 있다. 예를 들어, 실리콘 산화물(SiO_2) 또는 실리콘 산화물(SiO_2)보다 유전율이 높은 High-K 물질인 하프늄 산화물(HfO_2), 알루미늄

산화물(Al_2O_3), 지르코늄 산화물(ZrO_2) 및 실리콘 질화물(Si_3N_4) 중 적어도 어느 하나를 포함할 수 있다.

- [0139] 다음으로, 730 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 게이트 절연층(721) 상에 산화물 반도체를 포함하는 제1 반도체층(731)을 형성할 수 있다.
- [0140] 일측에 따르면, 산화물 반도체는 인듐 갈륨 징크 옥사이드(Indium-gallium-zinc oxide, IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 적어도 하나를 포함할 수 있다.
- [0141] 바람직하게는, 제1 반도체층(130)은 산화물 반도체로서 IGZO를 포함할 수 있다.
- [0142] 다음으로, 740 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 제1 반도체층(731) 상에 유기 반도체 및 유기 절연물 중 적어도 하나와 산화물 반도체를 포함하는 제2 반도체층(741)을 형성할 수 있다.
- [0143] 일측에 따르면, 제2 반도체층(741)은 유기 반도체 및 유기 절연물 중 적어도 하나의 농도에 따라 제2 반도체층의 소수성이 조절될 수 있다.
- [0144] 일측에 따르면, 740 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 코-스퍼터링법(Co-sputtering)을 통해 제2 반도체층을 형성할 수 있다.
- [0145] 보다 구체적으로, 보다 구체적으로, 제2 반도체층(140)은 산화물 반도체 타겟 및 유기물 타겟을 이용한 코-스퍼터링법으로 형성될 수 있으며, 산화물 반도체 타겟 및 유기물 타겟에 각각의 RF 파워를 제공하면 플라즈마 형성과 동시에 두 물질의 동시 증착이 진행될 수 있다.
- [0146] 일측에 따르면, 740 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 20W 내지 80W 범위 내의 스퍼터링 파워(Sputtering power)로 유기 반도체 및 유기 절연물 중 적어도 하나를 증착하여 제2 반도체층(741)을 형성할 수 있다.
- [0147] 또한, 730 내지 740 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 제1 반도체층(731)을 3분간 증착하고, 제2 반도체층(741)을 2분간 증착하여 이중 채널층을 형성할 수도 있다.
- [0148] 일측에 따르면, 제2 반도체층(741)의 유기 반도체 및 유기 절연물 중 적어도 하나는 PTFE(Polytetrafluorethylene), PI(Polyimide) 및 PMMA(Polymethylmethacrylate) 중 적어도 하나의 물질을 포함할 수 있다.
- [0149] 다음으로, 750 단계에서 일실시예에 따른 박막 트랜지스터의 제조방법은 제2 반도체층(741) 상에 소스 전극(751) 및 드레인 전극(752)을 서로 이격되도록 형성할 수 있다.
- [0150] 예를 들면, 소스 전극(751) 및 드레인 전극(752)은 금속 물질로 형성될 수 있으며, 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다.
- [0152] 결국, 본 발명을 이용하면, 박막 트랜지스터 특성의 저하를 최소화하면서, 소수성(Hydrophobicity) 및 유연성(Flexibility) 특성을 향상시킬 수 있다.
- [0153] 또한, 본 발명은 산화물 반도체 타겟 및 유기물 타겟을 이용한 코-스퍼터링법(Co-sputtering) 방법으로 반도체층을 형성하여 이동도 특성의 저하를 최소화하고, PBS 및 NBIS 특성을 향상시킬 수 있다.
- [0155] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설

명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소 (processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서 (parallel processor)와 같은, 다른 처리 구성 (processing configuration)도 가능하다.

[0156] 소프트웨어는 컴퓨터 프로그램 (computer program), 코드 (code), 명령 (instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로 (collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소 (component), 물리적 장치, 가상 장치 (virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파 (signal wave)에 영구적으로, 또는 일시적으로 구체화 (embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0157] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

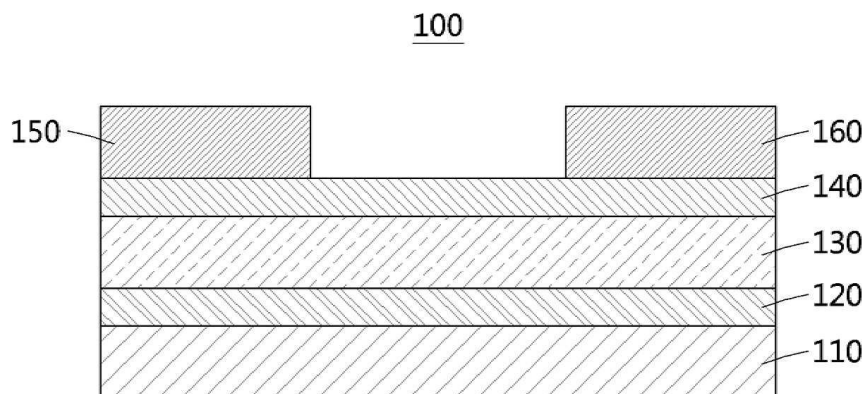
[0158] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

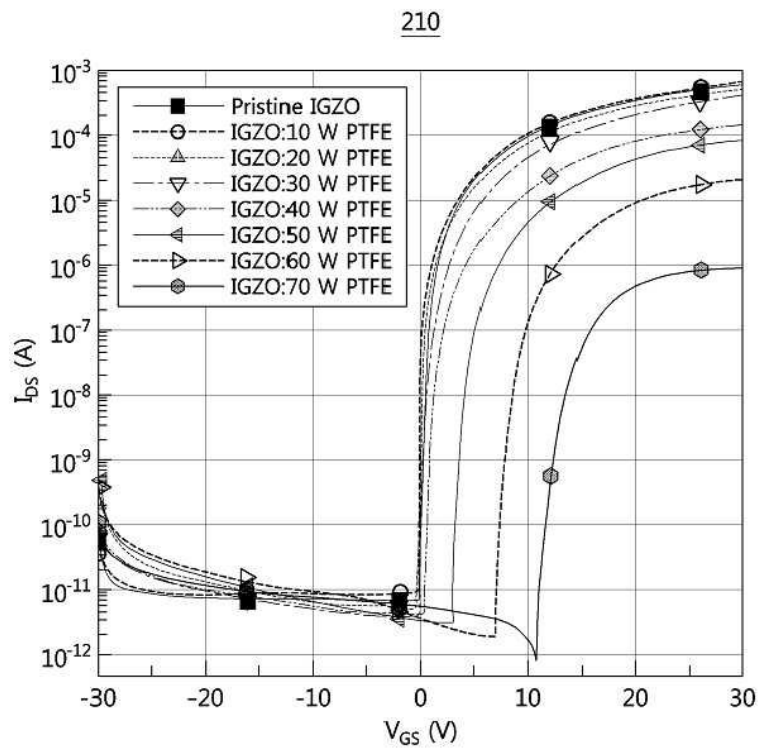
[0159] 100: 박막 트랜지스터 110: 게이트 전극
120: 게이트 절연층 130: 제1 반도체층
140: 제2 반도체층 150: 소스 전극
160: 드레인 전극

도면

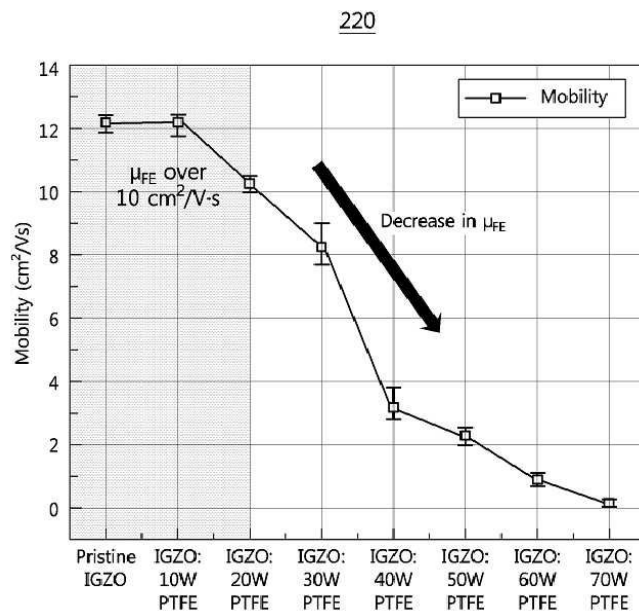
도면1



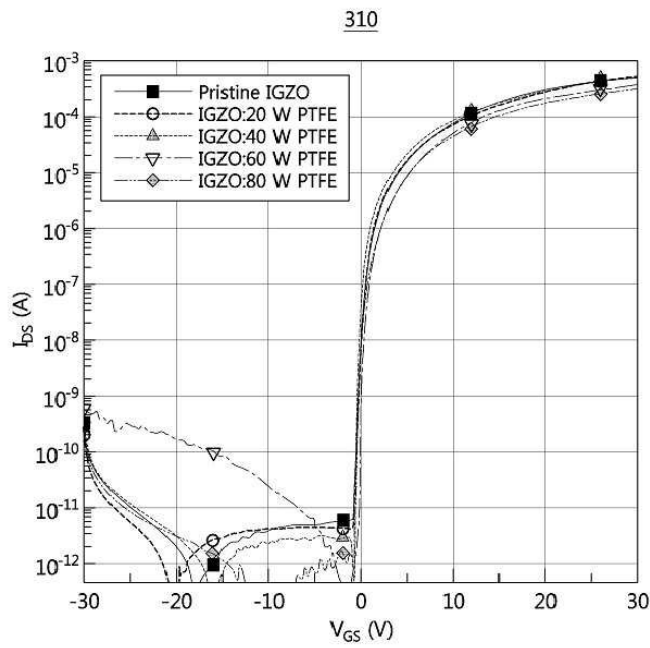
도면2a



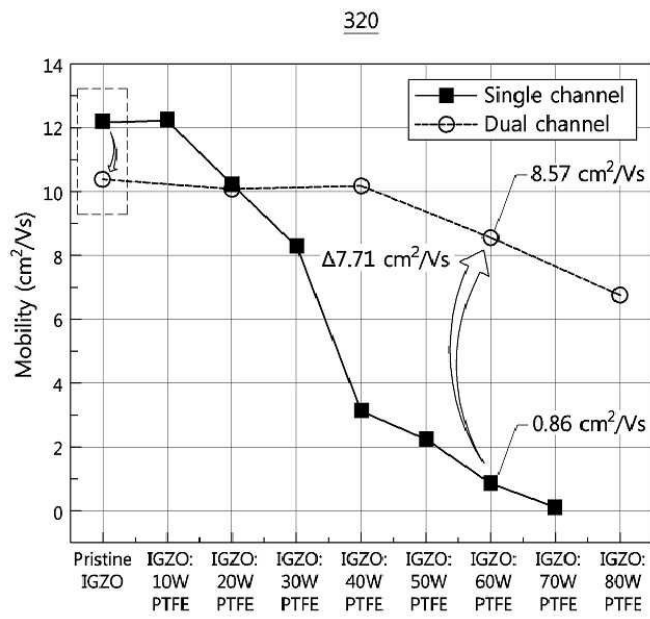
도면2b



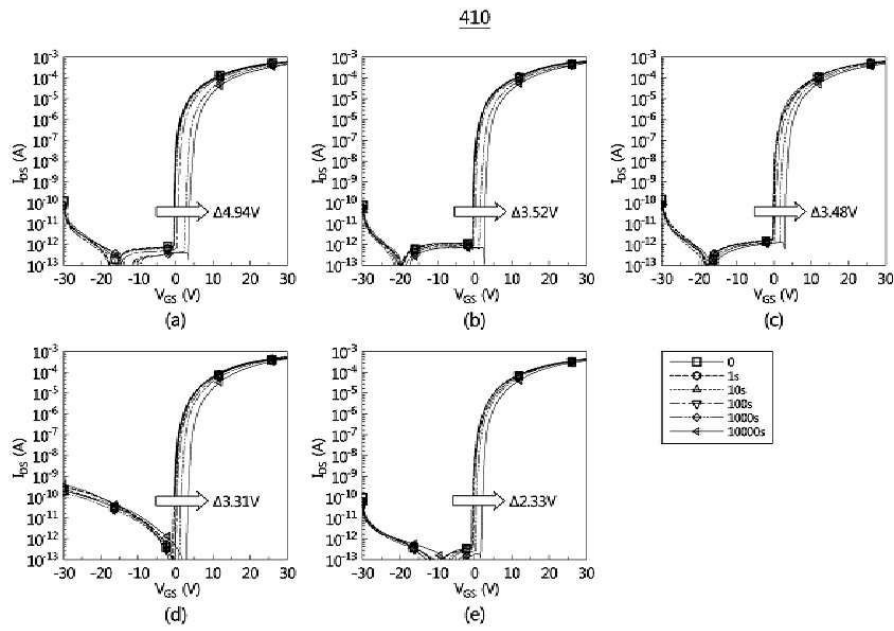
도면3a



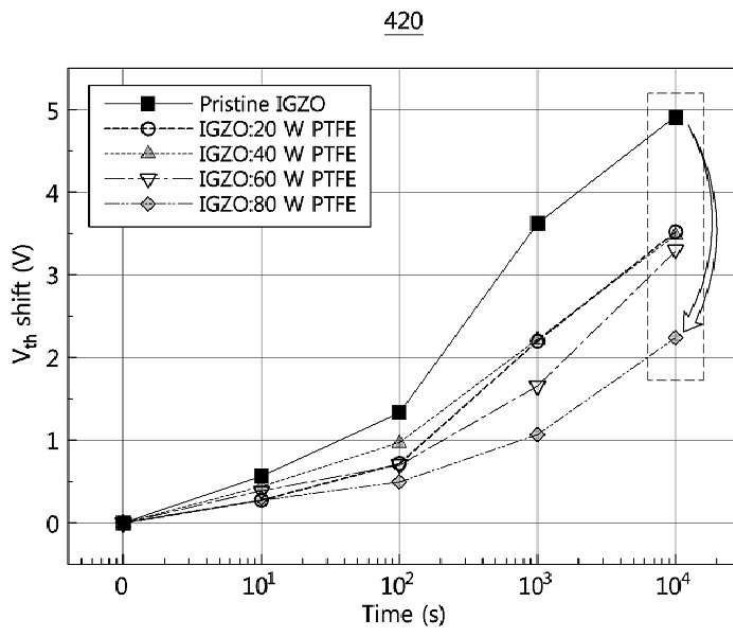
도면3b



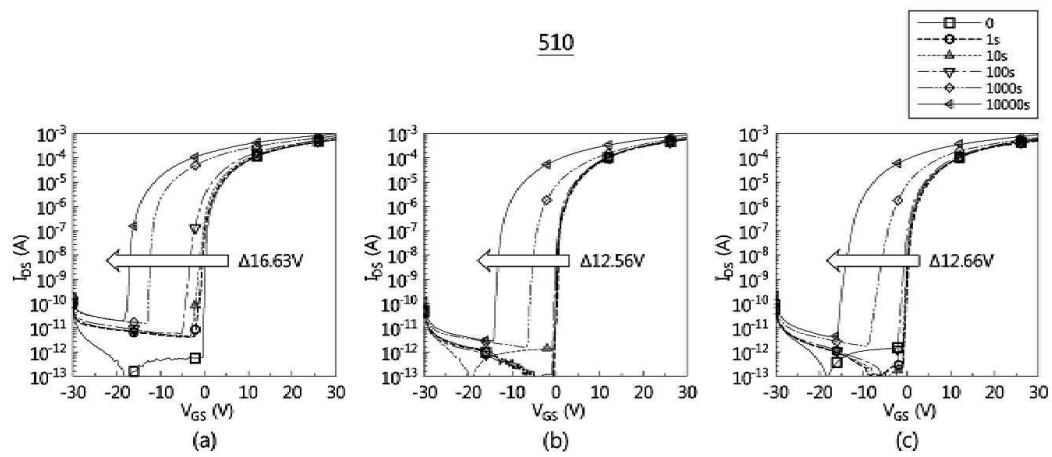
도면4a



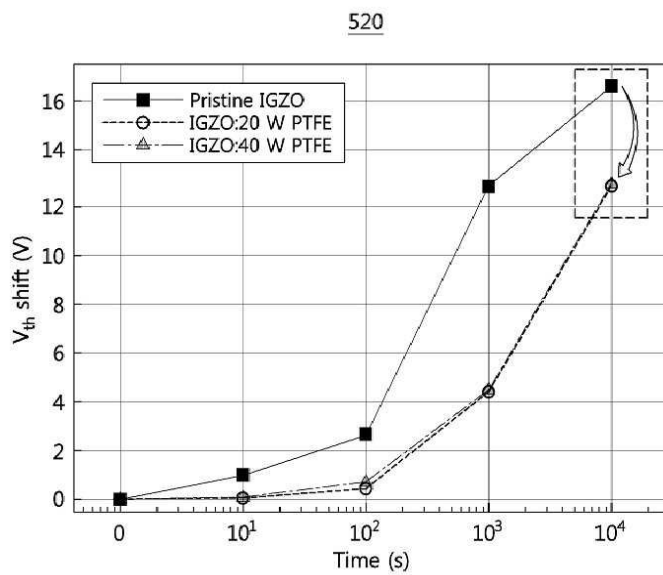
도면4b



도면5a

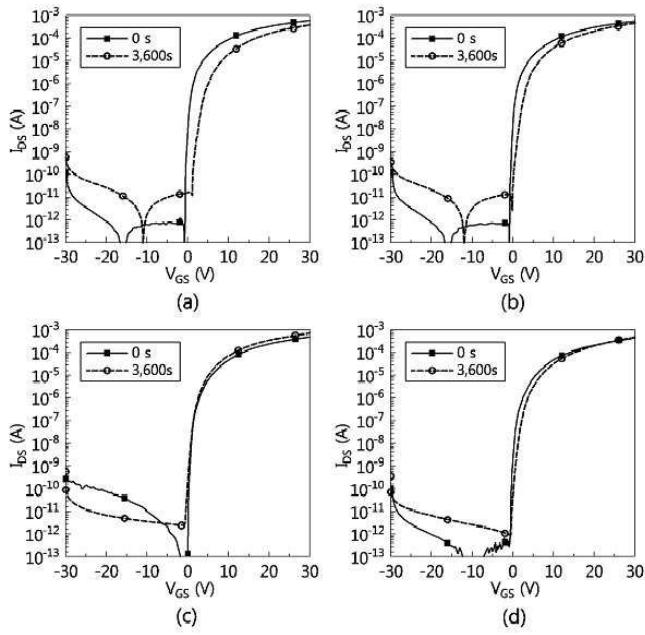


도면5b



도면6

600



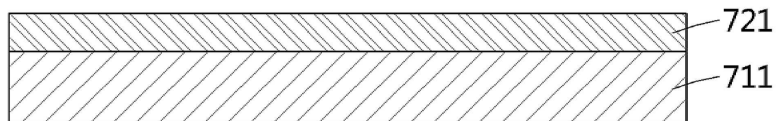
도면7a

710



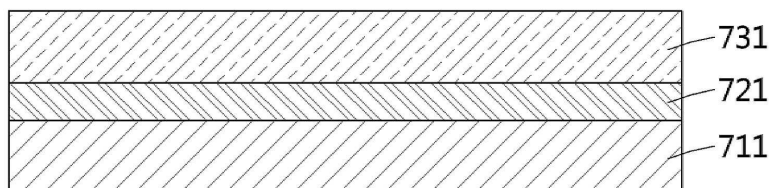
도면7b

720

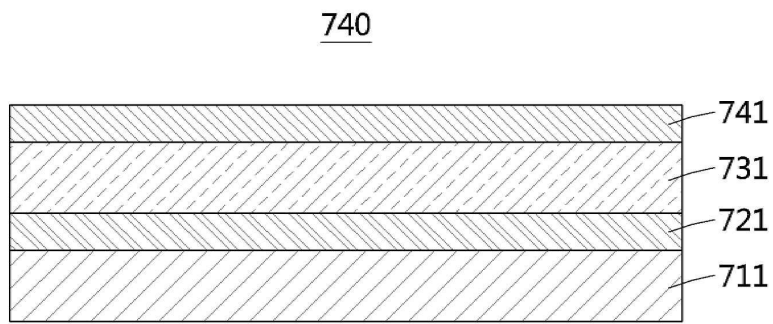


도면7c

730



도면7d



도면7e

