



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0083055  
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)  
H01L 25/065 (2006.01) H01L 21/321 (2006.01)  
H01L 23/13 (2006.01) H01L 23/29 (2006.01)  
H01L 23/48 (2006.01) H01L 27/146 (2006.01)  
(52) CPC특허분류  
H01L 25/0657 (2013.01)  
H01L 21/3212 (2013.01)  
(21) 출원번호 10-2018-0174284  
(22) 출원일자 2018년12월31일  
심사청구일자 2018년12월31일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
성균관대학교산학협력단  
경기도 수원시 장안구 서부로 2066 (천천동, 성균관대학교내)  
(72) 발명자  
고대홍  
경기도 고양시 일산서구 강선로 116 강선마을2단지아파트 203동 503호  
김형섭  
서울특별시 서초구 명달로9길 57, 방배아트자이 105동 604호  
(뒷면에 계속)  
(74) 대리인  
김권석

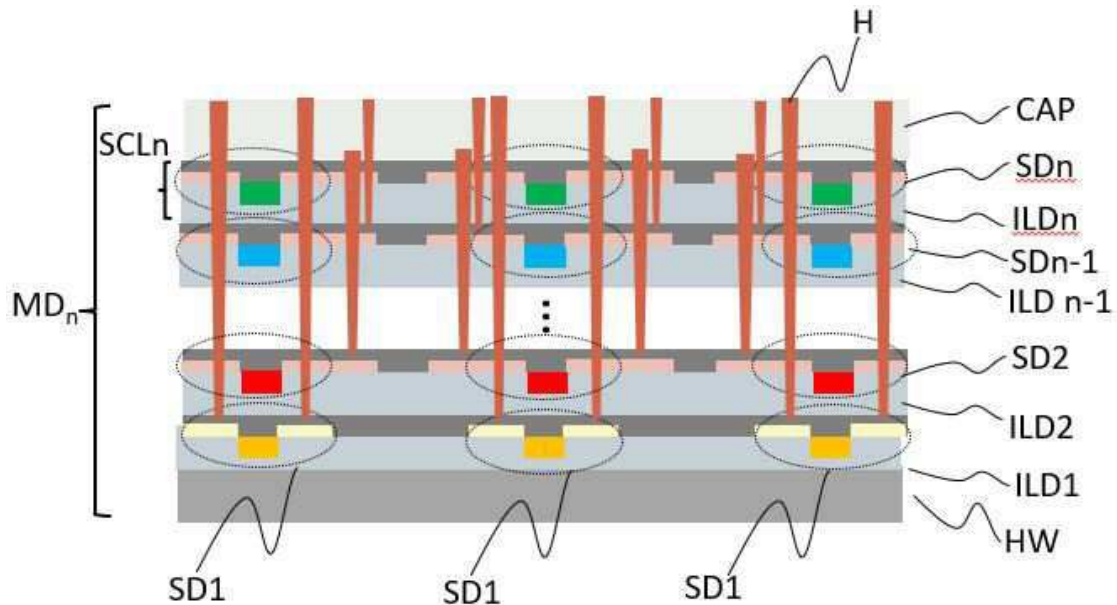
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 3 차원 적층 소자 제조 방법

(57) 요약

본 발명은 3 차원 적층 소자 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따른 3 차원 적층 소자 제조 방법은 제 1 베이스층, 상기 제 1 베이스층 상의 제 1 회생층, 상기 제 1 회생층 상의 적어도 하나 이상의 제 1 소자가 형성된 제 1 반도체 층 및 상기 제 1 반도체 층을 덮어 상기 제 1 소자를 절연시키는 제 1 페시베이션층을  
(뒷면에 계속)

대표도 - 도1k



포함하는 제 1 디바이스 기판을 준비하는 단계; 상기 제 1 디바이스 기판의 상기 페시베이션층과 대향되도록, 접합 표면을 갖는 핸들 기판을 준비하는 단계; 상기 제 1 디바이스 기판과 상기 핸들 기판을 서로 접합시켜 제 1 접합 기판 적층체를 형성하는 단계; 및 상기 제 1 접합 기판 적층체의 상기 제 1 희생층을 선택적으로 제거하여, 상기 제 1 디바이스 기판의 제 1 반도체 층과 상기 제 1 페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제 1 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 접합된 제 1 모놀리식 소자 기판을 형성하는 단계를 포함할 수 있다.

(52) CPC특허분류

*H01L 23/13* (2013.01)

*H01L 23/298* (2013.01)

*H01L 23/481* (2013.01)

*H01L 27/14643* (2013.01)

(72) 발명자

**박진홍**

경기도 화성시 동탄지성로 17, 풍성 위버플러스 A  
동 1303호

**류화연**

서울특별시 서대문구 연희로8길 7 창성하우스 306  
호

**최용준**

경기도 성남시 분당구 내정로 151 양지마을금호3단  
지한양5단지아파트 524동 1403호

**변대섭**

서울특별시 영등포구 국회대로54길 10 아크로타워  
스퀘어 104동 1604호

이 발명을 지원한 국가연구개발사업

과제고유번호 K\_G011006773903

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 [RCMS]성균관대학교산학/5nm급 이하 체세대 Logic 소자 원천요소기술개발(3/6)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.01.01 ~ 2018.12.31

## 명세서

### 청구범위

#### 청구항 1

제 1 베이스층, 상기 제 1 베이스층 상의 제 1 희생층, 상기 제 1 희생층 상의 적어도 하나 이상의 제 1 소자가 형성된 제 1 반도체 층 및 상기 제 1 반도체 층을 덮어 상기 제 1 소자를 절연시키는 제 1 페시베이션층을 포함하는 제 1 디바이스 기판을 준비하는 단계;

상기 제 1 디바이스 기판의 상기 페시베이션층과 대향되도록, 접합 표면을 갖는 핸들 기판을 준비하는 단계;

상기 제 1 디바이스 기판과 상기 핸들 기판을 서로 접합시켜 제 1 접합 기판 적층체를 형성하는 단계; 및

상기 제 1 접합 기판 적층체의 상기 제 1 희생층을 선택적으로 제거하여, 상기 제 1 디바이스 기판의 제 1 반도체 층과 상기 제 1 페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제 1 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 접합된 제 1 모놀리식 소자 기판을 형성하는 단계를 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 2

제 1 항에 있어서,

제 2 베이스층, 상기 제 2 베이스층 상의 제 2 희생층, 상기 제 2 희생층 상의 적어도 하나 이상의 제 2 소자가 형성된 제 2 반도체 층 및 상기 제 2 반도체 층을 덮어 상기 제 2 소자를 절연시키는 제 2 페시베이션층을 포함하는 제 2 디바이스 기판을 준비하는 단계;

상기 제 1 반도체 층의 상기 노출된 저면이 접합 표면이 되도록 상기 제 1 모놀리식 소자 기판을 준비하는 단계;

상기 제 2 디바이스 기판의 상기 제 2 페시베이션층과 상기 제 1 모놀리식 소자 기판의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 2 디바이스 기판과 상기 제 1 모놀리식 소자 기판을 서로 접합시켜 제 2 접합 기판 적층체를 형성하는 단계; 및

상기 제 2 접합 기판 적층체의 상기 제 2 희생층을 선택적으로 제거하여, 상기 제 2 디바이스 기판의 제 2 반도체 층과 상기 제 2 페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제 2 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 상기 제 2 모놀리식 소자 기판을 형성하는 단계를 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 3

제 2 항에 있어서,

제 n 베이스층, 상기 제 n 베이스층 상의 제 n 희생층, 상기 제 n 희생층 상의 제 n 소자가 형성된 제 n 반도체 층 및 상기 제 n 반도체 층을 덮어 상기 제 n 소자를 절연시키는 제 n 페시베이션층을 포함하는 제 n 디바이스 기판을 준비하는 단계;

상기 제 n-1 반도체 층의 상기 노출된 저면이 접합 표면이 되도록 상기 제 n-1 모놀리식 소자 기판을 준비하는 단계;

상기 제 n 디바이스 기판의 상기 제 n 페시베이션층과 상기 제 n-1 모놀리식 소자 기판의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 n 디바이스 기판과 상기 제 n-1 모놀리식 소자 기판을 서로 접합시켜 제 n 접합 기판 적층체를 형성하는 단계; 및

상기 제 n 접합 기판 적층체의 상기 제 n 희생층을 선택적으로 제거하여, 상기 제 n 디바이스 기판의 제 n 반도체

제 층과 상기 제  $n$  페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제  $n$  반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 상기 제  $n$  모놀리식 소자 기판을 형성하는 단계를 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제  $n$  모놀리식 소자 기판 내에서 노출된 제  $n$  반도체 층을 덮는 보호층을 형성하는 단계를 더 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 5

제 4 항에 있어서,

상기 제  $n$  반도체 소자의 노출된 저면을 통해,  $n$  개의 적층된 모놀리식 소자 기판을 관통하는 복수의 홀을 형성하는 단계; 및

소자간 연결 또는 소자와 외부 회로 사이의 연결을 위한 금속 접촉(metal contact)이 형성되도록, 상기 복수의 홀에 전도성 금속을 충전하는 단계를 더 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 6

제 1 항에 있어서,

상기 제 1 페시베이션층은 층간 절연막(ILD; Interlayer Dielectric)을 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 페시베이션층을 평탄화하는 단계를 더 포함하며,

상기 평탄화하는 단계는 화학적 기계적 연마(Chemical-Mechanical Polishing; CMP) 공정을 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 8

제 1 항에 있어서,

상기 희생층은 SiGe, InAs, AlAs, AlGaAs, AlN, AlGaN, SiNx, SiOx, GaN, Si, InGaN, Ge, GaAs, InGaAs, GaInP, AlGaInP, InGaAsP, InAlGaAs, CIGS, InP, AlP, GaP, SiC, InSiGe, AlSb, GaSb, InSb, InGaSb, InGaSbP 및 InGaAlP 중 어느 하나를 포함하는 3 차원 적층 소자 제조 방법.

#### 청구항 9

제 1 항 내지 제 3 항 중 어느 하나에 있어서,

상기 소자는 멤스(MEMS; Micro Electro Mechanical Systems) 기반의 디바이스 패턴, CMOS 이미지 센서(CIS; CMOS image sensor)를 포함하는 쓰루 비아를 갖는 능동 디바이스 웨이퍼, 트랜지스터, 캐패시터, 메모리 소자, 디지털 신호 프로세서, 아날로그 프로세서, 마이크로프로세서, RISC(reduced instruction set computer) 프로세서 및 ARM 프로세서 중 적어도 어느 하나를 포함하는 3 차원 적층 소자 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 기술에 관한 것이며, 더욱 상세하게는 3 차원 적층 소자 제조 방법에 관한 것이다.

### 배경 기술

[0003] SOI(Silicon On Insulator) 웨이퍼 상에 제조된 트랜지스터 같은 반도체 소자는 통상의 실리콘 웨이퍼 상에 제조된 반도체 소자에 비해 기생 커패시턴스나 스위칭 속도, 누설 전류 특성 등의 소자 성능이 더 우수하며 한층 더 고집적화가 가능한 것으로 알려져 있다. 아울러, 실리콘 기판 부분에서의 에너지 여기에 의해 발행된 캐리어들이 매몰 산화막(buried oxide layer)에 의해 차단되기 때문에 고온 동작이 가능하고, 외부로부터의 방사선 입사로 발생하는 소프트 에러에 대한 우려도 해소할 수 있다. 따라서, 상기 SOI 웨이퍼는 고속, 저전력, 고전압, 및 고내구성 소자를 제조하기 위한 수단으로서 효과적으로 이용할 수 있으며, 이와 함께 MEMS(Micro Electro Mechanical Systems) 소자 제작과 기판 전달 공정(Substrate Transfer Process)의 수단으로서의 응용성도 기대되고 있다.

[0004] 이러한 SOI 웨이퍼를 제조하기 위해서는 통상적으로, 절연막이 형성된 실리콘 웨이퍼의 절연막 상에 다른 실리콘 웨이퍼를 접합하고, 상기 절연막 상에 상기 다른 실리콘 웨이퍼로부터 전사된 또 하나의 실리콘 웨이퍼의 실리콘층이 접합된 상태로 분리하는 방법이 이용되고 있다.

[0005] 그러나, 이러한 접합과 분리 기술을 이용한 SOI 웨이퍼는, 그 표면이 매우 거칠게 된다. 웨이퍼의 표면 거칠기는 소자의 성능에 영향을 미치며, 적절한 소자 동작을 위한 웨이퍼의 평균 거칠기는 10Å 이하의 수준이 요구되고 있다. 또한, 매몰 산화막과 같은 절연층 위의 반도체 층은 실리콘 층 이외에도 격자 변형된 실리콘층, 실리콘 게르마늄층 또는 갈륨비소와 같은 화합물 반도체 층으로 제조되기도 하며, 이 경우, 통상의 실리콘 단결정층보다 전자 이동도나 광특성을 개선할 수 있어 이에 대한 연구도 활발하다.

[0006] 한편, 전자부품의 소형화로 패키지 기술의 경향은 경박단소, 다기능 고집적, 저렴한 비용, 효과적인 열 방출 및 높은 전기적 특성 그리고 고 신뢰성을 모두 만족시키기 위해 발전되고 있다. 종래의 2D 패키징의 경우 칩들 간의 본딩(bonding)을 위해 많은 면적이 요구되며 칩간의 전기적 기계적 상호연결은 긴 전기 배선으로 이루어진다. 이에 따라 기생 커패시턴스와 인덕턴스가 증가하여 낮은 전력소비와 신호의 높은 대역폭(bandwidth)뿐 아니라, 잡음 여유도(noise immunity), 칩 디자인의 유연성, 그리고 패키지 비용 등에 있어 많은 한계점을 가지고 있다. 그러나, 전자 산업이 발전함에 따라 제한된 면적에 다양한 기능을 가지는 칩들의 집적을 통하여 유연한 디자인 그리고 우수한 성능과 경제성을 추구하고 있다. 이러한 산업체의 요구에 따라 칩들을 수직으로 적층하는 3차원 소자 집적 기술에 대한 연구도 활발하다.

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는, 개선된 3 차원 적층 소자 제조 방법을 제공하는 것이다.

### 과제의 해결 수단

[0010] 본 발명의 실시예에 따르면, 제 1 베이스층, 상기 제 1 베이스층 상의 제 1 희생층, 상기 제 1 희생층 상의 적어도 하나 이상의 제 1 소자가 형성된 제 1 반도체 층 및 상기 제 1 반도체 층을 덮어 상기 제 1 소자를 절연시키는 제 1 페시베이션층을 포함하는 제 1 디바이스 기판을 준비하는 단계; 상기 제 1 디바이스 기판의 상기 페시베이션층과 대향되도록, 접합 표면을 갖는 핸들 기판을 준비하는 단계; 상기 제 1 디바이스 기판과 상기 핸들 기판을 서로 접합시켜 제 1 접합 기판 적층체를 형성하는 단계; 및 상기 제 1 접합 기판 적층체의 상기 제 1 희생층을 선택적으로 제거하여, 상기 제 1 디바이스 기판의 제 1 반도체 층과 상기 제 1 페시베이션층을 상기 핸

들 기판 측으로 전달하여 상기 제 1 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 접합된 제 1 모놀리식 소자 기판을 형성하는 단계를 포함하는 3 차원 적층 소자 제조 방법이 제공될 수 있다.

[0011] 일 실시예에서, 제 2 베이스층, 상기 제 2 베이스층 상의 제 2 희생층, 상기 제 2 희생층 상의 적어도 하나 이상의 제 2 소자가 형성된 제 2 반도체 층 및 상기 제 2 반도체 층을 덮어 상기 제 2 소자를 절연시키는 제 2 페시베이션층을 포함하는 제 2 디바이스 기판을 준비하는 단계; 상기 제 1 반도체 층의 상기 노출된 저면이 접합 표면이 되도록 상기 제 1 모놀리식 소자 기판을 준비하는 단계; 상기 제 2 디바이스 기판의 상기 제 2 페시베이션층과 상기 제 1 모놀리식 소자 기판의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 2 디바이스 기판과 상기 제 1 모놀리식 소자 기판을 서로 접합시켜 제 2 접합 기판 적층체를 형성하는 단계; 및 상기 제 2 접합 기판 적층체의 상기 제 2 희생층을 선택적으로 제거하여, 상기 제 2 디바이스 기판의 제 2 반도체 층과 상기 제 2 페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제 2 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 상기 제 2 모놀리식 소자 기판을 형성하는 단계가 더 포함될 수 있다.

[0012] 일 실시예에서, 제 n 베이스층, 상기 제 n 베이스층 상의 제 n 희생층, 상기 제 n 희생층 상의 제 n 소자가 형성된 제 n 반도체 층 및 상기 제 n 반도체 층을 덮어 상기 제 n 소자를 절연시키는 제 n 페시베이션층을 포함하는 제 n 디바이스 기판을 준비하는 단계; 상기 제 n-1 반도체 층의 상기 노출된 저면이 접합 표면이 되도록 상기 제 n-1 모놀리식 소자 기판을 준비하는 단계; 상기 제 n 디바이스 기판의 상기 제 n 페시베이션층과 상기 제 n-1 모놀리식 소자 기판의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 n 디바이스 기판과 상기 제 n-1 모놀리식 소자 기판을 서로 접합시켜 제 n 접합 기판 적층체를 형성하는 단계; 및 상기 제 n 접합 기판 적층체의 상기 제 n 희생층을 선택적으로 제거하여, 상기 제 n 디바이스 기판의 제 n 반도체 층과 상기 제 n 페시베이션층을 상기 핸들 기판 측으로 전달하여 상기 제 n 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 상기 제 n 모놀리식 소자 기판을 형성하는 단계가 더 포함될 수 있다.

[0013] 일 실시예에서, 상기 제 n 모놀리식 소자 기판 내에서 노출된 제 n 반도체 층을 덮는 보호층을 형성하는 단계를 더 포함될 있다.

[0014] 일 실시예에서, 상기 제 n 반도체 소자의 노출된 저면을 통해, n 개의 적층된 모놀리식 소자 기판을 관통하는 복수의 홀을 형성하는 단계; 및 소자간 연결 또는 소자와 외부 회로 사이의 연결을 위한 금속 접촉(metal contact)이 형성되도록, 상기 복수의 홀에 전도성 금속을 충전하는 단계가 더 포함될 수 있다.

[0015] 일 실시예에서, 상기 제 1 페시베이션층은 층간 절연막(ILD; Interlayer Dielectric)을 포함할 수 있다. 또한 상기 제 1 페시베이션층을 평탄화하는 단계를 더 포함하며, 상기 평탄화하는 단계는 화학적 기계적 연마(Chemical-Mechanical Polishing; CMP) 공정을 포함할 수 있다.

[0016] 일 실시예에서, 상기 희생층은 SiGe, InAs, AlAs, AlGaAs, AlN, AlGaN, SiNx, SiOx, GaN, Si, InGaN, Ge, GaAs, InGaAs, GaInP, AlGaInP, InGaAsP, InAlGaAs, CIGS, InP, AlP, GaP, SiC, InSiGe, AlSb, GaSb, InSb, InGaSb, InGaSbP 및 InGaAlP 중 어느 하나를 포함할 수 있다.

[0017] 일 실시예에서, 상기 소자는 멤스(MEMS; Micro Electro Mechanical Systems) 기반의 디바이스 패턴, CMOS 이미지 센서(CIS; CMOS image sensor)를 포함하는 쓰루 비아를 갖는 능동 디바이스 웨이퍼, 트랜지스터, 캐패시터, 메모리 소자, 디지털 신호 프로세서, 아날로그 프로세서, 마이크로프로세서, RISC(reduced instruction set computer) 프로세서 및 ARM 프로세서 중 적어도 어느 하나를 포함할 수 있다.

## 발명의 효과

[0019] 본 발명의 실시예에 따르면, 베이스층, 상기 베이스층 상의 희생층, 상기 희생층 상의 적어도 하나 이상의 소자가 형성된 반도체 층 및 상기 반도체 층을 덮어 상기 소자를 절연시키는 페시베이션층을 포함하는 디바이스 기판과 접합 표면을 갖는 핸들 기판을 접합하여 형성한 접합 기판 적층 구조체에서 상기 희생층을 선택적으로 제거하여, 상기 디바이스 기판의 반도체 층과 페시베이션층을 상기 핸들 기판 측으로 전달하여 반도체 층의 저면이 노출되도록 역전되어 상기 핸들 기판 상에 접합된 모놀리식 소자 기판을 형성함으로써, 별도의 추가 공정없이, 노출된 제 1 반도체 층에 대하여 표면 거칠기가 수행될 수 있다. 또한, 개선된 표면 거칠기를 통해 노출된 제 1 반도체 층 상에 다른 복수의 반도체 층을 적층 함으로써, 비교적 간단하게 3차원 적층 소자를 제조할 수 있다.

## 도면의 간단한 설명

- [0021] 도 1a 내지 도 1k는 본 발명의 일 실시예에 따른 3 차원 적층 소자 제조 방법을 설명하기 위한 도면이다.  
도 2는 본 발명의 실시예에 따른 소자의 일례를 보여주는 도면이다.

## 발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 본 발명의 실시 예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시 예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시 예에 한정되는 것은 아니다.
- [0023] 오히려, 이들 실시 예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0024] 또한 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0025] 본 명세서에서 사용된 용어는 특정 실시 예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0026] 본 명세서에서 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다.
- [0027] 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0029] 도 1a 내지 도 1k는 본 발명의 일 실시예에 따른 3 차원 적층 소자 제조 방법을 설명하기 위한 도면이며, 도 2는 본 발명의 실시예에 따른 소자의 일례를 보여주는 도면이다.
- [0030] 도 1a를 참조하면, 먼저 제 1 베이스층(DW1), 제 1 베이스층(DW1) 상의 제 1 희생층(DL1), 제 1 희생층(SL1) 상의 적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1) 및 제 1 반도체 층(SCL1)을 덮어 제 1 소자(SD1)를 절연시키는 제 1 페시베이션층(ILD1)을 포함하는 제 1 디바이스 기판과 상기 제 1 디바이스 기판의 제 1 페시베이션층(ILD1)과 대향되도록, 접합 표면을 갖는 핸들 기판(HW)이 준비될 수 있다.
- [0031] 일 실시예에서, 제 1 베이스층(DW1)은 유리 기판, 세라믹 기판, 실리콘 웨이퍼 중 어느 하나를 포함할 수 있다. 그러나, 본원 발명은 이들 재료에 한정되지 않는다. 바람직하게, 제 1 베이스층(DW1)은 실리콘 웨이퍼를 포함할 수 있다.
- [0032] 일 실시예에서, 제 1 희생층(SL1)은 SiGe, InAs, AlAs, AlGaAs, AlN, AlGaN, SiNx, SiOx, GaN, Si, InGaN, Ge, GaAs, InGaAs, GaInP, AlGaInP, InGaAsP, InAlGaAs, CIGS, InP, AlP, GaP, SiC, InSiGe, AlSb, GaSb, InSb, InGaSb, InGaSbP 및 InGaAlP 중 어느 하나를 포함할 수 있다. 바람직하게, 제 1 희생층(SL1)은 SiGe를 포함할 수 있다. 그러나 이들 재료에 한정되지 않는다.
- [0033] 일 실시예에서, 제 1 희생층(SL1)은 복수의 서브 희생층들이 적층된 구조를 가질 수 있으며, 제 1 서브 희생층 내의 Ge 함량이 제 2 서브 희생층 내의 Ge 함량은 서로 다르며, 제 1 서브 희생층 내의 Ge 함량이 제 2 서브 희생층 내의 Ge 함량보다 높을 수 있다. 이때, 상기 제 1 서브 희생층은 제 1 베이스층(DW1)과 인접하고, 상기 제 2 서브 희생층은 제 1 반도체 층(SCL1)과 인접할 수 있다. 또는 상기 제 2 서브 희생층은 제 1 베이스층



(DW1)과 인접하고, 상기 제 1 서브 회생층은 제 1 반도체 층(SCL1)과 인접할 수 있다.

- [0034] 일 실시예에서, 이온 주입법에 의하여 제 1 회생층(SL1) 내부에 분리층(미도시함)이 더 형성되거나, 제 1 베이스층(DW1)과 제 1 회생층(SL1) 간의 계면 근방에 분리층(미도시함)을 형성할 수도 있다. 중요한 것은 후술한 제 1 베이스층(DW1) 제거 후에 표면 거칠기 개선을 위한 식각이 가능하도록, 상기 분리층 상에 적어도 일부의 회생층이 존재하는 깊이에서 분리층이 형성될 수 있다.
- [0035] 일 실시예에서, 제 1 소자(SD1)는 멤스(MEMS; Micro Electro Mechanical Systems) 기반의 디바이스 패턴, CMOS 이미지 센서(CIS; CMOS image sensor)를 포함하는 쓰루 비아를 갖는 능동 디바이스 웨이퍼, 트랜지스터, 캐패시터, 메모리 소자, 디지털 신호 프로세서, 아날로그 프로세서, 마이크로프로세서, RISC(reduced instruction set computer) 프로세서 및 ARM 프로세서 중 적어도 어느 하나를 포함할 수 있다.
- [0036] 적어도 하나 이상의 제 1 소자(SD1)는 동일한 소자 또는 서로 다른 소자일 수 있다. 일 실시예에서, 적어도 하나 이상의 제 1 소자(SD1)는 모두 도 2의 나타난 드레인(D), 소스(S), 게이트(G)를 포함하는 트랜지스터일 수 있으며, 2차원 배열된 복수의 트랜지스터들은 각각 채널 영역(CC)을 공유하여 동작할 수 있다. 이때, 공통 채널 영역(CC)은 실리콘(Si)으로 형성될 수 있다. 제 1 회생층(SL1) 상에 형성된 적어도 하나 이상의 제 1 소자(SD1)는 SOI 웨이퍼 상에 형성된 트랜지스터와 유사하게, 기생 커패시턴스나 스위칭 속도, 누설 전류 특성 같은 소자 성능이 더 우수하며 고집적화가 가능하다. 다른 실시예에서, 적어도 하나 이상의 제 1 소자(SD1) 중 어느 하나는 트랜지스터 소자이고 적어도 하나 이상의 제 1 소자(SD1) 중 다른 하나는 커패시터 소자일 수 있다.
- [0037] 일 실시예에서, 적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1) 내에서는 적어도 하나 이상의 제 1 소자(SD1)들이 2차원 배열될 수 있다. 제 1 반도체 층(SCL1)은 제 1 페시베이션층(ILD1)으로 덮여 보호받을 있다.
- [0038] 일 실시예에서, 제 1 페시베이션층(ILD1)은 층간 절연막(ILD; Interlayer Dielectric)을 포함할 수 있다. 상기 층간 절연막은 SiO<sub>2</sub> 또는 SiN<sub>x</sub>을 제 1 반도체 층(SCL1) 상에 증착함으로써 형성될 수 있다. 상기 층간 절연막의 두께는 200 Å 내지 4000 Å 범위를 가질 수 있다.
- [0039] 일 실시예에서, 제 1 페시베이션층(ILD1)은 평탄화 공정을 통해 평탄화될 수 있다. 바람직하게, 상기 평탄화 공정은 화학적 기계적 연마(Chemical-Mechanical Polishing; CMP) 공정을 포함할 수 있다.
- [0040] 일 실시예에서, 핸들 기판(HW)은 제 1 베이스층(DW1)과 동일한 재료를 포함할 수 있다. 핸들 기판(HW)의 접합 표면은 실리콘 기판을 열산화함으로써 형성되거나, 상기 실리콘 기판 상에 실리콘 산화막을 증착함으로써 형성될 수 있다.
- [0041] 도 1b를 참조하면, 이후 제 1 베이스층(DW1)/제 1 회생층(SL1)/적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1)/1 페시베이션층(ILD1)을 포함하는 상기 제 1 디바이스 기판과 핸들 기판(HW)을 서로 접합시켜 제 1 접합 기판 적층체(JC1)가 형성될 수 있다. 여기서, 제 1 디바이스 기판과 핸들 기판(HW)을 서로 접합시키기 위해서, 상온에서 소수성결합(Hydrophobic Bonding)과 100 °C 내지 300 °C 온도 범위에서의 어닐링이 수행될 수 있다.
- [0042] 이후 도 1c 및 도 1d를 참조하면, 제 1 접합 기판 적층체(JC1)의 제 1 회생층(SL1)을 선택적으로 제거(SE)하여, 상기 제 1 디바이스 기판의 제 1 반도체 층(SCL1)과 상기 제 1 페시베이션층(ILD1)을 핸들 기판(HW) 측으로 전달하여 제 1 반도체 층(SCL1)의 저면이 노출되도록 역전되어 핸들 기판(HW) 상에 접합된 제 1 모놀리식 소자 기판(MD1)이 형성될 수 있다.
- [0043] 일 실시예에서, 제 1 회생층(SL1)은 습식 또는 건식 식각 공정을 통해 제거될 수 있으며, 식각 공정만으로 적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1)의 표면 거칠기를 개선시킬 수 있다.
- [0044] 일 실시예에서 제 1 회생층(SL1)의 식각액으로는 NH<sub>4</sub>OH, H<sub>2</sub>O<sub>2</sub> 및 H<sub>2</sub>O를 포함하는 혼합용액을 사용하였으나, 본 발명은 반드시 이에 한정되지 않는다. 즉, 상기 식각액은 제 1 회생층(SL1)을 산화시키는 용액과 상기 회생층이 산화되어 형성된 산화막을 제거하는 용액의 혼합 용액으로 이루어질 수 있다. 예를 들어, 제 1 회생층(SL1)이 SiGe 으로 이루어지는 경우, 제 1 회생층(SL1)을 산화시키는 용액은 질산 또는 아세트산이 될 수 있고, 상기 산화막을 제거하는 용액은 OH기가 포함된 알칼리 용액 또는 플루오르(F)기가 포함되어 있는 용액이 될 수 있다.
- [0045] 따라서, 이 경우 제 1 회생층(SL1)은, 이러한 식각액 중의 회생층을 산화시키는 용액에 의해 산화됨과 동시에, 이렇게 산화된 회생층의 산화막은 식각액 중의 산화막을 제거하는 용액에 의해 제거됨으로써, 전체 제 1 회생층(SL1)이 제거되어 제 1 반도체 층(SCL1)의 저면이 노출되고 제 1 반도체 층(SCL1)의 표면 거칠기가 개선될 수



있다.

- [0046] 이후 도 1e를 참조하면, 제 2 베이스층(DW2), 제 2 베이스층(DW2) 상의 제 2 희생층(SL2), 제 2 희생층(SL2) 상의 적어도 하나 이상의 제 2 소자(SD2)가 형성된 제 2 반도체 층(SCL2) 및 제 2 반도체 층(SCL2)을 덮어 제 2 소자(SD2)를 절연시키는 제 2 페시베이션층(ILD2)을 포함하는 제 2 디바이스 기판과 제 1 반도체 층(SCL1)의 상기 노출된 저면이 접합 표면이 되도록 제 1 모놀리식 소자 기판(MD1)이 준비되면, 상기 제 2 디바이스 기판의 제 2 페시베이션층(ILD2)과 제 1 모놀리식 소자 기판(MD1)의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 2 디바이스 기판과 제 1 모놀리식 소자 기판(MD1)을 서로 접합시켜 제 2 접합 기판 적층체(JC2)가 형성될 수 있다.
- [0047] 제 2 베이스층(DW2)/제 2 희생층(SL2)/적어도 하나 이상의 제 1 소자(SD2)가 형성된 제 2 반도체 층(SCL2)/제 2 페시베이션층(ILD2)은 전술한 제 1 베이스층(DW1)/제 1 희생층(SL1)/적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1)/제 1 페시베이션층(ILD1)과 동일하므로, 전술한 설명을 참조하기로 한다.
- [0048] 이후 도 1e, 도 1f 및 도 1g를 참조하면, 도 1c의 제 1 희생층(S11)을 선택적으로 제거하는 과정(SE)과 유사하게, 제 2 접합 기판 적층체(JC2)의 제 2 희생층(SL2)을 선택적으로 제거하여(SE), 상기 제 2 디바이스 기판의 제 2 반도체 층(SCL2)과 제 2 페시베이션층(ILD2)을 핸들 기판(HW) 측으로 전달하여 제 2 반도체 층(SCL2)의 저면이 노출되도록 역전되어 핸들 기판(HW) 상에 제 2 모놀리식 소자 기판(MD2)이 형성될 수 있다. 여기서, 제 2 모놀리식 소자 기판(MD2)은 제 1 모놀리식 소자 기판(MD1) 상에 상기 제 2 디바이스 기판의 제 2 반도체 층(SCL2)과 제 2 페시베이션층(ILD2)이 적층된 구조를 가질 수 있다.
- [0049] 이후 도 1h, 도 1i 및 도 1j를 참조하면, 제 n 베이스층(DWn), 제 n 베이스층(DWn) 상의 제 n 희생층(SLn), 제 n 희생층(SLn) 상의 제 n 소자(SDn)가 형성된 제 n 반도체 층(SDn) 및 제 n 반도체 층(SDn)을 덮어 제 n 소자(SDn)를 절연시키는 제 n 페시베이션층(ILDn)을 포함하는 제 n 디바이스 기판이 준비될 수 있다. 그리고, 제 n-1 반도체 층(SDn-1)의 상기 노출된 저면이 접합 표면이 되도록 제 n-1 모놀리식 소자 기판(MDn-1)이 준비될 수 있다.
- [0050] 상기 제 n 디바이스 기판의 제 n 페시베이션층(ILDn)과 제 n-1 모놀리식 소자 기판(MDn-1)의 상기 노출된 저면을 서로 대향시킨 상태에서 상기 제 n 디바이스 기판과 제 n-1 모놀리식 소자 기판(MDn-1)을 서로 접합시켜 제 n 접합 기판 적층체(JCn)가 형성될 수 있다.
- [0051] 제 n 접합 기판 적층체(JCn)의 제 n 희생층(SLn)을 선택적으로 제거하여, 상기 제 n 디바이스 기판의 제 n 반도체 층(SCLn)과 제 n 페시베이션층(ILDn)을 핸들 기판(HW) 측으로 전달하여 제 n 반도체 층(SCLn)의 저면이 노출되도록 역전되어 핸들 기판(HW) 상에 제 n 모놀리식 소자 기판(MDn)이 형성될 수 있다. 여기서, 제 n 모놀리식 소자 기판(MDn)은 제 1 모놀리식 소자 기판(MDn) 내지 제 n-1 모놀리식 소자 기판(MDn-1)이 적층된 구조 상에 제 n 반도체 층(SCLn)과 제 n 페시베이션층(ILDn)이 적층된 구조를 지칭할 수 있다.
- [0052] 제 n 베이스층(DWn)/제 n 희생층(SLn)/적어도 하나 이상의 제 n 소자(SDn)가 형성된 제 n 반도체 층(SCLn)/제 n 페시베이션층(ILDn)은 전술한 제 1 베이스층(DW1)/제 1 희생층(SL1)/적어도 하나 이상의 제 1 소자(SD1)가 형성된 제 1 반도체 층(SCL1)/제 1 페시베이션층(ILD1)과 동일하므로, 전술한 설명을 참조할 수 있다.
- [0053] 일 실시예에서, 제 1 모놀리식 소자 기판(MDn) 내의 제 1 소자(SD1)와 제 2 모놀리식 소자 기판(MD2) 내의 제 2 소자(SD2)은 동일하거나 서로 다른 종류의 소자들이 혼합되어 있을 수 있다.
- [0054] 이후 도 1k를 참조하면, 선택적으로 제 n 모놀리식 소자 기판(MDn) 내에서 노출된 제 n 반도체 층(SCLn)의 저면 내에 보호층(CAP)이 더 형성될 수 있다. 일 실시예에서, 보호층(CAP)은 페시베이션층(ILD1 내지 ILDn)과 동일한 유전체 또는 서로 다른 유전체를 포함할 수 있다.
- [0055] 이후, 제 n 반도체 소자(SCLn)의 노출된 저면을 통해, n 개의 적층된 모놀리식 소자 기판(MD1 내지 n)을 관통하는 복수의 홀(H)들이 형성되며, 소자간 연결 또는 소자와 외부 회로 사이의 연결을 위한 금속 접촉(metal contact)이 형성되도록, 상기 복수의 홀에 전도성 금속이 충전될 수 있다. 미도시 하였지만, 금속 접촉(metal contact)들 간의 배선을 통해서, 동일한 층 내의 소자들간 연결, 서로 다른 층간 소자들 사이의 연결, 소자의 외부 회로 연결이 이루어질 수 있다.
- [0057] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의

지식을 가진 자에게 있어 명백할 것이다.

### 부호의 설명

[0059]

DW1 내지 DWn : 제 1 베이스층 내지 제 n 베이스층

SL1 내지 SLn : 제 1 희생층 내지 제 n 희생층

SD1 내지 SDn : 제 1 소자 내지 제 n 소자

SCL1 내지 SCLn : 제 1 반도체 층 내지 제 n 반도체 층

ILD1 내지 ILDn : 제 1 패시베이션층 내지 제 1 패시베이션층

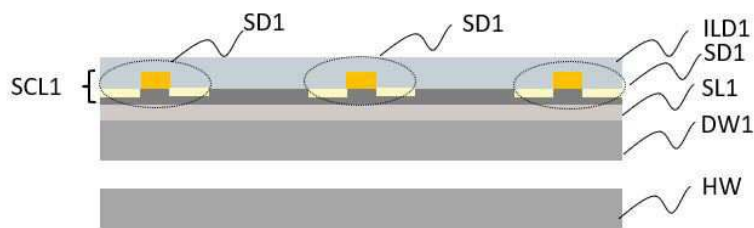
HW: 핸들 기판

JC1 내지 Jcn : 제 1 접합 기판 적층체 내지 제 n 접합 기판 적층체

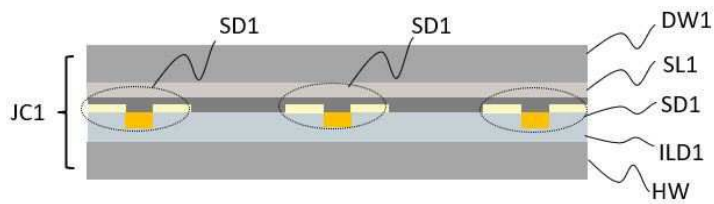
MD1 내지 MDn : 제 n 모놀리식 소자 기판 내지 제 n 모놀리식 소자 기판

### 도면

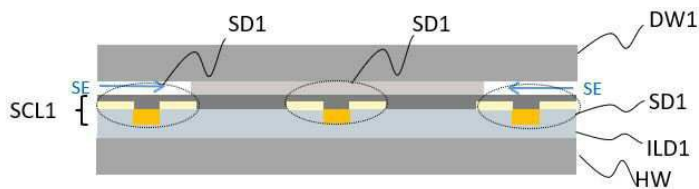
도면1a



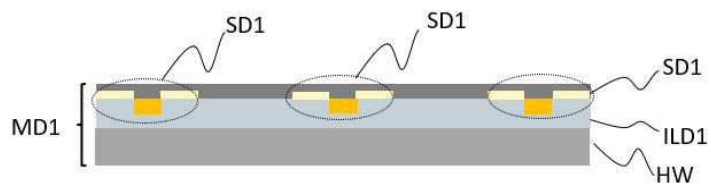
도면1b



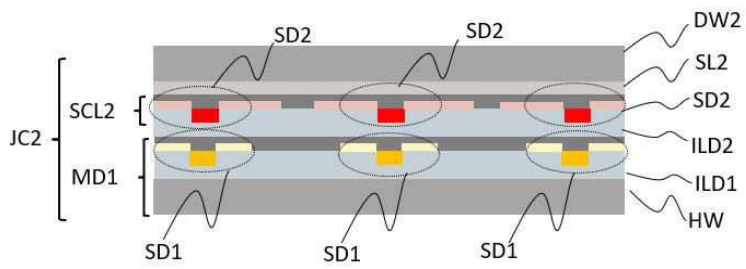
도면1c



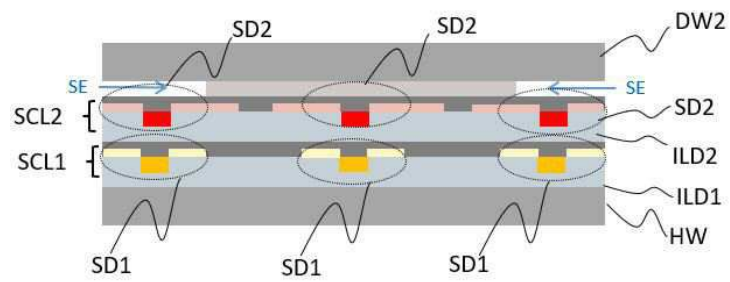
도면1d



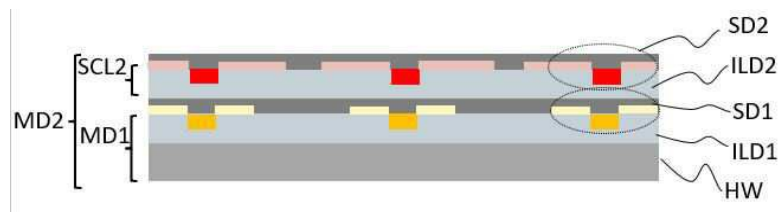
도면1e



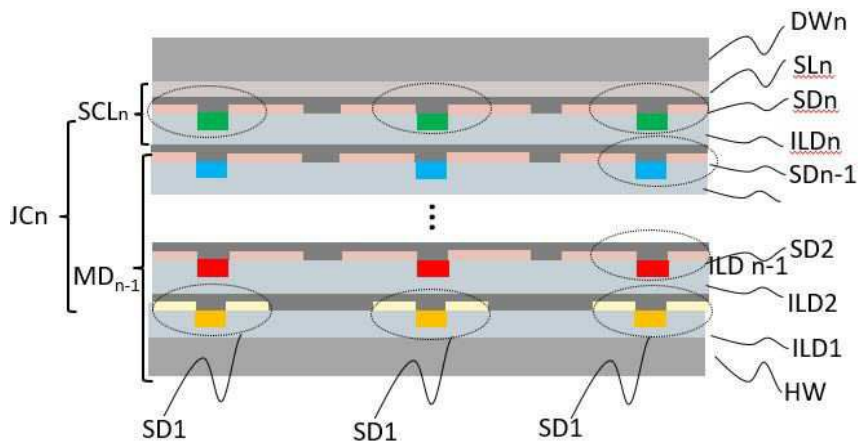
도면1f



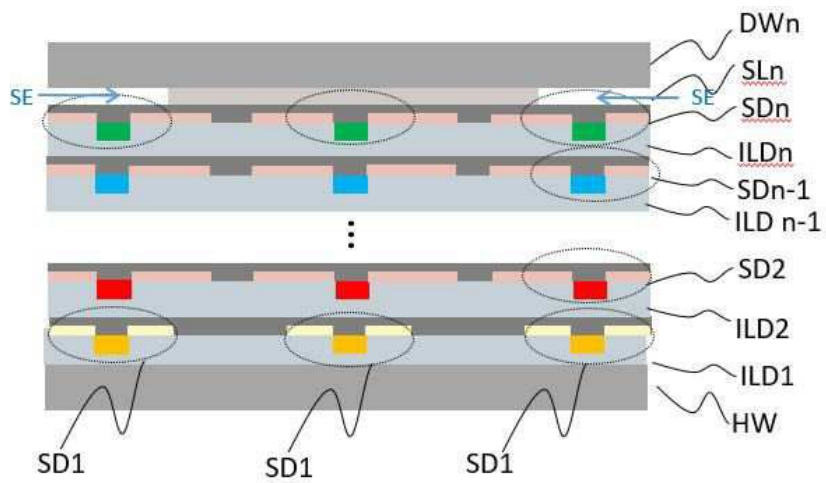
도면1g



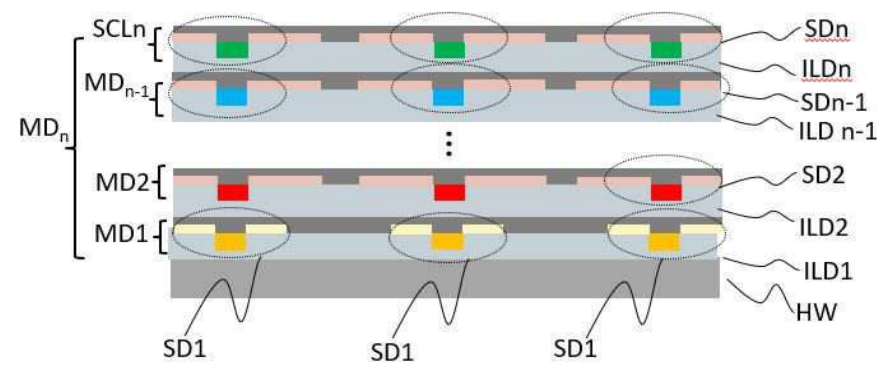
도면1h



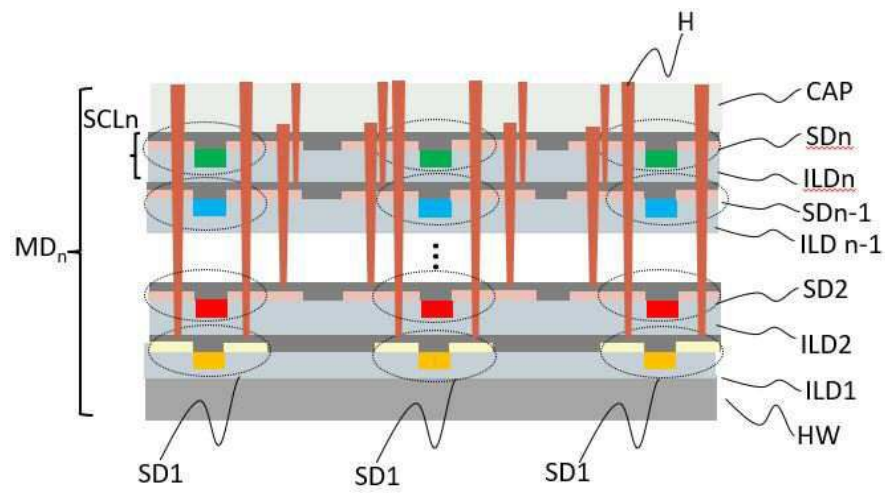
도면1i



도면1j



도면1k



도면2

