



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0048818
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/324 (2017.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/324 (2013.01)
(21) 출원번호 10-2018-0131335
(22) 출원일자 2018년10월30일
심사청구일자 2018년10월30일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김현재
서울특별시 마포구 마포대로 195, 402동 1101호(아현동, 마포 래미안 푸르지오)
민원경
서울특별시 강남구 삼성로 212, 15동 1112호(대치동, 은마아파트)
(74) 대리인
김연권
(뒷면에 계속)

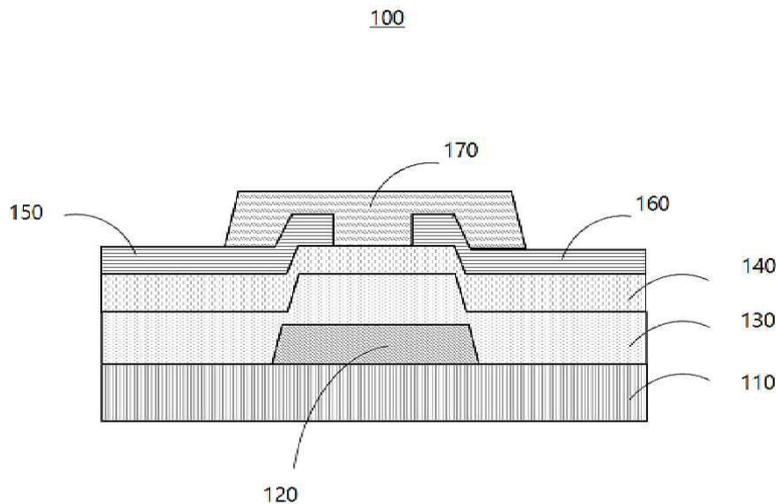
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 산화물 박막 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 산화물 박막 트랜지스터 및 그 제조방법을 개시한다. 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 기판, 상기 기판 상에 형성된 게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연층, 상기 게이트 절연층 상에 형성된 p형 산화물 반도체 박막, 상기 p형 산화물 반도체 박막의 상부에 서로 이격되어 형성된 소스 전극 및 드레인 전극 및 상기 소스 전극 및 상기 드레인 전극이 형성된 상기 p형 산화물 반도체 박막 상에 형성된 패시베이션(passivation)층을 포함하고, 상기 p형 산화물 반도체 박막은 제1 열처리를 통하여 활성화되며, 상기 p형 산화물 반도체 박막은 상기 패시베이션층이 형성된 후 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널(back channel)이 선택적으로 산화됨으로써 상변화되는 것을 특징으로 한다.

대표도 - 도1f



(52) CPC특허분류

H01L 29/78606 (2013.01)

H01L 29/78618 (2013.01)

(72) 발명자

정태수

서울특별시 서대문구 신촌로 121, 1116호(창천동)

박성표

서울특별시 서대문구 연희로8길 28-15, 205호(연희동)

김희준

경기도 하남시 대청로 119, 109동 1001호(창우동, 부영아파트)

이진혁

서울특별시 서대문구 서소문로 37, 1405호(합동)

박경호

경기도 부천시 경인로29번길 32, 9동 401호(송내동, 우성아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017R1A2B3008719

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 지능형 디스플레이를 위한 산화물 기반 CMOS image-sensor on panel (CIP) 기술 개발(2/3)

기여율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성된 게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연층;

상기 게이트 절연층 상에 형성된 p형 산화물 반도체 박막;

상기 p형 산화물 반도체 박막의 상부에 서로 이격되어 형성된 소스 전극 및 드레인 전극; 및

상기 소스 전극 및 상기 드레인 전극이 형성된 상기 p형 산화물 반도체 박막 상에 형성된 패시베이션(passivation)층

을 포함하고,

상기 p형 산화물 반도체 박막은 제1 열처리를 통하여 활성화되며,

상기 p형 산화물 반도체 박막은 상기 패시베이션층이 형성된 후 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널(back channel)이 선택적으로 산화됨으로써 상변화되는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 제2 열처리를 통하여 상기 패시베이션층의 형성시 발생하는 상기 p형 산화물 반도체 박막내의 결함(defect)이 회복되는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 패시베이션층은 물리적 증착 방법으로 형성되고,

상기 물리적 증착 방법에 의해 상기 p형 산화물 반도체 박막 내에 물리적 데미지(damage)가 발생하는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 4

제1항에 있어서,

상기 제1 열처리는 100 °C 내지 900 °C 에서 수행되는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 5

제2항에 있어서,

상기 제2 열처리는 20 °C 내지 500 °C 에서 수행되는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 6

제1항에 있어서,

상기 p형 산화물 반도체 박막은 산화구리(Copper oxide), 산화주석(Tin oxide) 및 산화니켈 (Nickel oxide) 중 어느 하나의 산화물을 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 패시베이션층은 이산화규소(SiO₂), 산화하프늄(HfO₂), 이산화 타이타늄(TiO₂), 산화지르코늄(ZrO₂), 산화알루미늄(Al₂O₃), 이트륨 옥사이드 (Y₂O₃), 산화제이갈륨(Ga₂O₃) 및 갈륨 트리옥사이드(Ge₂O₃) 중 어느 하나를 포함하는 것을 특징으로 하는 산화물 박막 트랜지스터.

청구항 8

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 p형 산화물 반도체 박막을 형성하는 단계;

제1 열처리를 통하여 상기 형성된 p형 산화물 반도체 박막을 활성화하는 단계;

상기 p형 산화물 반도체 박막의 상부에 서로 이격되어 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 소스 전극 및 상기 드레인 전극이 형성된 상기 p형 산화물 반도체 박막 상에 패시베이션(passivation)층을 형성한 후 제2 열처리하는 단계

를 포함하고,

상기 p형 산화물 반도체 박막은 상기 패시베이션층이 형성된 후 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널(back channel)이 선택적으로 산화됨으로써 상변화되는 것을 특징으로 하는 산화물 박막 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 보다 상세하게는 p형 산화물 반도체 박막 상에 패시베이션 층을 증착함으로써 전기적 특성 및 신뢰성이 개선된 산화물 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 디스플레이의 백플레인으로서 사용되는 스위칭 소자나 구동 소자로 비정질 실리콘(a-Si)이나 폴리 실리콘(poly-Si)을 사용하는 실리콘(Si) 기반 박막 트랜지스터(TFT: Thin Film Transistor)와 산화물 박막 트랜지스터가 있다.

[0004] 실리콘(Si) 기반 박막 트랜지스터의 비정질 실리콘(a-Si) 박막 트랜지스터는 제조가 용이하지만 낮은 전자 이동

도를 갖고 있다. 한편, 폴리 실리콘(poly-Si) 박막 트랜지스터는 비정질 실리콘(a-Si) 박막트랜지스터에 비해 전자 이동도가 높아 대면적의 고화질 디스플레이에 적용가능하며 안정성도 높지만, 제조공정이 복잡하고 제조원가가 높으며, 패널 내 소자 특성의 불균일로 인해 보상회로를 필요로 하는 문제점이 있다.

- [0005] 이러한 실리콘(Si) 기반 박막 트랜지스터의 단점을 해결하고자 산화물 박막 트랜지스터가 개발되고 있다. 산화물 박막 트랜지스터는 기존 비정질 실리콘(a-Si) 박막 트랜지스터에 비해 높은 이동도와 낮은 누설전류(off-current)를 가지고 있어, 차세대 디스플레이 구동소자의 가능성 측면에서 많은 각광을 받고 있다.
- [0006] 산화물 박막 트랜지스터의 채널층 영역으로 사용되는 산화물 반도체는 이동도가 크고 투명하여 투명 디스플레이를 용이하게 구현할 수 있을 뿐 아니라, 상온에서 비정질(amorphous) 또는 다결정질(polycrystalline) 구조를 가진다.
- [0007] 또한, 높은 이동도 ($1\sim 100\text{ cm}^2/\text{Vs}$) 및 높은 밴드갭을 가는 직접 반도체(direct semiconductor)로서, 실리콘 기반의 소자와는 다르게 산화 현상이 발생하지 않으므로 소자의 특성 변화가 적은 장점이 있다.
- [0008] 다만, 박막 트랜지스터의 채널층에 적용하기 위한 산화물 반도체는 산소 공공(oxygen vacancies) 및 아연 간극(zinc interstitials)에 의해 주로 n형 산화물 반도체로 보고되고 있는데, 최근에 n형과 달리 정공에 의한 전하 전송 거동을 보여주는 p형 산화물 반도체로써 산화구리가 각광을 받고 있다.
- [0009] 그러나, 산화구리를 박막 트랜지스터의 채널층에 적용할 경우, n형 산화물 박막 트랜지스터 보다 매우 낮은 온/오프 전류비를 나타내어, 산화물 기반의 CMOS 회로에 적용하기에 어려운 단점이 존재한다.
- [0010] 따라서, 산화물 박막 트랜지스터의 채널층으로서 적용이 가능한 p형 산화물 반도체에 대한 연구가 필요한 실정이다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 한국등록특허 제10-1792258호, "박막 트랜지스터 및 그 제조 방법"
- (특허문헌 0002) 한국등록특허 제10-1249483호, "CuO 박막형성방법, 산화물 박막 트랜지스터 제조방법, 박막 트랜지스터 제조방법으로 제조된 산화물 박막 트랜지스터 및 CuO 박막이 형성된 산화물 박막 트랜지스터 "

비특허문헌

- [0013] (비특허문헌 0001) Xianzhe Liu et al., "Enhancement of Electrical Characteristics and Stability of Amorphous Si-Sn-O Thin Film Transistors with SiO_x Passivation Layer"(2010.12.12.)

발명의 내용

해결하려는 과제

- [0014] 본 발명의 실시예들은 p형 산화물 반도체를 이용하여 전기적 특성 및 신뢰성이 개선된 산화물 박막 트랜지스터 및 이의 제조 방법을 제공하고자 한다.
- [0015] 본 발명의 실시예들은 물리적 증착 방법에 의해 패시베이션층을 형성한 후 열처리함으로써, 전기적 특성이 향상된 산화물 박막 트랜지스터 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

- [0017] 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 기판; 상기 기판 상에 형성된 게이트 전극; 상기 게이트 전극 상에 형성된 게이트 절연층; 상기 게이트 절연층 상에 형성된 p형 산화물 반도체 박막; 상기 p형 산화물 반

도체 박막의 상부에 서로 이격되어 형성된 소스 전극 및 드레인 전극; 및 상기 소스 전극 및 상기 드레인 전극이 형성된 상기 p형 산화물 반도체 박막 상에 형성된 패시베이션(passivation)층을 포함하고, 상기 p형 산화물 반도체 박막은 제1 열처리를 통하여 활성화되며, 상기 p형 산화물 반도체 박막은 상기 패시베이션층이 형성된 후 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널(back channel)이 선택적으로 산화됨으로써 상 변화되는 것을 특징으로 한다.

- [0018] 상기 제2 열처리를 통하여 상기 패시베이션층의 형성시 발생하는 상기 p형 산화물 반도체 박막내의 결함(defect)이 회복될 수 있다.
- [0019] 상기 패시베이션층은 물리적 증착 방법으로 형성되고, 상기 물리적 증착 방법에 의해 상기 p형 산화물 반도체 박막 내에 물리적 데미지(damage)가 발생할 수 있다.
- [0020] 상기 제1 열처리는 100 °C 내지 900 °C 에서 수행될 수 있다.
- [0021] 상기 제2 열처리는 20 °C 내지 500 °C 에서 수행될 수 있다.
- [0022] 상기 p형 산화물 반도체 박막은 산화구리(Copper oxide), 산화주석(Tin oxide) 및 산화니켈 (Nickel oxide) 중 어느 하나의 산화물을 포함할 수 있다.
- [0023] 상기 패시베이션층은 이산화규소(SiO₂), 산화하프늄(HfO₂), 이산화 타이타늄(TiO₂), 산화지르코늄(ZrO₂), 산화알루미늄(Al₂O₃), 이트륨 옥사이드 (Y₂O₃), 산화제이갈륨(Ga₂O₃) 및 갈륨 트리옥사이드(Ge₂O₃) 중 어느 하나를 포함할 수 있다.
- [0024] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터의 제조 방법은 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 p형 산화물 반도체 박막을 형성하는 단계; 제1 열처리를 통하여 상기 형성된 p형 산화물 반도체 박막을 활성화하는 단계; 상기 p형 산화물 반도체 박막의 상부에 서로 이격되어 소스 전극 및 드레인 전극을 형성하는 단계; 및 상기 소스 전극 및 상기 드레인 전극이 형성된 상기 p형 산화물 반도체 박막 상에 패시베이션(passivation)층을 형성한 후 제2 열처리하는 단계를 포함하고,
- [0025] 상기 p형 산화물 반도체 박막은 상기 패시베이션층이 형성된 후 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널(back channel)이 선택적으로 산화됨으로써 상 변화되는 것을 특징으로 한다.

발명의 효과

- [0027] 본 발명의 실시예들은 p형 산화물 반도체를 이용하여 전기적 특성 및 신뢰성이 개선된 산화물 박막 트랜지스터 및 이의 제조 방법을 제공할 수 있다.
- [0028] 본 발명의 실시예들은 물리적 증착 방법에 의해 패시베이션층을 형성한 후 열처리함으로써, 전기적 특성이 향상된 산화물 박막 트랜지스터 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0030] 도 1a 내지 도 1f는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위하여 도시한 것이다.
- 도 2a는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 제2 열처리 온도에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- 도 2b는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 제2 열처리 시간에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- 도 2c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 증착시 파워에 따른 전기적(전압-전류) 특성을 도시한 그래프이고, 도 2d는 온/오프전류비(Ion/off)를 도시한 그래프이다.
- 도 2e는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 두께에 따른 전기적(전압-전류) 특

성을 도시한 그래프이다.

도 3a 내지 도 3c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 물질에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.

도 4a 내지 도 4c는 패시베이션층을 증착하지 않은 산화물 박막 트랜지스터(도 4a), 패시베이션층을 증착 후 제 2 열처리를 하지 않은 산화물 박막 트랜지스터(도 4b) 및 패시베이션층의 증착 후 200 °C에서 제2 열처리된 산화물 박막 트랜지스터(도 4c)에 있어서 Cu₂O박막의 x-레이 광전 분광기에서 0 1s의 스펙트럼 그래프를 도시한 것이다.

도 5a 내지 도 5c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 전기적 신뢰성을 도시한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0032] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0033] 본 명세서에서 사용되는 "실시예", "예", "측면", "예시" 등은 기술된 임의의 양상(Aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.
- [0034] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포괄적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포괄적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0035] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.
- [0036] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0037] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 또한, 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0039] 도 1a 내지 도 1f는 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터의 제조방법을 설명하기 위하여 도시한 것이다.
- [0040] 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)는 기판(110), 제1 게이트 전극(120), 게이트 절연층(130), p형 산화물 반도체 박막(140), 소스/드레인 전극(150,160) 및 패시베이션층(170)을 포함한다.
- [0041] 도 1a 및 1b를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)의 제조 방법은 기판(110)을 준비하고, 준비된 기판(110) 상에 게이트 전극(120)을 형성한다.
- [0042] 도 1a 에 도시된 바와 같이 기판(110)은 산화물 박막 트랜지스터의 여러 구성 요소들을 지지하기 위한 기판으로서, 그 재질을 특별하게 한정하는 것은 아니다.
- [0043] 예를 들어, 기판(110)은 유리, 폴리이미드계 고분자, 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리에틸렌계 고분자 또는 이들의 공중합체로 이루어진 그룹으로부터 선택되는 어느 하나의 물질로 이루어질 수 있다.
- [0044] 또한, 실시예에 따라서는 기판(110)은 폴리에스테르(Polyester), 폴리비닐(Polyvinyl), 폴리카보네이트(Polycarbonate), 폴리에틸렌(Polyethylene), 폴리아세테이트(Polyacetate), 폴리이미드(Polyimide), 폴리에테

르술폰(Polyethersulphone; PES), 폴리아크릴레이트(Polyacrylate; PAR), 폴리에틸렌나프탈레이트(Polyethylenenaphthalate; PEN) 및 폴리에틸렌테레프탈레이트(Polyethyleneterephthalate; PET)으로 이루어진 그룹으로부터 선택되는 어느 하나의 물질로 구성된 투명한 플렉서블의 물질로 이루어질 수 있다.

- [0045] 도 1b 에 도시된 바와 같이 게이트 전극(120)은 기판(110) 상에 형성될 수 있다.
- [0046] 예를 들어, 게이트 전극(120)은 진공 증착법 (vacuum deposition), 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition), 유기 금속 화학 증착법(Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0047] 게이트 전극(120)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 조합으로 이루어질 수 있으나, 이에 제한되지 않고, 다양한 물질로 이루어질 수 있다.
- [0048] 또한, 실시예에 따라서는 게이트 전극(120)은 p^+ -Si 물질을 게이트 전극(120)으로 이용할 수도 있다.
- [0049] 도 1c를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)의 제조 방법은 게이트 전극(120) 상에 게이트 절연층(Gate Insulator)(130)을 형성한다.
- [0050] 게이트 절연층(130)은 게이트 전극(120) 상에 형성되어, 게이트 전극(120)과 p형 산화물 반도체 박막(140)을 절연시킨다.
- [0051] 게이트 절연층(130)은 진공 증착법 (vacuum deposition), 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition), 원자층 증착법(atomic layer deposition), 유기금속 화학 증착법 (Metal Organic Chemical Vapor Deposition), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(Molecular Beam Epitaxy), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering), 스핀 코팅(spin coating), 딥 코팅(dip coating) 및 존 캐스팅(zone casting) 중 적어도 하나의 방법을 이용하여 형성될 수 있다.
- [0052] 게이트 절연층(130)은 실리콘옥사이드(SiO_x), 실리콘나이트라이드(SiN_x), 티타늄옥사이드(TiO_x), 하프늄옥사이드(HfO_x)와 같은 무기물 또는 폴리비닐알코올(PVA), 폴리비닐피롤리돈(PVP), 폴리메틸메타크릴레이트(PMMA)와 같은 유기물일 수 있다.
- [0053] 그러나, 게이트 절연층(130)을 구성하는 물질 및 공정 방법은 이에 한정되지 않으며, 공지된 다른 물질 및 다른 방법들이 이용될 수도 있다.
- [0054] 도 1d를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)의 제조 방법은 게이트 절연층 (130) 상에 p형 산화물 반도체 박막(140)을 형성한 후 제1 열처리를 통하여 상기 p형 산화물 반도체 박막을 활성화 한다.
- [0055] p형 산화물 반도체 박막(140)은 산화에 의해 상변화가 용이하게 발생할 수 있는 산화물일 수 있고, 예를 들면 산화구리(Copper oxide), 산화주석(Tin oxide) 및 산화니켈 (Nickel oxide) 중 어느 적어도 하나의 산화물을 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0056] 스퍼터링법(Sputtering), 화학기상증착법(CVD), 원자층 증착법(Atomic Layer Deposition; ALD) 및 스핀코팅법 (Spin coating) 중 적어도 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0057] p형 산화물 반도체 박막(140)은 제1 열처리를 통하여 활성화된다.
- [0058] 상기 제1 열처리는 100 °C 내지 900 °C 범위의 온도로 수행될 수 있다.
- [0059] 도 1e를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)의 제조 방법은 p형 산화물 반도체 박막(140) 상에 소스 전극(150) 및 드레인 전극(160)이 서로 이격되어 형성된다.
- [0060] 소스 전극(150) 및 드레인 전극(160)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 니켈 (Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt) 또는 탄탈(Ta)과 같은 저저항의 도전 물질을 사용할 수

있다.

- [0061] 또한, 소스 전극(150) 및 드레인 전극(160)은 인듐 틴 옥사이드(ITO), 인듐 징크옥사이드(IZO) 또는 인듐 틴 징크 옥사이드(ITZO)와 같은 투명한 도전 물질을 사용할 수 있다.
- [0062] 실시예에 따라서는 소스 전극(150) 및 드레인 전극(160)은 상기 도전 물질이 두 가지 이상 적층된 다층구조로 형성될 수도 있다.
- [0063] 도 1f를 참조하면, 본 발명의 일 실시예에 따른 산화물 박막 트랜지스터(100)의 제조 방법은 소스 전극(150) 및 드레인 전극(160)이 서로 이격되어 형성된 p형 산화물 반도체 박막(140) 상에 패시베이션층(170)이 형성된 후 제2 열처리를 한다.
- [0064] 패시베이션층(170)은 이산화규소(SiO₂), 산화하프늄(HfO₂), 이산화 타이타늄(TiO₂), 산화지르코늄(ZrO₂), 산화알루미늄(Al₂O₃), 이트륨 옥사이드 (Y₂O₃), 산화제이갈륨(Ga₂O₃) 및 갈륨 트리옥사이드(Ge₂O₃) 중 적어도 어느 하나를 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0065] 패시베이션층(170)은 p형 산화물 반도체 박막(140) 상에만 선택적으로 형성될 수 있고, p형 산화물 반도체 박막(140)을 포함하는 기판(110) 상에 전체적으로 형성될 수도 있다.
- [0066] 패시베이션층(170)은 소스 전극(150) 및 드레인 전극(160)이 서로 이격되어 형성된 p형 산화물 반도체 박막(140) 상에 형성된 후 제2 열처리를 한다.
- [0067] 상기 제2 열처리는 20 °C 내지 500 °C 범위의 온도로 수행될 수 있다.
- [0068] 패시베이션층(170)은 물리적 증착 방법으로 형성될 수 있고, 예를 들면 스퍼터링(sputtering), 전자 빔 증착(e-beam evaporation), 열 증착(thermal evaporation), 분자선 성장법(Molecular Beam Epitaxy) 및 펄스 레이저 증착(pulsed laser deposition) 중 적어도 어느 하나의 방법을 이용하여 형성될 수 있다.
- [0069] 패시베이션층(170)을 산화물 반도체 타겟을 이용하여 스퍼터링(sputtering) 방법으로 증착하는 경우, 인가되는 파워는 스퍼터링 시의 데미지(damage)가 산화물 반도체 박막의 금속-산소 결합을 깨줄 수 있는 크기 이상이면 제한되지 않는다. 균일도
- [0070] 패시베이션층(170)을 상기 물리적 증착 방법으로 증착하게 되면, 상기 p형 산화물 반도체 박막 내에 물리적인 데미지(damage)가 발생하게 된다.
- [0071] 상기 p형 산화물 반도체 박막 내에 발생한 물리적인 데미지에 의해 p형 산화물 반도체 박막의 백 채널(back channel)에 산소 공공과 같은 다량의 결함(defect)이 발생하게 되고, 이에 따라 산화물 박막 트랜지스터(100)의 전체적인 전류 레벨이 감소하게 되어 스위치 특성을 나타내지 못하게 된다.
- [0072] 따라서, 패시베이션층(170)이 형성된 후 상기 제2 열처리를 통하여 상기 p형 산화물 반도체 박막의 백 채널이 선택적으로 산화되고, 선택적 산화를 통하여 상변화가 발생함으로써 산화물 박막 트랜지스터의 전기적 특성이 향상될 수 있다.
- [0074] 이하에서는, 도 2a 내지 도 5c를 참조하여 본 발명의 실시예에 따른 산화물 반도체 박막 트랜지스터의 특성에 대해 설명하기로 한다.
- [0076] 실시예
- [0077] (게이트 전극 및 게이트 절연층이 형성된 기판의 준비)
- [0078] p⁺-Si 기판 상에 열산화(thermal oxidation) 방법을 이용하여 게이트 절연층으로서 SiO₂을 형성하여 SiO₂/p⁺-Si 기판을 준비한 다음, 아세톤, 메탄올 및 증류수 순으로 각각 10분 동안 35 °C에서 초음파 세척을 한 후에 질소 건을 이용하여 블러링(blurring)해주었다.
- [0079] (p형 산화물 반도체 박막의 형성)
- [0080] 스퍼터를 이용하여 0.7 mTorr의 사용 압력 조건에서, Ar 분위기 하에 Cu₂O 산화물 박막을 증착하였다. 150 W의

RF 파워로 5분 간의 증착을 통하여 증착된 Cu_2O 산화물 박막의 두께는 45 nm 이다.

- [0081] 이후, Cu_2O 산화물 박막을 활성화 시키기 위해, 퍼네이스(furnace)를 이용하여 800 °C에서 1분 동안 제1 열처리를 진행하였다.
- [0082] (소스 전극 및 드레인 전극의 형성)
- [0083] Cu_2O 산화물 박막의 활성화 후, 새도우 마스크(shadow mask) 및 스퍼터로 백금(Pt)을 증착하여 폭 및 길이가 1,000 μm 및 100 μm 인 소스 전극 및 드레인 전극을 증착하였다.
- [0084] (패시베이션층의 형성)
- [0085] 소스 전극 및 드레인 전극이 형성된 Cu_2O 산화물 박막 상에 스퍼터를 이용하여 이산화규소(SiO_2)를 증착한 후 핫 플레이트(hot plate)를 이용하여 200 °C 에서 30분 동안 제2 열처리를 진행하였다.
- [0087] 도 2a는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 제2 열처리 온도에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- [0088] 구체적으로, 패시베이션층이 없는 산화물 박막 트랜지스터, 패시베이션층을 증착한 후 제2 열처리를 하지 않은 산화물 박막 트랜지스터 및 100 °C 내지 400 °C로 제2 열처리시 전기적 특성을 도시한 그래프이다.
- [0089] 도 2a를 참조하면, 패시베이션층이 없는 산화물 박막 트랜지스터는 온오프 전류비가 매우 낮아 우수한 스위치 특성을 나타내지 못함을 알 수 있다.
- [0090] 패시베이션층을 증착한 후 제2 열처리를 하지 않은 경우에는 패시베이션층의 증착시 발생한 Cu_2O 산화물 박막 내의 물리적 데미지에 의해 백 채널 내에 산소 공공과 같은 다량의 결함들이 발생하여 전체적인 전류 레벨이 떨어짐에 따라 스위치 특성을 나타내지 못함을 알 수 있다.
- [0091] 반면, 제2 열처리 온도가 100 °C 및 200 °C인 경우에 그렇지 않은 경우(as-deposited))와 대비하여 전류값이 증가된 특성을 보임을 확인할 수 있다.
- [0092] 특히, 제2 열처리 온도가 200 °C인 경우에 게이트 전압이 증가됨에 따라 소스-드레인의 전류값이 높음을 알 수 있다.
- [0093] 그러나, 제2 열처리 온도가 400 °C인 경우에는 패시베이션층이 없는 산화물 박막 트랜지스터와 유사한 전류 특성을 보임을 알 수 있다.
- [0094] 이로부터, 패시베이션층의 증착 및 제2 열처리를 통하여 오프 전류가 크게 낮아짐에 따라 산화물 박막 트랜지스터의 스위칭 특성이 매우 향상됨을 알 수 있다.
- [0096] 도 2b는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 제2 열처리 시간에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- [0097] 도 2b를 참조하면, 패시베이션층이 없는 산화물 박막 트랜지스터 및 제2 열처리를 하지 않은 산화물 박막 트랜지스터의 경우보다 제2 열처리를 한 경우에 오프 전류가 감소하고 및 온 전류가 증가함을 알 수 있다.
- [0098] 특히, 제2 열처리 시간이 30분인 경우 산화물 박막 트랜지스터의 스위칭 특성이 매우 향상됨을 알 수 있다.
- [0100] 도 2c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 증착시 파워에 따른 전기적(전압-전류) 특성을 도시한 그래프이고, 도 2d는 온/오프전류비($I_{\text{on/off}}$)를 도시한 그래프이다.
- [0101] 도 2c 및 도 2d를 참조하면, 패시베이션층의 증착시 파워에 따른 전기적인 특성은 차이가 없음을 알 수 있으나, 증착시 파워가 낮아질수록 산화물 박막 트랜지스터의 균일도가 낮아짐을 알 수 있다.

- [0102] 이에 따라, 패시베이션층의 증착시 최적의 파워는 150 W 임을 알 수 있다.
- [0104] 도 2e는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 두께에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- [0105] 도 2e를 참조하면, 패시베이션층의 두께에 따른 전기적인 특성은 차이가 거의 없음을 알 수 있고, 패시베이션층의 바람직한 두께는 20 nm 인 것을 알 수 있다.
- [0107] 상기에서와 살펴본 바와 같이, 패시베이션층의 증착시 물리적 데미지에 의해 p형 산화물 반도체 박막의 백 채널 영역에 결함이 발생하게 되는데, 제2 열처리를 통하여 백 채널이 선택적으로 산화되고 이에 따라 백 채널이 상 변화됨으로써, 낮은 오프 전류를 나타냄을 알 수 있다.
- [0108] 따라서, 패시베이션층의 증착 및 제2 열처리를 통하여 스위칭 특성이 향상된 산화물 박막 트랜지스터를 제조할 수 있다.
- [0110] 도 3a 내지 도 3c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 패시베이션층의 물질에 따른 전기적(전압-전류) 특성을 도시한 그래프이다.
- [0111] 도 3a 내지 도 3c를 참조하면, 패시베이션층을 각각 SiO₂, Ge₂O₃ 및 Ga₂O₃로 증착하였을 때 패시베이션층의 물질과 상관없이 산화물 박막 트랜지스터의 전류 특성이 유사함을 알 수 있다.
- [0113] 도 4a 내지 도 4c는 패시베이션층을 증착하지 않은 산화물 박막 트랜지스터(도 4a), 패시베이션층을 증착 후 제2 열처리를 하지 않은 산화물 박막 트랜지스터(도 4b) 및 패시베이션층의 증착 후 200 °C에서 제2 열처리된 산화물 박막 트랜지스터(도 4c)에 있어서 Cu₂O박막의 x-레이 광전 분광기에서 0 1s의 스펙트럼 그래프를 도시한 것이다.
- [0114] 도 4a 내지 도 4c를 참조하면, 200 °C에서 제2 열처리를 하게 되면 Cu²⁺가 Cu⁺로 산화되고, 이에 따라 백 채널 내에 Cu₂O에서 CuO로 상변화가 발생함을 알 수 있으며, 채널층 내에 Cu₂O 및 CuO가 공존함을 알 수 있다.
- [0116] 도 5a 내지 도 5c는 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 전기적 신뢰성을 도시한 그래프이다.
- [0117] 도 5a 내지 도 5c를 참조하면, 0.45 cm²/Vs 수준의 전하 이동도와 함께, PBS(positive bias stress) 조건에서 +2.25 V 및 NBS(negative bias stress) 조건에서 -4.84 V의 V_{TH}의 이동이 나타남을 알 수 있다.
- [0118] 이로부터, 산화물 박막 트랜지스터에 패시베이션층을 증착함으로써, 전기적 및 특성 및 신뢰성이 향상됨을 알 수 있다.
- [0120] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0121] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

- [0123] 100 : 산화물 박막 트랜지스터

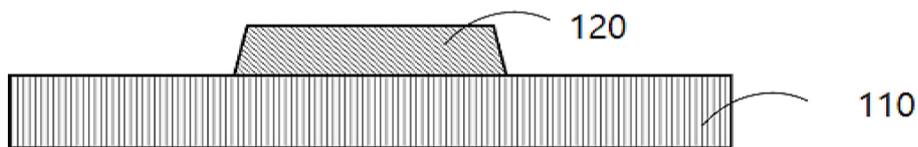
- 110 : 기판
- 120 : 게이트 전극
- 130 : 게이트 절연층
- 140 : p형 산화물 반도체 박막
- 150 : 소스 전극
- 160 : 드레인 전극
- 170 : 패시베이션층

도면

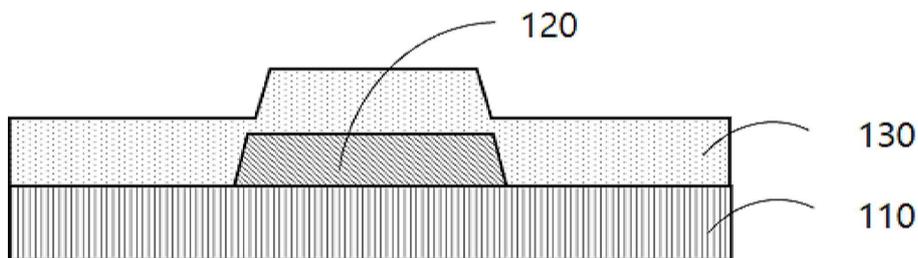
도면1a



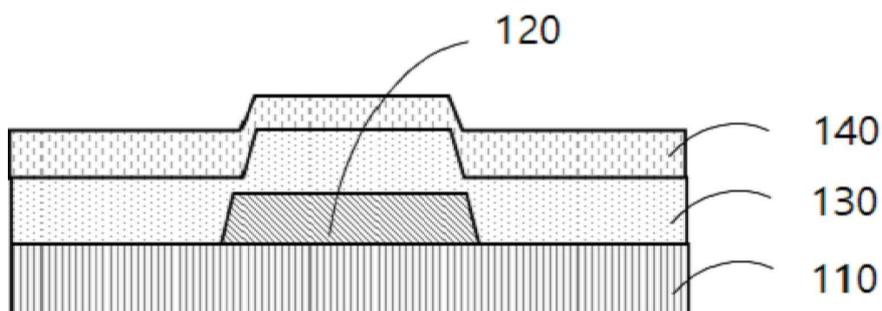
도면1b



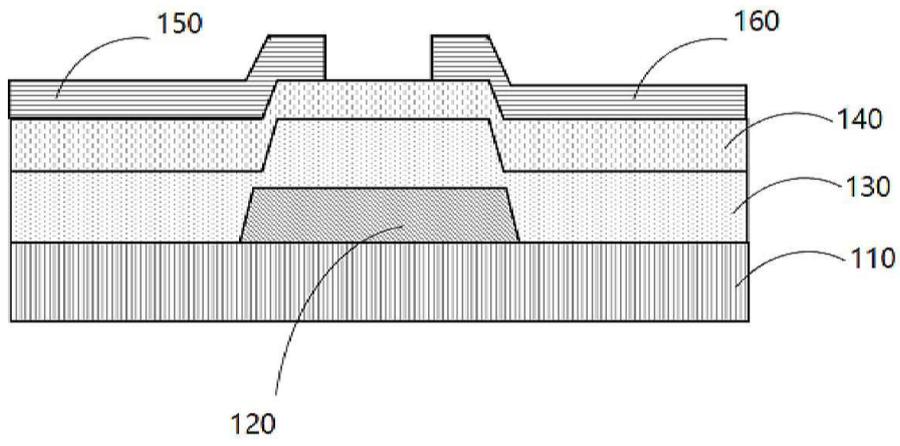
도면1c



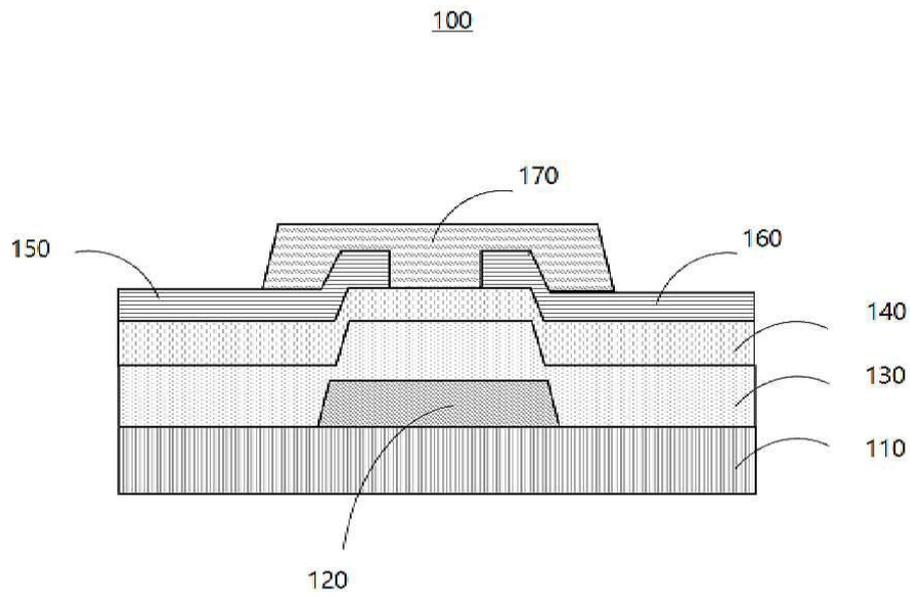
도면1d



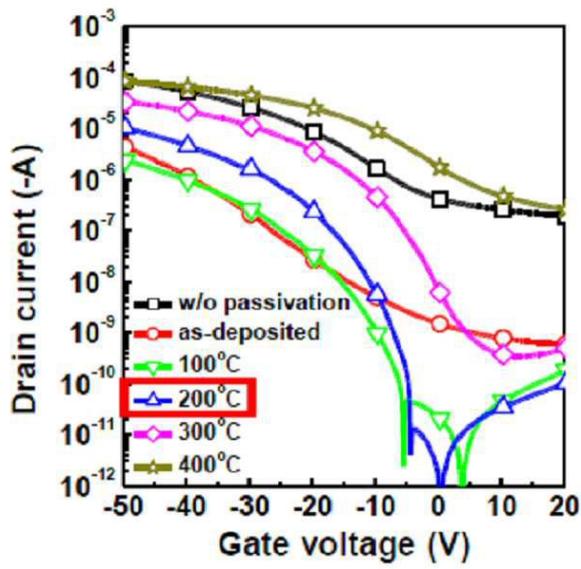
도면1e



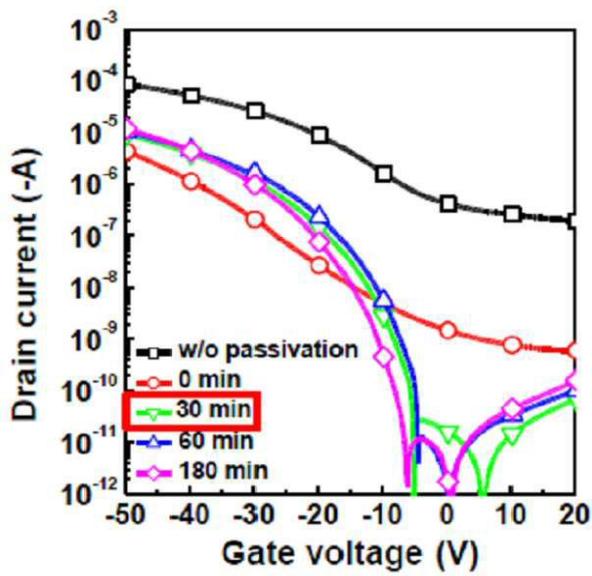
도면1f



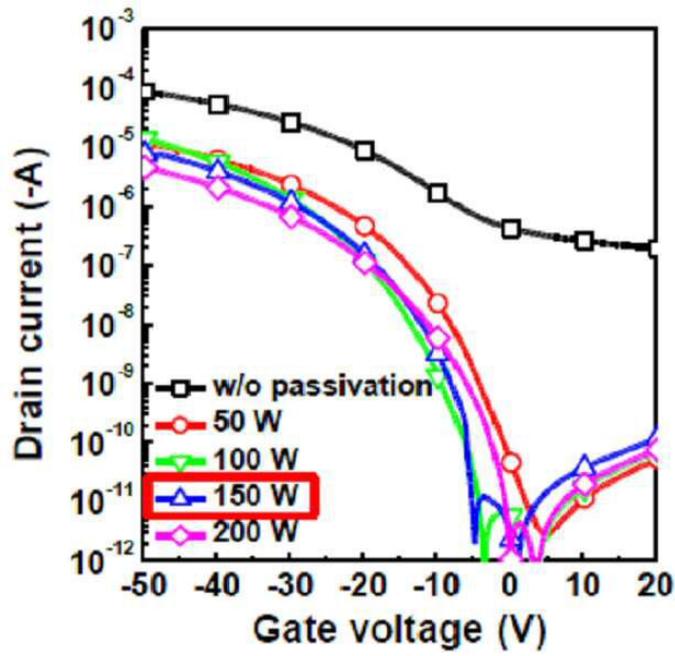
도면2a



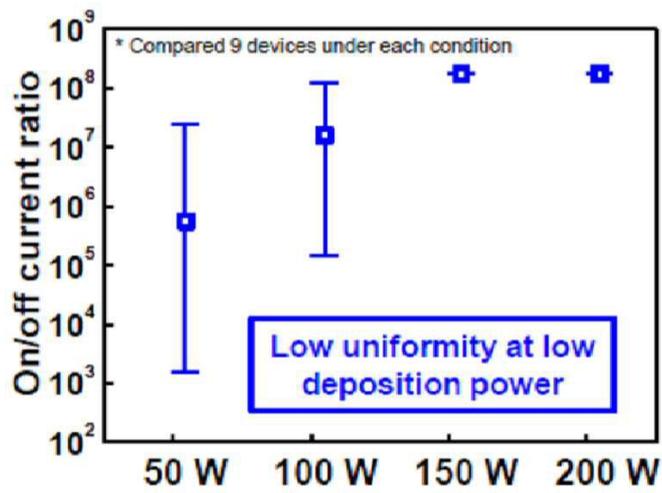
도면2b



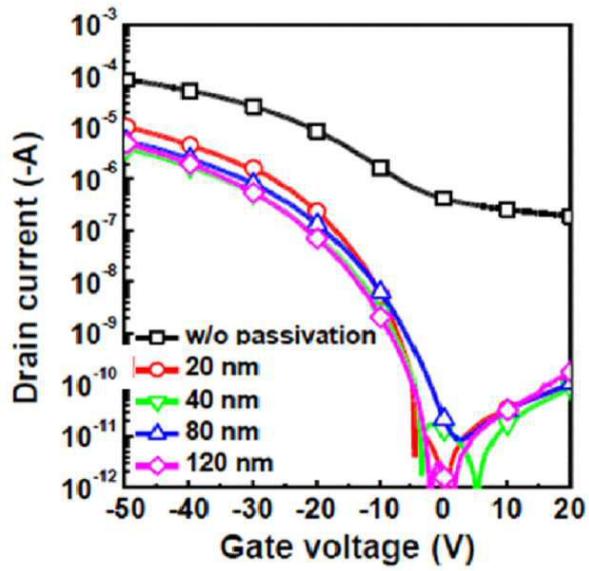
도면2c



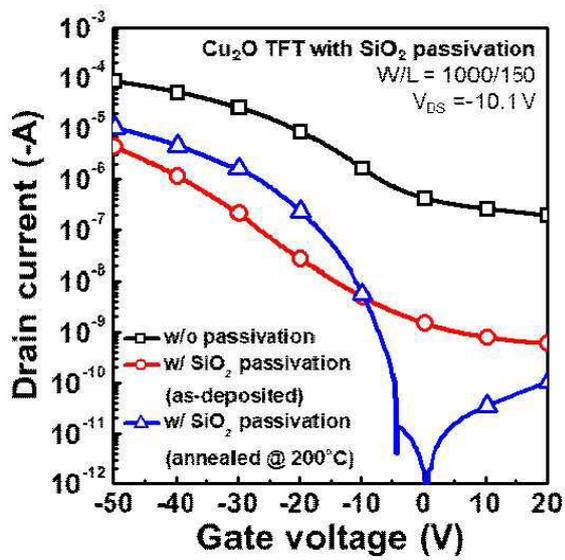
도면2d



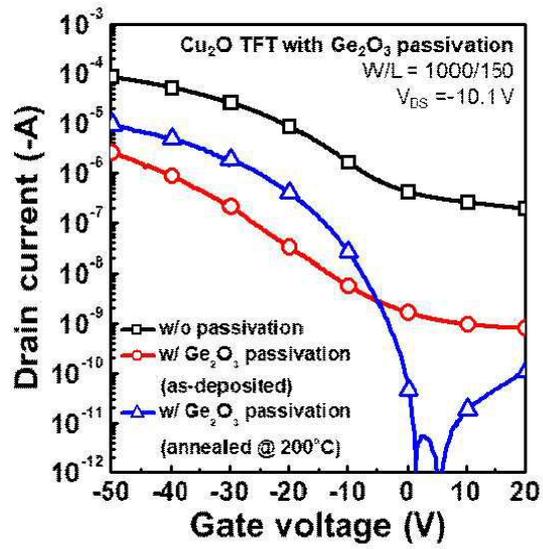
도면2e



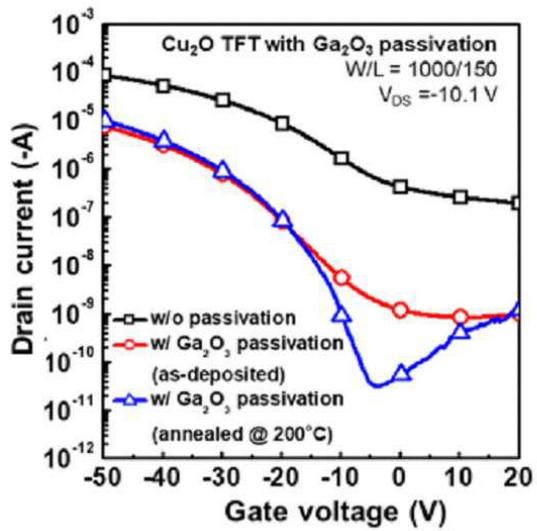
도면3a



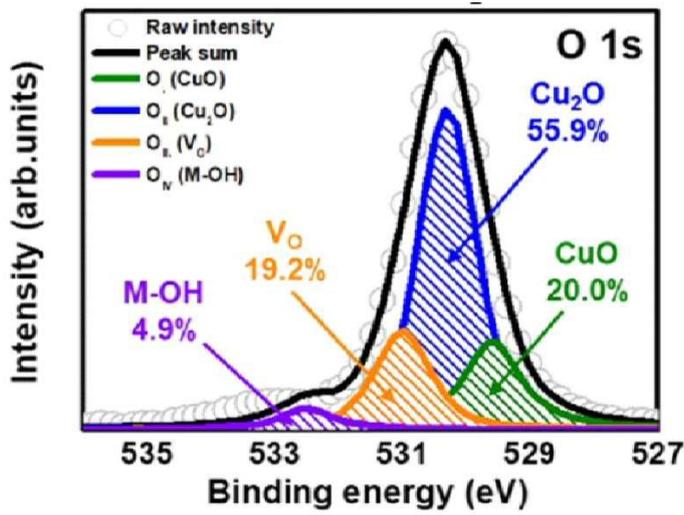
도면3b



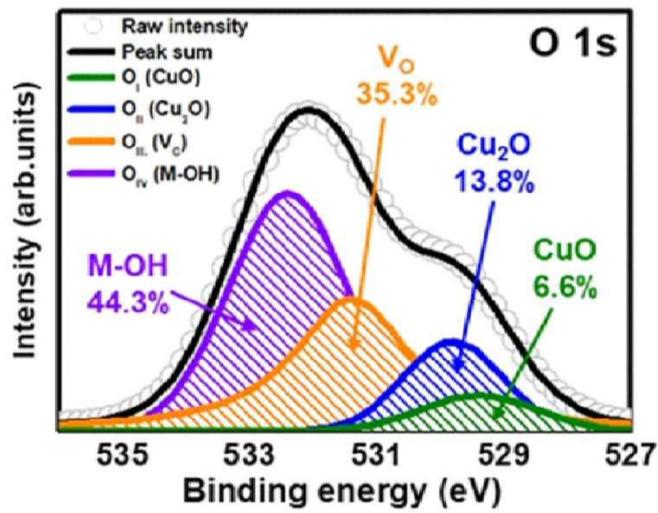
도면3c



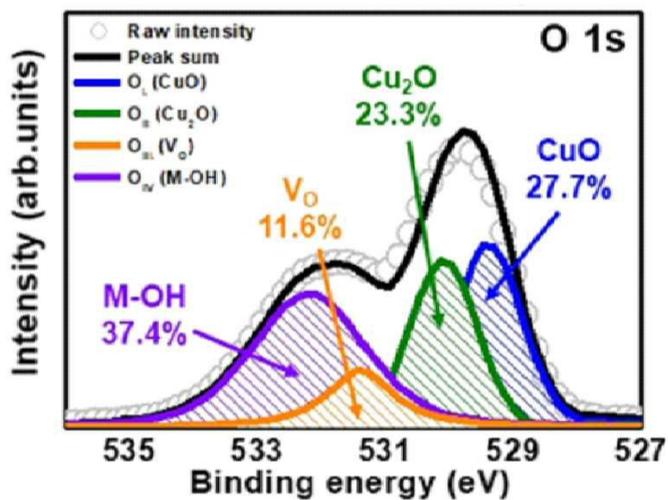
도면4a



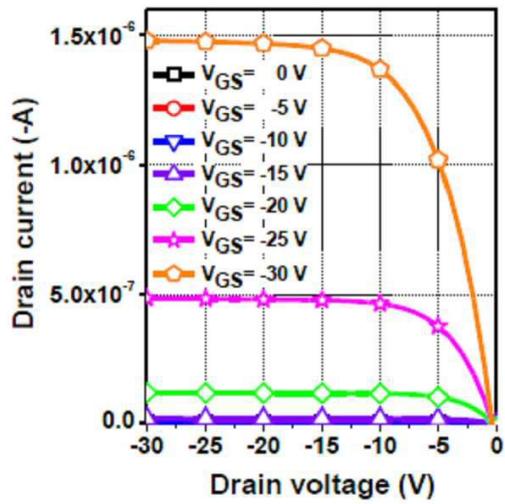
도면4b



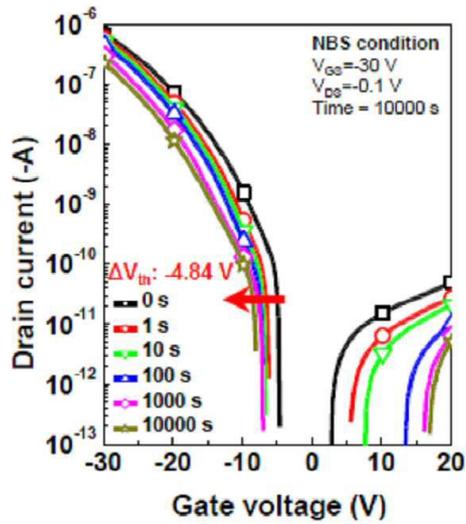
도면4c



도면5a



도면5b



도면5c

