



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0048751  
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/144 (2013.01)

(21) 출원번호 10-2018-0131187

(22) 출원일자 2018년10월30일

심사청구일자 2018년10월30일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

손현철

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 B425호(신촌동)

이다윤

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 230호

김태호

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 230호

(74) 대리인

김권석

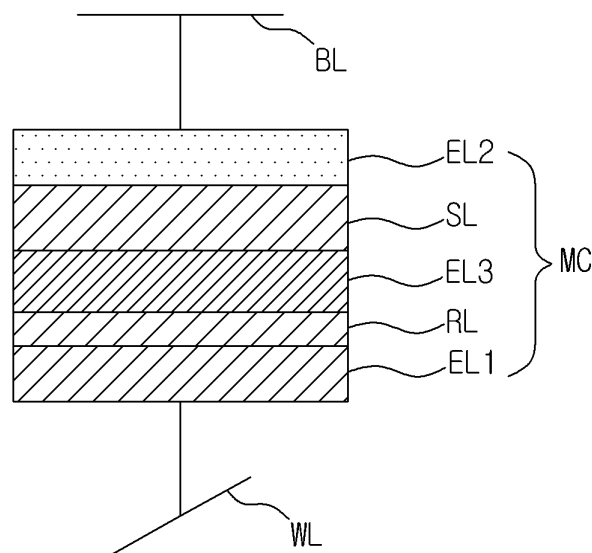
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 비선형 스위치 소자, 이의 제조 방법 및 이를 포함하는 비휘발성 메모리 소자

(57) 요약

본 발명은 비선형 스위치 소자, 이의 제조 방법, 및 이를 포함하는 비휘발성 메모리 소자에 관한 것이다. 본 발명의 일 실시예에 따르면, 제 1 전극; 제 2 전극; 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되며,  $Ga_{1-x}Te_x$  ( $0 \leq x < 1$ )를 갖는 스위칭 박막을 포함하는 비선형 스위치 소자가 제공된다.

대표도 - 도1b



(52) CPC특허분류

**H01L 45/145** (2013.01)

**H01L 45/16** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10068075

부처명 산업통상자원부

연구관리전문기관 한국반도체연구조합

연구사업명 기타사업

연구과제명 Mott-transition 기반 Forming-less 비휘발성 저항 변화 메모리 및 Array 개발(3/6)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.01.01 ~ 2018.12.31

---

## 명세서

### 청구범위

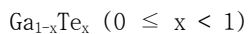
#### 청구항 1

제 1 전극;

제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되며, 하기 화학식 1에 따른 조성비를 갖는 스위칭 박막을 포함하는 비선형 선택 소자;

[화학식 1]



#### 청구항 2

제 1 항에 있어서,

상기 x 의 범위는  $0.5 \leq x < 1$  범위인 비선형 스위칭 소자.

#### 청구항 3

제 1 항에 있어서,

상기 비선형 스위칭 소자는 오보닉 문턱 스위치(Ovonic Threshold Switch: OTS) 특성을 갖는 비선형 스위칭 소자.

#### 청구항 4

제 1 항에 있어서,

상기 비선형 스위칭 소자는 1/2의 문턱 전압에서의 off 전류(=  $I_{\text{off}} @ V_{\text{th}}$ )에 대한 문턱 전압에서의 on 전류(=  $I_{\text{on}} @ V_{\text{th}}$ )로 정의되는  $0.8 \times 10^4$  이상의 선택비를 갖는 비선형 선택 소자.

#### 청구항 5

제 1 항에 있어서,

상기 스위칭 박막은 적어도 일부의 전도 가능 영역을 포함하며, 상기 전도 가능 영역을 통해 인가된 전계(electric field)에 의해, 상기 제 1 전극과 상기 제 2 전극 사이가 전도성 경로(conductive path)를 형성하는 비선형 스위칭 소자.

#### 청구항 6

제 1 항에 있어서,

상기 제 1 전극 및 제 2 전극 중 적어도 어느 하나는 타이타늄(Ti), 탄탈륨(Ta), 구리(Cu), 알루미늄(Al), 니켈(Ni), 백금(Pt), 금(Au), 백금(Pt), 팔라듐(Pd) 또는 로듐(Rh) 텅스텐(W), TiN 또는 TaN 실리콘(Si) 또는 WSix, NiSix, CoSix 또는 TiSix 중 어느 하나, 이의 혼합물, 합금화물 또는 2 이상의 적층 구조를 포함하는 비선형 스위치 소자.

#### 청구항 7

제 1 항에 있어서,

상기 스위칭 박막의 두께는 5 nm 내지 80 nm의 범위 내인 비선형 스위치 소자.

## 청구항 8

제 1 전극을 형성하는 제 1 단계;

상기 제 1 전극 상에,  $Ga_{1-x}Te_x$  ( $0 \leq x < 1$ )를 갖는 스위칭 박막을 형성하는 제 2 단계; 및

상기 스위칭 박막 상에 제 2 전극을 형성하는 제 3 단계를 포함하는 비선형 스위치 소자의 제조 방법.

## 청구항 9

제 8 항에 있어서,

상기  $x$ 의 범위는  $0.5 \leq x < 1$ 인 비선형 스위치 소자의 제조 방법.

## 청구항 10

제 8 항에 있어서,

상기 스위칭 박막은 비정질 구조를 갖는 비선형 스위치 소자의 제조 방법.

## 청구항 11

제 8 항에 있어서,

상기 스위칭 박막의 두께는 5 nm 내지 80 nm의 범위 내인 비선형 스위치 소자의 제조 방법.

## 청구항 12

제 1 항 기재의 비선형 스위칭 소자; 및

상기 비선형 스위칭 소자에 전기적으로 직렬 연결된 상변화 메모리, 자기메모리, 또는 저항변화 메모리를 구현하기 위한 정보 저장 부재를 포함하고,

상기 정보 저장 부재는, 상변화 재료, 가변 저항성 재료, 프로그램 가능한 금속화 셀 재료, 자성체 재료 또는 이들의 조합을 포함하는 비휘발성 메모리 소자.

## 청구항 13

제 12 항에 있어서,

상기 정보 저장 부재는 단일층 또는 복수의 적층 구조체로 형성되는 비휘발성 메모리 소자.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 비선형 스위치 소자, 이의 제조 방법 및 이를 포함하는 비휘발성 메모리 소자에 관한 것이다.

### 배경 기술

[0002] 최근, 디지털 카메라, MP3 플레이어, PDA(personal digital assistants) 및 휴대폰과 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 시장은 급속도로 팽창하고 있다. 프로그래밍 가능한 비휘발성 메모리 소자로서 낸드(NAND) 플래시 메모리가 대표적이며 멀티레벨 셀(MLC) 구현을 통해 집적도가 향상되고 있다. 그러나, 상기 낸드 플래시 메모리도 스케일링의 한계에 도달함에 따라, 이를 대체할 수 있는 비휘발성 메모리 소자로서 가역적으로 저항 값이 변할 수 있는 가변 저항체를 이용한 저항성 메모리 소자(ReRAM)가 주목을 받고 있다. 상기 가변 저항체의 저항 값이라는 물리적 특성을 그 자체로 데이터 상태로써 이용할 수 있고 저전력 구동이 가능하므로 단순한 구성을 가지면서도 저전력 메모리 소자로서 광범위하게 연구되고 있다.

[0003] 일반적으로 상기 차세대 메모리 소자는 집적도를 증가시키기 위하여 크로스 포인트 구조의 어레이를 갖도록 개발되고 있으나, 상기 크로스 포인트 구조에서는, 인접하는 셀 사이에 발생하는 누설 전류(sneak current)에 의해, 셀 정보에 대한 쓰기 오류 및 읽기 오류와 같은 셀간 간섭(crosstalk)이 발생할 가능성이 있다. 이를 위해

서, 셀 어레이 내에 선택 소자 같은 스위치 소자를 적용하는 연구가 진행되고 있다. 이러한 스위치 소자로는, 트랜지스터, 다이오드, 터널 장벽 소자(tunnel barrier device), 또는 오보닉 문턱 스위치(ovonic threshold switch)와 같은 소자가 제안되고 있다.

- [0004] 차세대 메모리 소자에 적용되기 위한 스위치 소자의 경우, 다이오드와 달리 + 및 - 극성의 외부 전계에 대해 대칭적인 전류-전압(I-V) 특성을 가지며, 낮은 외부 전계에서는 낮은 전류가 흐르고 높은 외부 전계에서는 높은 전류가 흐르는 우수한 비선형 특성이 바람직하다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는, 저전력 및 고집적의 저항성 메모리 소자를 구현하기 위해 외부 전계에 대칭적인 I-V 특성을 가지며, 낮은 외부 전계에서는 낮은 전류가 흐르고 높은 외부 전계에서는 높은 전류가 흘러 높은 온/오프 전류 비( $I_{on}/I_{off}$ )를 갖는 비선형 특성을 갖는 스위치 소자를 제공하는 것이다.
- [0007] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 전술한 이점을 갖는 비선형 특성을 갖는 스위치 소자의 제조 방법을 제공하는 것이다.
- [0008] 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 전술한 이점을 갖는 비선형 특성을 갖는 스위치 소자를 포함하는 비휘발성 메모리 소자를 제공하는 것이다.

### 과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따르면,

### 발명의 효과

- [0014] 본 발명의 실시예에 따르면,  $Ga_{1-x}Te_x$  ( $0 \leq x < 1$ )를 갖는 스위칭 박막을 사용함으로써, 외부 전계에 대칭적인 I-V 특성을 가지며, 낮은 외부 전계에서는 낮은 전류가 흐르고 높은 외부 전계에서는 높은 전류가 흘러 높은 온/오프 전류 비( $I_{on}/I_{off}$ )를 갖는 비선형 스위치 소자가 제공될 수 있다.
- [0015] 또한, 본 발명의 다른 실시예에 따르면, 상기 이점을 갖는 비선형 스위치를 용이하게 제조할 수 있는 신뢰성 있는 비선형 스위치 소자의 제조 방법이 제공될 수 있다.
- [0016] 또한, 본 발명의 또 다른 실시예에 따르면, 전술한 이점을 갖는 비선형 스위치 소자를 이용하여 1S-1R 구조의 메모리 셀을 포함하는 크로스 포인트 구조의 비휘발성 메모리 어레이를 구현함으로써, 고집적화된 저전력 비휘발성 메모리 소자가 제공될 수 있다.

### 도면의 간단한 설명

- [0018] 도 1a는 본 발명의 일 실시예에 따른 크로스 포인트 어레이를 갖는 비휘발성 메모리 소자의 사시도이며, 도 1b는 본 발명의 일 실시예의 메모리 셀의 단면도이고, 도 1c는 본 발명의 일 실시예에 따른 비선형 스위치 소자의 단면도이고, 도 1d는 본 발명의 일 실시예에 따른 비선형 스위치 소자의 제조 방법을 도시하는 순서도이다.

도 2a 및 도 2d는 본 발명의 실시예에 따른 GaTe계 스위치 소자를 적용한 비휘발성 메모리 소자의 전류-전압 거동을 도시하는 그래프들이다.

도 3은 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템을 도시하는 블록도이다.

도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함하는 메모리 카드를 도시하는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0020] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0021] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0022] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0023] 본 명세서에서 기관 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기관 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기관 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.
- [0024] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.
- [0025] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.
- [0027] 도 1a는 본 발명의 일 실시예에 따른 크로스 포인트 어레이를 갖는 비휘발성 메모리 소자(100)의 사시도이며, 도 1b는 본 발명의 일 실시예의 메모리 셀(MC)의 단면도이고, 도 1c는 본 발명의 일 실시예에 따른 비선형 스위치 소자의 단면도이고, 도 1d는 본 발명의 일 실시예에 따른 비선형 스위치 소자의 제조 방법을 도시하는 순서도이다.
- [0028] 도 1a를 참조하면, 비휘발성 메모리 소자(100)는 복수의 행들과 열들로 배열된 메모리 셀들(MC)의 어레이를 포함할 수 있다. 일 세트의 도전성 전극들(여기서는 워드 라인들이라 함; WL1-WL4)이 메모리 셀들(MC)의 어레이의 일 단부 상으로 연장된다. 각 워드 라인(WL1-WL4)은 해당 행(row)의 메모리 셀들(MC)과 전기적으로 연결될 수 있다. 다른 세트의 도전성 전극들(여기서는 비트 라인들이라 함; BL1-BL5)이 메모리 셀들(MC)의 어레이의 타 단부 상으로 연장될 수 있다. 각 비트 라인(BL1-BL5)은 해당 열(column)의 메모리 셀들(MC)과 전기적으로 연결될 수 있다.
- [0029] 비휘발성 메모리 소자(100)에서, 각 메모리 셀(MC)은 하나의 워드 라인과 하나의 비트 라인의 교차점에 배치될 수 있다. 특정 메모리 셀(선택된 메모리 셀이라 함)의 읽기 및 쓰기 동작은, 선택된 메모리 셀과 결합된 워드 라인과 비트 라인을 활성화시키는 것에 의해 수행될 수 있다. 비휘발성 메모리 소자(100)는 각각의 워드 라인을 통해 메모리 셀들(MC)에 결합되고 선택된 메모리 셀의 읽기 또는 기록을 위해 선택된 워드 라인을 활성화시키는 워드 라인 제어 회로, 예를 들면, 행 디코더를 더 포함할 수 있다. 비휘발성 메모리 소자(100)는 각각의 비트 라인들(BL1- BL5)을 통해 메모리 셀들(MC)에 결합되는 비트 라인 제어 회로, 예를 들면 열 디코더 또는 페이지 버퍼에 연결될 수 있다.

- [0030] 상기 워드 라인 제어 회로와 상기 비트 라인 제어 회로는 선택된 메모리 셀에 결합된 해당 워드 라인과 비트 라인을 활성화시켜 특정 메모리 셀에 선택적으로 액세스할 수 있다. 기록 동작 동안 워드 라인 제어 회로는 선택된 워드 라인에 소정 전압을 인가함으로써 선택된 메모리 셀에 정보를 기록한다. 이 경우, 선택된 메모리 셀로 메모리 셀의 특성에 영향을 미치는 전류가 흐르면서 논리 값을 기록한다.
- [0031] 각각의 메모리 셀들은 정보 저장 부재(RL)를 포함하며, 각각의 메모리들은 정보 저장 부재(RL)에 따라 결정될 수 있다. 정보 저장 부재(RL)는, 상변화 메모리, 자기메모리, 또는 저항변화 메모리와 같은 비휘발성 메모리 셀을 제공하기 위한, 상변화 재료, 가변 저항성 재료, 프로그래밍 가능한 금속화셀 재료, 자성체 재료, 또는 이들의 조합을 포함할 수 있다.
- [0032] 상기 상변화 재료는 비정질 상태에서 결정질 상태로 또는 그 반대로 가역적으로 전환될 수 있으며, 그에 따라 서로 다른 저항값을 갖는 재료이다. 일반적으로, 상기 상변화 재료는 비정질 상태에서는 고저항을 갖고, 결정질 상태에서는 저저항을 갖는다. 상기 상변화 재료는, 예를 들면,  $\text{GeSbTe}$ 계 재료, 즉,  $\text{GeSb}_2\text{Te}_3$ ,  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ,  $\text{GeSb}_2\text{Te}_4$  중 어느 하나 또는 이들의 조합과 같은 칼코게나이드계 화합물을 포함할 수 있다. 또는, 다른 상변화 재료로서,  $\text{GeTeAs}$ ,  $\text{GeSnTe}$ ,  $\text{SeSnTe}$ ,  $\text{GaSeTe}$ ,  $\text{GeTeSnAu}$ ,  $\text{SeSb}_2$ ,  $\text{InSe}$ ,  $\text{GeTe}$ ,  $\text{BiSeSb}$ ,  $\text{PdTeGeSn}$ ,  $\text{InSeTiCo}$ ,  $\text{InSbTe}$ ,  $\text{In}_3\text{SbTe}_2$ ,  $\text{GeTeSb}_2$ ,  $\text{GeTe}_3\text{Sb}$ ,  $\text{GeSbTePd}$  또는  $\text{AgInSbTe}$  가 있으며, 이들은 예시적일 뿐 본 발명이 이에 제한되는 것이 아니다. 또한, 전술한 재료들에, 불순물 원소, 예를 들면, B, C, N, P와 같은 비금속 원소가 더 도핑된 재료가 적용될 수도 있다.
- [0033] 다른 실시예로서, 정보 저장 부재(RL)는 전기적 신호에 의해 전기적 저항값이 가역적으로 변할 수 있는 상기 가변 저항성 재료를 포함할 수 있다. 상기 가변 저항성 재료는, 전술한 상변화 재료와 유사하게 저저항 상태와 고저항 상태 사이에서 가역적으로 변환될 수 있는 재료이다. 상기 가변 저항성 재료의 예로서,  $\text{SrTiO}_3$ ,  $\text{SrZrO}_3$ ,  $\text{Nb:SrTiO}_3$ 와 같은 페로브스카이트계 산화물 또는  $\text{TiO}_x$ ,  $\text{NiO}$ ,  $\text{TaO}_x$ ,  $\text{HfO}_x$ ,  $\text{AlO}_x$ ,  $\text{ZrO}_x$ ,  $\text{CuO}_x$ ,  $\text{NbO}_x$ , 및  $\text{TaO}_x$ ,  $\text{GaO}_x$ ,  $\text{GdO}_x$ ,  $\text{MnO}_x$ ,  $\text{PrCaMnO}$ , 및  $\text{ZnONiO}_x$ 와 같은 전이 금속 산화물을 포함할 수 있다. 상기 페로브스카이트계 산화물 및 전이 금속 산화물은 화학양론적 또는 비화학양론적일 수 있으며, 본 발명이 이에 한정되는 것은 아니며, 열거된 재료는 2 이상의 혼합되거나 적층되어 실시될 수도 있다. 일 실시예에서, 가변 저항성 재료는 스핀터링 또는 원자층 증착 공정을 통해 형성될 수 있을 것이다.
- [0034] 가변 저항성 재료의 저항 스위칭 특성을 설명하기 위하여, 도전성 필라멘트, 계면 효과 및 트랩 전하와 관련된 다양한 메커니즘들이 제안되고 있지만, 이러한 메커니즘들은 여전히 명확한 것은 아니며 본 발명이 이에 의해 제한되는 것은 아니다. 비휘발성 메모리 소자로의 응용을 위해, 미세 구조 내에 전하에 의한 전류에 영향을 미치는 일종의 이력(hysteresis)을 갖는 인자를 가지는 한, 본 발명의 정보 저장 부재(RL)로서 이용될 수 있다. 일 실시예에서, 상기 재료들은 단일 층으로 또는 에너지 밴드 엔지니어링을 위해 2 이상의 재료들이 적층된 멀티 층으로 정보 저장 부재(RL)를 구성할 수도 있다.
- [0035] 또한, 상기 이력은 인가 전압의 극성에 무관한 단극성(unipolar) 스위칭 특성과 상기 인가 전압의 극성에 의존하는 양극성(bipolar) 스위칭 특성에 따라 구별되는 특성을 가질 수 있지만, 본 발명은 이에 제한되지 않는다. 예를 들면, 정보 저장 부재(RL)는 단극성 저항 재료로만 이루어지거나, 양극성 저항 재료로만 이루어질 수 있다. 또는, 정보 저장 부재(RL)는 상기 단극성 저항 재료로 이루어진 막과 상기 양극성 저항 재료로 이루어진 막의 적층 구조체를 이용하여 멀티 비트 구동을 하는 메모리 셀을 제공할 수도 있다.
- [0036] 다른 실시예에서는, 정보 저장 부재(RL)는 프로그램 가능한 금속화셀 재료를 포함할 수도 있다. 예를 들면, 복수의 도전성 라인들(WL1, WL2)을 전기화학적으로 활성인, 예를 들면 산화 가능한 은(Ag), 텔루륨(Te), 구리(Cu), 탄탈륨(Ta), 티타늄(Ti)와 같은 금속 전극, 또는 이에 상대적으로 비활성인 텅스텐(W), 금(Au), 백금(Pt), 팔라듐(Pd), 및 로듐(Rh)과 같은 금속 전극으로 구성하고, 복수의 도전성 라인들(WL1, WL2)과 채널막(CH) 사이에, 슈퍼 이온 영역들을 갖는 전해질 물질을 포함하는 프로그램 가능한 금속화셀 재료를 배치하여, 정보 저장 부재(RL)를 구현할 수도 있다.
- [0037] 상기 프로그램 가능한 금속화셀 재료는, 상기 전해질 재료 내에서 슈퍼 이온 영역들의 물리적 재배치를 통하여 저항 변화 또는 스위칭 특성을 나타낼 수 있다. 상기 슈퍼 이온 영역을 갖는 전해질 물질은, 예를 들면, 게르마늄셀레늄 화합물( $\text{GeSe}$ ) 재료와 같은 베이스 글래스 재료(base glass material)일 수 있다. 상기  $\text{GeSe}$  화합물은 칼코게나이드 글래스 또는 칼코게나이드 재료로 지칭될 수 있다. 이러한  $\text{GeSe}$  화합물에는,  $\text{Ge}_3\text{Se}_7$ ,  $\text{Ge}_4\text{Se}_6$



또는  $\text{Ge}_2\text{Se}_3$ 이 있다. 다른 실시예에서는, 다른 공지의 재료가 이용될 수도 있을 것이다.

- [0038] 다른 실시예에서는, 정보 저장 부재(RL)는 상기 자성체 재료를 포함할 수도 있다. 상기 자성체 재료는, 예를 들면, Mg, Ni, Co, 및/또는 Fe의 조합을 포함하는 조성물일 수 있다. 이 경우, 정보 저장 부재(RL)는 거대자기 저항(GMR: Giant Magneto Resistive) 구조 또는 터널링 자기저항(TMR: Tunneling Magneto Resistance) 구조를 포함할 수도 있다. 상기 터널링 자기저항 구조의 경우, 정보 저장 부재(RL)는 이들 자성체 재료로 이루어진 막과 함께 적합한 절연막의 적층 구조체의 의해 얻어지는 자성 터널링 접합(magneto tunneling junction)을 포함할 수 있으며, 공지의 스핀 토크 전달 메모리를 구현할 수도 있다.
- [0039] 전술한 정보 저장 부재(RL)에 관하여 전술한 재료들은 단일층 또는 복수의 적층 구조를 가질 수도 있다. 예를 들면, 정보 저장 부재(RL)는 전술한 상변화 재료, 가변 저항성 재료, 프로그램 가능한 금속화셀 재료, 자성체 재료들로부터 선택된 2 이상의 막들을 포함할 수 있다. 이러한 적층 구조는 서로 조합되어, 도전성 라인과 채널막 사이에 직렬 또는 병렬로 연결될 수 있다.
- [0040] 선택된 메모리 셀의 프로그램 또는 읽기를 위해 메모리 셀을 가로지르는 전압 펄스의 폭 그리고/또는 크기는 조절되고, 그에 따라 선택된 메모리 셀의 저항 값이 조절됨으로써 특정 논리 상태가 기록 또는 독출될 수 있다. 읽기 동작은 선택된 다른 메모리 셀에 인접하는 메모리 셀들에 의해 발생하는 누수 전류(sneak current)에 영향을 받을 수 있기 때문에, 각 메모리 셀들은 정보 저장 부재(RL)에 전기적으로 직렬 연결되는 비선형 스위치 소자(SL)를 포함할 수 있다. 도 1b에 도시된 것과 같이, 비선형 스위치 소자(SL)는 정보 저장 부재(RL)와 비트 라인(BL) 사이에 전기적으로 결합될 수 있지만, 이는 예시적일 뿐, 비선형 스위치 소자(SL)는 정보 저장 부재(RL)와 워드 라인(WL) 사이에 전기적으로 결합될 수도 있다.
- [0041] 일 실시예에서, 비선형 스위치 소자(SL)의 문턱 전압  $V_{th}$ 은 기록 전압보다 작은 값을 가질 수 있다. 이 경우, 선택된 메모리 셀에 기록하는 동안은 선택된 메모리 셀에는 전류가 흐르게 되고, 인접하는 비선택된 메모리 셀들에 인가되는 전압에 의해서는 역방향으로 흐르는 전류가 비선형 스위치 소자(SL)에 의해 차단될 수 있다. 읽기 전압의 크기는 비선형 스위치 소자(SL)의 문턱 전압  $V_{th}$  보다 작을 수 있다. 예를 들면, 읽기 전압의 크기는 비선형 스위치 소자(SL)의 문턱 전압  $V_{th}$ 의 절반인 하프 셀렉트 방식(half selection method)에 의해 수행될 수 있으며, 본 발명이 이러한 예에 한정되는 것은 아니다.
- [0042] 전술한 실시예에 따른 비휘발성 메모리 소자(100)는 한 층의 메모리 셀 어레이를 갖고 있지만, 이는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 기판 상에 2 이상의 메모리 셀 어레이들이 적층되어 3차원으로 집적화된 비휘발성 메모리 소자가 제공될 수 있다.
- [0043] 다시, 도 1b를 참조하면, 메모리 셀(MC)은 제 1 전극(EL1) 및 제 2 전극(EL2)을 포함할 수 있다. 일 실시예에서, 정보 저장 부재(RL)와 비선형 스위치 소자(SL) 사이에도 제 3 전극(EL3)이 제공될 수 있다. 이들 전극들(EL1, EL2, EL3)은 동일한 재료이거나 다른 재료일 수 있다. 일 실시예에서, 이들 전극들(EL1, EL2, EL3)은 반응성 금속인 타이타늄(Ti), 탄탈륨(Ta), 구리(Cu), 알루미늄(Al), 니켈(Ni), 필요에 따라 쇼트키 장벽층을 형성하기 위해 큰 일함수를 갖는 백금(Pt), 금(Au), 백금(Pt), 팔라듐(Pd) 또는 로듐(Rh)을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 비활성 금속인 텅스텐(W), TiN 또는 TaN과 같은 도전성 질화물,  $(\text{InSn})_2\text{O}_3$ 와 같은 도전성 산화물을 전극들(EL1, EL2, EL3)의 재료로 이용될 수 있다. 다른 실시예에서, 전극들(EL1, EL2, EL3)은 실리콘(Si) 또는  $\text{WSi}_x$ ,  $\text{NiSi}_x$ ,  $\text{CoSi}_x$  또는  $\text{TiSi}_x$ 와 같은 실리콘 금속 화합물을 포함할 수도 있다. 또한, 열거된 전극 재료들은 단일하게, 혼합되거나 합금화되거나, 2 이상의 전극들이 적층되어 적용될 수 있을 것이다.
- [0044] 제 1 전극(EL1) 및 제 2 전극(EL2)은 워드 라인과 비트 라인에 각각 전기적으로 결합된다. 일 실시예에서, 제 1 전극(EL1) 및 제 2 전극(EL2)은 워드 라인과 비트 라인과 각각 동일한 재료로 형성되어 서로 일체화될 수도 있다.
- [0045] 일 실시예에서, 비선형 스위치 소자(SL)는, GaTe계 스위칭 박막을 포함할 수 있다. 상기 GaTe계 스위칭 박막은  $\text{Ga}_{1-x}\text{Te}_x$  ( $0 \leq x < 1$ )을 포함할 수 있다. 바람직하게, 상기 x의 범위는  $0.5 \leq x < 1$ 를 포함할 수 있다.
- [0046] 이러한 GaTe계 스위칭 박막(SL)을 포함하는 비선형 스위칭 소자는 저전력 및 고집적의 저항성 메모리 소자를 구현하도록, 오보닉 문턱 스위치(Ovonic Threshold Switch: OTS) 특성을 가지며, 종래의 선택 소자보다 더 높은 비선형 특성을 갖고, 외부 전계에 대칭적인 I-V 특성을 가질 수 있다. 또한, 본 발명의 비선형 스위칭 소자(EL2, SL, EL3)는 종래보다 우수한 비선형 특성을 갖도록 낮은 외부 전계에서는 낮은 전류가 흐르고 높은 외부



전계에서는 높은 전류가 흘러 높은 온/오프 전류 비(Ion/Ioff)를 갖는다.

- [0047] 본 발명의 실시예에서, 비선형 스위칭 소자는 문턱 전압( $V_{th}$ )의 절반인 전압에서 off 전류( $= I_{off} @ 1/2 V_{th}$ )에 대한 문턱 전압에서의 on 전류 ( $= I_{on} @ V_{th}$ )로 정의되는  $0.8 \times 10^4$  이상의 선택비를 가질 수 있다.
- [0048] 더하여, GaTe계 스위칭 박막(SL)은 적어도 일부의 전도 가능 영역을 포함하며, 상기 전도 가능 영역을 통해 인가된 전계(electric field)에 의해, 제 2 전극과 제 3 전극 사이 전도성 경로(conductive path)를 형성할 수 있다.
- [0049] 또한, GaTe계 스위칭 박막(SL)은 전체적으로 비정질 특성을 갖거나, 일부 나노 결정이 형성되나 대체적으로 비정질 특성을 가질 수 있다. 일 실시예에서, GaTe계 박막(SL)은 포밍 과정(forming process) 시 GaTe계 박막 내에 상기 전도성 경로가 생성될 수 있다.
- [0050] 이와 같이, 본 발명의 GaTe계 박막을 포함하는 비선형 스위치 소자는, 동작 전압에 비하여 높은 전압을 인가하는 포밍 과정을 생략하거나, 포밍 과정이 필요하다라도 낮은 전압만으로도 비선형 스위치 소자가 포밍될 수 있다. 그러므로, 비선형 스위치 소자가 적용되는 메모리 소자의 초기화시 소모 전력이 감소되고, 낮은 전압만으로도 동작이 가능하여 동작 속도가 향상되기 때문에 동작 효율이 개선될 수 있다.
- [0051] 일 실시예에서, 상기 GaTe계 스위칭 박막(SL)은 5 nm 내지 80nm의 두께를 가질 수 있다. 상기 GaTe계 박막은 5 nm 내지 80 nm의 두께를 갖는 경우, 비선형 스위치 소자에서 오히려 문턱 스위치(OTS) 특성이 나타나며, 종래보다 우수한 비선형 특성을 갖는 효과를 가질 수 있다. 만일 박막의 두께가 5 nm 미만이 되는 경우에는 GaTe 재료에 인가된 전계(electric field)가 작은 경우에도 터널 효과(tunnel effect 또는 tunneling)에 의해 전류가 크게 증가하여 오히려 문턱 스위치(OTS) 특성이 발현되기 어렵고, 박막의 두께가 80 nm를 초과하는 경우에는 전극에서 발생하는 열이 크게 증가할 가능성이 있어 비선형 스위치 소자의 오히려 문턱 스위치(OTS) 특성 또는 종래보다 우수한 비선형 특성이 나타나지 않을 수 있다.
- [0052] 도 1c를 참조하면, 본 발명의 스위칭 소자는 T-plug 형태의 스위칭 소자일 수 있다. 구체적으로, 실리콘(Si) 기판 상에 W 층이 배치되며, 질화물 층(stop nitride)과 산화물 층(Oxide)층의 제 1 적층 구조가 W 층 상에 이격되어 배치될 수 있다. 상기 W 층은 하부 전극(bottom electrode)으로 사용되며 전극 크기를 감소시키기 위해 작은 플러그 형태로 배치될 수 있다.
- [0053] 또한, 상기 제 1 적층 구조들 사이의 이격 공간 내에 하부 전극(TiN)이 배치될 수 있다. GaTe계 재료를 포함하는 스위칭 막과 상부 전극(TiN)의 제 2 적층 구조는 상기 제 1 적층 구조들 사이의 이격 공간 내에 하부 전극(TiN)과 접촉되어, 제 1 적층 구조 상에 이격될 수 있다. 또한, 상기 제 1 적층 구조의 측벽과 하부 전극(TiN)의 측벽 사이에 GaTe계 재료로 채워질 수 있으며, 수직 방향으로 확장되어 스위칭 막과 연결될 수 있다.
- [0054] 도 1d를 참조하면, 비선형 스위치 소자의 제조를 위해 우선 하부 전극(도 1b의 제 3 전극(EL3)일 수 있음)을 형성한다(S10). 상기 하부 전극의 형성은 스퍼터링 또는 화학기상증착에 의해 형성될 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 이후, 상기 하부 전극 상에 GaTe계 박막을 형성한다(S20). 상기 GaTe계 박막은 Ga 및 Te의 합금 타겟을 이용하여 스퍼터링에 의해 형성될 수 있다. 일 실시예에서,  $Ga_{1-x}Tex$  ( $0.5 \leq x < 1$ )의 박막 형성 과정에서 이온 어시스트가 필요한 경우, 플라스마 강화 스퍼터링과 같은 공정이 적용될 수도 있다. 다른 실시예에서, 상기 스퍼터링을 위한 타겟은 각각의 원소를 포함하는 2 종류의 타겟을 이용한 코스퍼터링에 의해 형성될 수도 있다. 또 다른 실시예에서,  $Ga_{1-x}Tex$ 의 합금층은 Ga 또는 Te 전구체를 이용한 화학기상증착 또는 자기제한적 프로세스인 원자층 증착 공정을 통해 형성될 수도 있다.
- [0055] 이후, 일 실시예에 따르면, 상기 GaTe계 박막 상에 상부 전극(도 1b의 제 2 전극(EL2) 참조)을 형성한다(S30). 상기 상부 전극도 스퍼터링 또는 화학기상증착을 통해 형성될 수 있다. 상기 상부 전극 및 상기 하부 전극 중 적어도 어느 하나는 타이타늄(Ti), 탄탈륨(Ta), 구리(Cu), 알루미늄(Al), 니켈(Ni), 백금(Pt), 금(Au), 백금(Pt), 팔라듐(Pd) 또는 로듐(Rh) 텅스텐(W), TiN 또는 TaN 실리콘(Si) 또는  $WSix$ ,  $NiSix$ ,  $CoSix$  또는  $TiSix$  중 어느 하나, 이의 혼합물, 합금화물 또는 2 이상의 적층 구조를 포함할 수 있다.
- [0057] 도 2a 및 도 2d는 본 발명의 실시예에 따른 GaTe계 스위치 소자의 전류-전압 거동을 도시하는 그래프들이다.
- [0058] 도 2a를 참조하면, 스위치 소자는 상·하부 전극이 TiN 박막으로 구성되고 GaTe계 스위칭 박막이  $Ga_{0.18}Te_{0.19}$ 를

포함하는 박막으로 구성된다.  $Ga_{0.18}Te_{0.19}$ 인 경우, 스위치 소자는 포밍 공정(단계 1)이후, 비대칭적인 전류-전압 거동(단계 2)을 나타낸다. 문턱 전압  $V_{th}$ 은, 약 0.6 V를 나타낸다.

[0059] 도 2b를 참조하면, 스위치 소자는 상·하부 전극이 TiN 박막으로 구성되고 GaTe계 스위칭 박막이  $Ga_{0.63}Te_{0.37}$ 를 포함하는 박막으로 구성된다.  $Ga_{0.63}Te_{0.37}$ 인 경우, 스위치 소자는 포밍 공정(단계 1)이후, 비대칭적인 전류-전압 거동(단계 2)을 나타낸다. 문턱 전압  $V_{th}$ 은, 약 1.5 V를 나타낸다. 또한, 도 2a 및 도 2b의 경우, 스위치 소자는 오보닉 문턱 스위치(OTS) 특성이 나타나지 않았다.

[0060] 도 2c를 참조하면, 스위치 소자는 상·하부 전극이 TiN 박막으로 구성되고 GaTe계 스위칭 박막이  $Ga_{0.5}Te_{0.5}$ 를 포함하는 박막으로 구성된다.  $Ga_{0.5}Te_{0.5}$ 인 경우, 스위치 소자는 포밍 공정(단계 1)이후, 대칭적인 전류-전압 거동(단계 2)을 나타낸다. 문턱 전압  $V_{th}$ 은, 약 1.35 V를 나타낸다. 또한, 0.68 V 문턱 전압에서, 약 5 uA의 온 전류를 보이며, 0.68V의 문턱 전압의 1/2에서, 약 100 nA의 오프 전류를 보이며,  $I_{on}/I_{off}$ 의 값(selectivity)는 약  $0.05 \times 10^3$ 에 이르는 우수한 비선형 특성을 갖는다.

[0061] 도 2d를 참조하면, 스위치 소자는 상·하부 전극이 TiN 박막으로 구성되고 GaTe계 스위칭 박막이  $Ga_{0.3}Te_{0.7}$ 를 포함하는 박막으로 구성된다.  $Ga_{0.3}Te_{0.7}$ 인 경우, 스위치 소자는 포밍 공정(단계 1)이후, 대칭적인 전류-전압 거동(단계 2)을 나타낸다. 문턱 전압  $V_{th}$ 은, 약 0.75 V를 나타낸다. 또한, 0.75 V 문턱 전압에서, 약 500 uA의 온 전류를 보이며, 0.375 V의 문턱 전압의 1/2에서, 약 50 nA의 오프 전류를 보이며,  $I_{on}/I_{off}$ 의 값(selectivity)는 약  $10 \times 10^3$ 에 이르는 우수한 비선형 특성을 갖는다.

[0062] 도 2e를 참조하면, 스위치 소자는 상·하부 전극이 TiN 박막으로 구성되고 GaTe계 스위칭 박막이  $Ga_{0.17}Te_{0.83}$ 를 포함하는 박막으로 구성된다.  $Ga_{0.17}Te_{0.83}$ 인 경우, 스위치 소자는 포밍 공정(단계 1)이후, 대칭적인 전류-전압 거동(단계 2)을 나타낸다. 문턱 전압  $V_{th}$ 은, 약 0.76 V를 나타낸다. 또한, 0.76 V 문턱 전압에서, 약 0.35 mA의 온 전류를 보이며, 0.38 V의 문턱 전압의 1/2에서, 약 43 nA의 오프 전류를 보이며,  $I_{on}/I_{off}$ 의 값(selectivity)는 약  $0.8 \times 10^4$ 에 이르는 우수한 비선형 특성을 갖는다.

[0063] 본 발명의 실시예에 따르면,  $Ga_{1-x}Tex$  ( $0.5 \leq x < 1$ )를 포함하는 GaTe계 박막을 사용하는 경우, 오보닉 문턱 스위치(Ovonic Threshold Switch: OTS) 특성을 가지며, 종래의 선택 소자보다 더 높은 비선형 특성과 외부 전계에 대칭적인 I-V 특성이 나타나는 것을 확인할 수 있다.

[0064] 또한, 적어도 일부의 결정화된 GaTe계 박막을 포함하는 비선형 스위치 소자의 비선형 전류-전압 특성은, 결정화된 GaTe 재료에 의하여 포밍 과정에서 필요로하는 전압이 상대적으로 낮은 비선형 스위치 소자를 제공할 수 있다. 따라서, 이를 이용하여 기존의 포밍 과정 중에 필요했던 동작 전압에 비하여 높은 전압을 인가하는 과정을 제거할 수 있어, 소모전력을 감소하고, 동작 속도의 상승으로 동작 효율이 개선된 비휘발성 메모리 소자가 제공될 수 있다.

[0066] 본 명세서에 첨부된 도면들을 참조하여 개시된 비휘발성 메모리 소자는 단일 메모리 소자로 구현되거나, 하나의 웨이퍼 칩 내에서 다른 이종 장치들, 예를 들면, 논리 프로세서, 이미지 센서, RF 소자와 같은 다른 장치들과 함께 SOC(system on chip)의 형태로 구현될 수도 있을 것이다. 또한, 비휘발성 메모리 소자가 형성된 웨이퍼 칩과 이종 장치가 형성된 다른 웨이퍼 칩을 접착제, 솔더링 또는 웨이퍼 본딩 기술을 이용하여 접합함으로써 하나의 칩 형태로 구현될 수도 있을 것이다.

[0067] 또한, 전술한 실시예들에 따른 비휘발성 메모리 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 비휘발성 메모리 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer FoSM, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP),

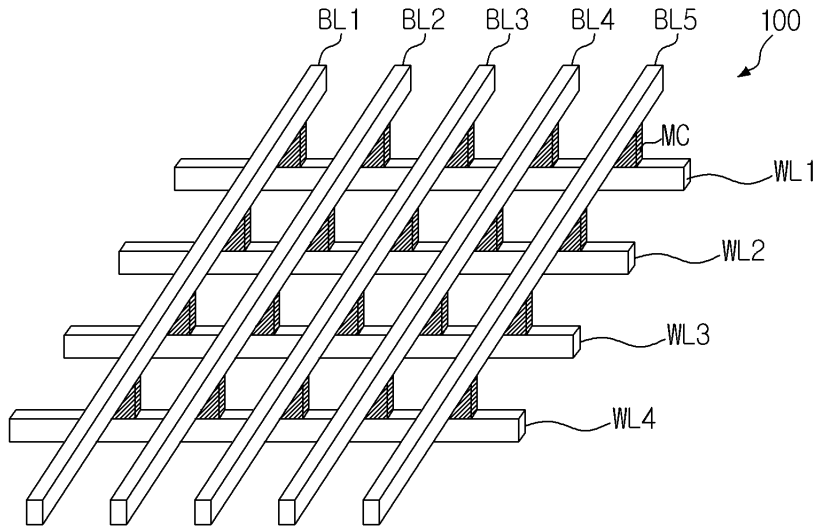
System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP) 또는 Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다. 본 발명의 실시예들에 따른 비휘발성 메모리 소자가 실장된 패키지는 이를 제어하는 컨트롤러 및/또는 논리 소자들을 더 포함할 수도 있다.

- [0069] 도 3은 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템(1000)을 도시하는 블록도이다.
- [0070] 도 3을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1000)은 컨트롤러(1010), 입출력 장치(I/O; 1020), 기억 장치(storage device; 1030), 인터페이스(1040) 및 버스(bus; 1050)를 포함할 수 있다. 컨트롤러(1010), 입출력 장치(1020), 기억 장치(1030) 및/또는 인터페이스(1040)는 버스(1050)를 통하여 서로 결합될 수 있다.
- [0071] 컨트롤러(1010)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(1020)는 키패드(keypad), 키보드 또는 디스플레이 장치를 포함할 수 있다. 기억 장치(1030)는 데이터 및/또는 명령어를 저장할 수 있으며, 기억 장치(1030)는 본 명세서에 개시된 3차원 비휘발성 메모리 소자를 포함할 수 있다.
- [0072] 일부 실시예에서, 기억 장치(1030)는 다른 형태의 반도체 메모리 소자(예를 들면, 디램 장치 및/또는 에스램 장치 등)를 더 포함하는 혼성 구조를 가질 수도 있다. 인터페이스(1040)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1040)는 유선 또는 무선 형태일 수 있다. 이를 위하여, 인터페이스(1040)는 안테나 또는 유무선 트랜시버를 포함할 수 있다. 도시하지 않았지만, 전자 시스템(1000)은 컨트롤러(1010)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램을 더 포함할 수도 있다.
- [0073] 전자 시스템(1000)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 태블릿 피씨(tablet PC), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0075] 도 4는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함하는 메모리 카드(1100)를 도시하는 블록도이다.
- [0076] 도 4를 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1100)는 기억 장치(1110)를 포함한다. 기억 장치(1110)는 본 발명에 따른 비휘발성 메모리 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 기억 장치(1110)는 다른 형태의 반도체 메모리 소자(예를 들면, 디램 장치 및/또는 에스램 장치)를 더 포함할 수도 있다. 메모리 카드(1100)는 호스트(Host)와 기억 장치(1110) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1120)를 포함할 수 있다.
- [0077] 메모리 컨트롤러(1120)는 메모리 카드(1100)의 전반적인 동작을 제어하는 중앙 프로세싱 유닛(CPU; 1122)을 포함할 수 있다. 메모리 컨트롤러(1120)는 중앙 프로세싱 유닛(1122)의 동작 메모리로서 사용되는 에스램(SRAM; 1121)을 포함할 수도 있다. 이에 더하여, 메모리 컨트롤러(1120)는 호스트 인터페이스(1123) 및 메모리 인터페이스(1125)를 더 포함할 수 있다. 호스트 인터페이스(1123)는 메모리 카드(1100)와 호스트(Host) 사이의 데이터 교환 프로토콜을 구비할 수 있다. 메모리 인터페이스(1125)는 메모리 컨트롤러(1120)와 기억 장치(1110)를 서로 접속시킬 수 있다. 또한, 메모리 컨트롤러(1120)는 에러 정정 블록(ECC; 1124)을 더 포함할 수 있다. 에러 정정 블록(1124)은 기억 장치(1110)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 메모리 카드(1100)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 메모리 카드(1100)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이러한 메모리 카드(1100)는 비휘발성 메모리 소자를 포함하며, 컴퓨터 시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.
- [0078] 전술한 실시예들은 주로 메모리 소자에 관하여 개시하고 있지만, 이는 예시적이며, 당업자라면, 본 발명의 실시예에 따른 가변 저항체는 퓨즈 및 안티퓨즈, 또는 FPGA와 같은 논리 회로의 온/오프 스위치 소자로도 응용될 수 있음을 이해할 수 있을 것이다.

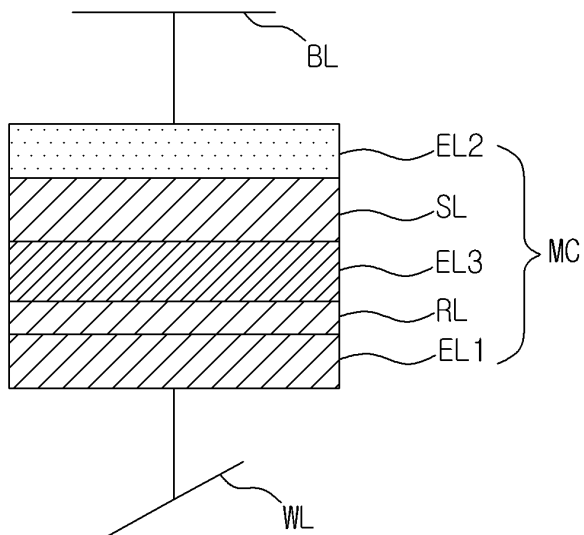
[0080] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## 도면

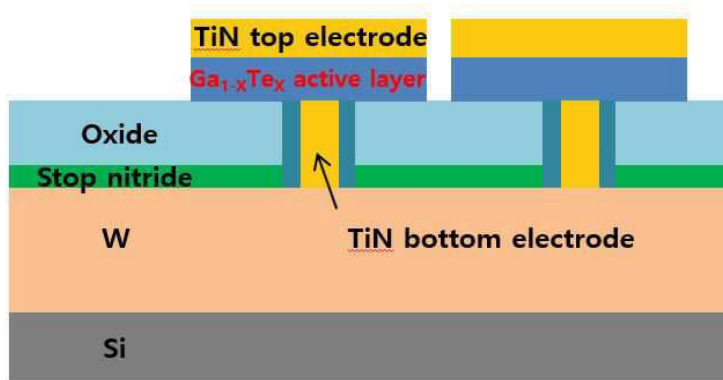
### 도면1a



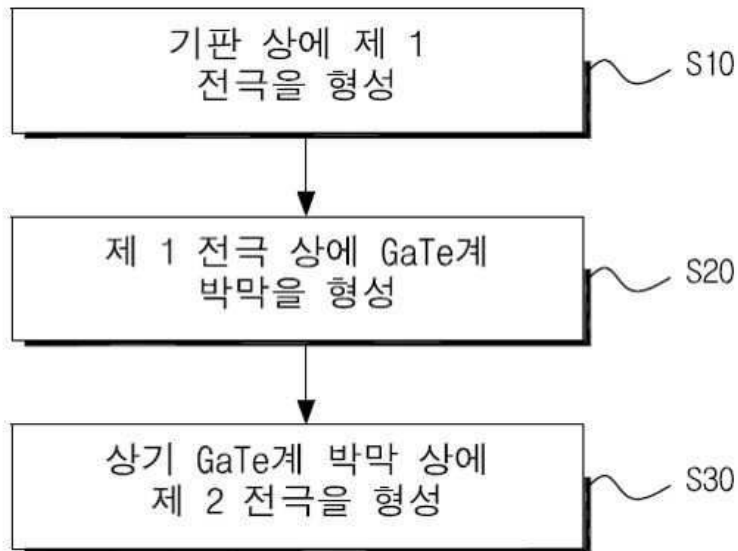
### 도면1b



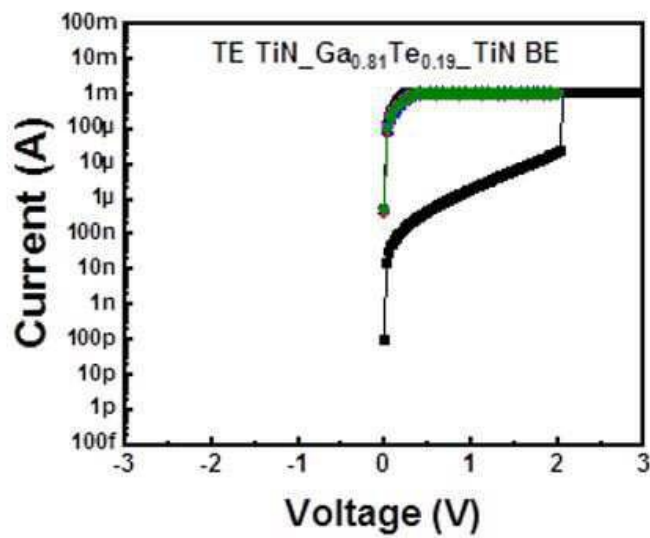
도면1c



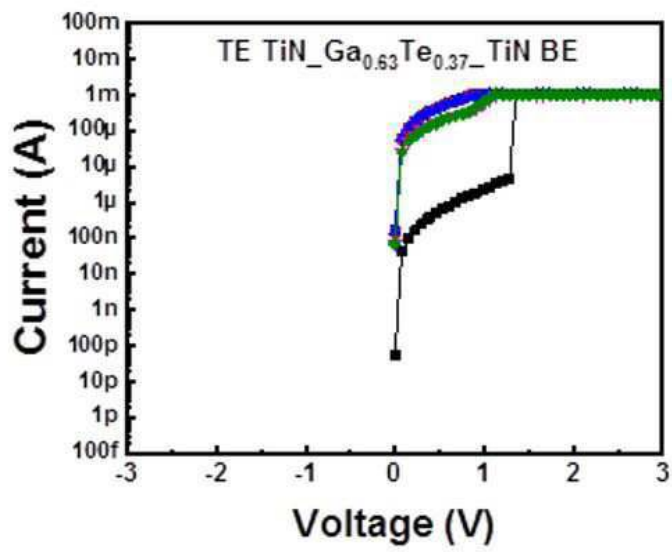
도면1d



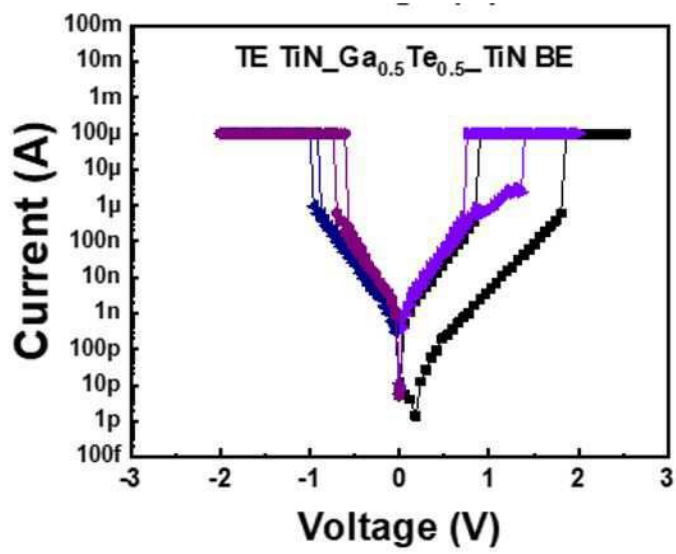
도면2a



도면2b

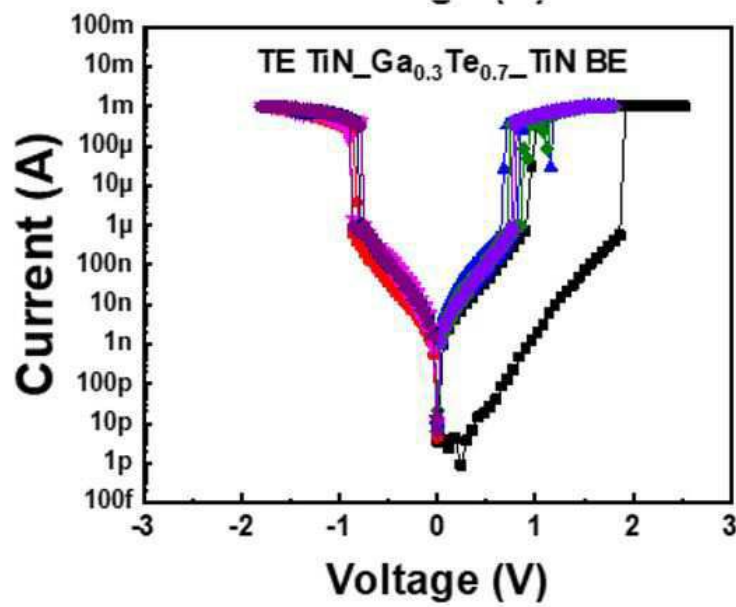


도면2c

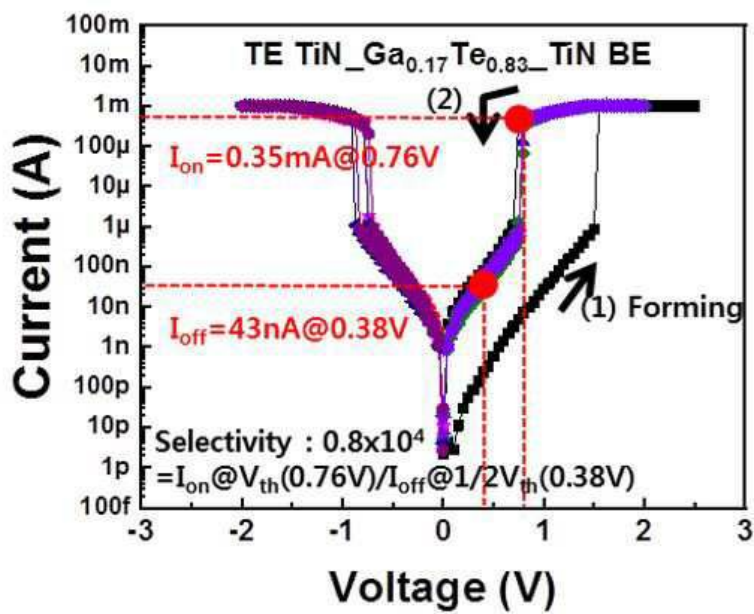




도면2d

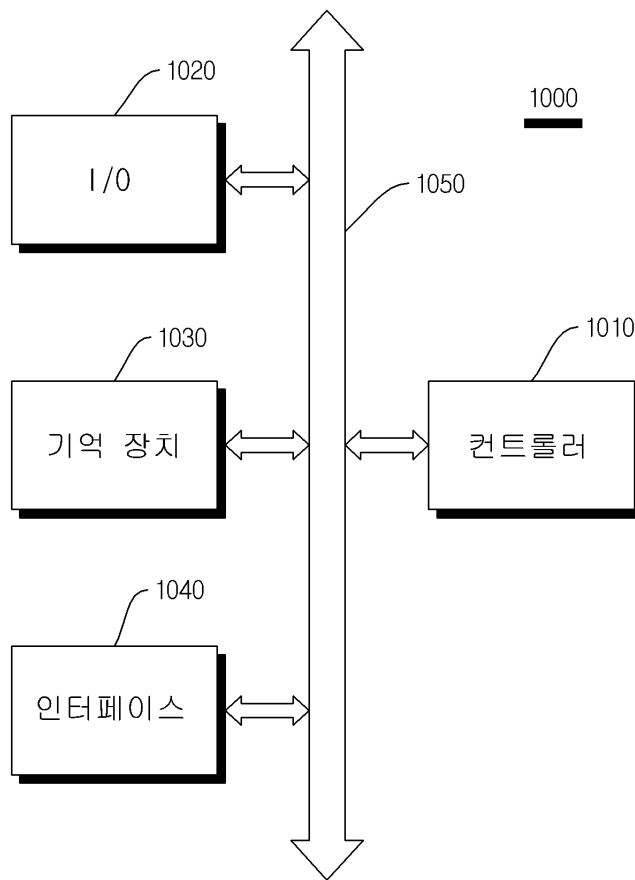


도면2e





도면3



도면4

