(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0131419
(43) 공개일자 2020년11월24일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 21/02263 (2013.01)
H01L 21/02172 (2013.01)
(21) 출원번호 10-2019-0056012
(22) 출원일자 2019년05월14일
심사청구일자 2019년05월14일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
여인환
서울특별시 종로구 진흥로21길 16, 401호(구기동,운상하이츠)
정문화
서울특별시 양천구 월정로 306, 101동 102호(신월동, 수명산 SK VIEW)
김동준
서울특별시 서대문구 연희로10가길 7, B06호(연희동)
(74) 대리인
특허법인충현

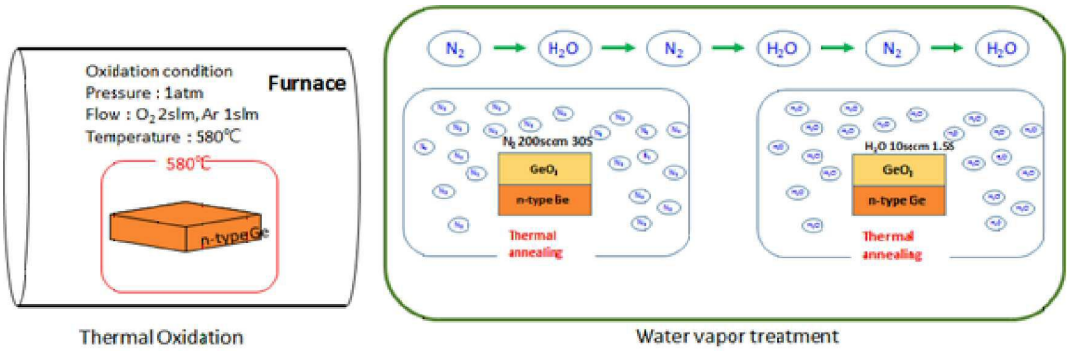
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **게르마늄-게르마늄 산화막의 제조방법, 이에 의해 제조된 게르마늄-게르마늄 산화막 및 상기 게르마늄-게르마늄 산화막을 포함하는 MOS 커패시터**

(57) 요 약

본 발명은 게르마늄-게르마늄 산화막의 제조방법, 이에 의해 제조된 게르마늄-게르마늄 산화막 및 상기 게르마늄-게르마늄 산화막을 포함하는 MOS 커패시터에 관한 것으로, 본 발명의 게르마늄-게르마늄 산화막의 제조방법에 의해 제조된 게르마늄-게르마늄 산화막은 매우 낮은 계면 결함 상태 밀도값을 가지며, 진동수에 따른 C-V 곡선에서 히스테리시스가 크게 감소하고, 높은 진동수에서도 역전층이 생길 수 있다. 또한, 단순히 산화과정과 기체 처리과정만 거치면 소자로서 사용가능하기 때문에, 기존의 기술에 비하여 제조 공정상 유리하며, 안정성이 높다는 장점을 가진다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/02381 (2013.01)
H01L 21/0245 (2013.01)
H01L 21/02472 (2013.01)
H01L 21/02532 (2013.01)
H01L 21/02554 (2013.01)
H01L 21/324 (2013.01)
H01L 29/94 (2013.01)

명 세 서

청구범위

청구항 1

(A) 게르마늄 기판 상에 이산화게르마늄 층을 형성하는 단계; 및

(B) 상기 이산화게르마늄 층에 비활성 기체 및 수증기를 번갈아가며 1회 이상 흘려주는 단계;를 포함하고,

상기 (B) 단계는 100 내지 250 ℃의 온도에서 수행되는 게르마늄-게르마늄 산화막의 제조방법.

청구항 2

제1항에 있어서,

상기 (B) 단계는,

(B-1) 상기 비활성 기체를 100 내지 300 sccm의 유속으로 10 내지 60 초 동안 흘려주는 단계; 및

(B-2) 상기 수증기를 1 내지 50 sccm의 유속으로 0.1 내지 10 초 동안 흘려주는 단계;의 상기 (B-1) 및 (B-2) 단계를 번갈아가며 1회 이상 반복하는 것인 게르마늄-게르마늄 산화막의 제조방법.

청구항 3

제1항에 있어서,

상기 비활성 기체는 질소, 아르곤, 헬륨 및 네온 중에서 선택되는 어느 하나 또는 둘 이상의 혼합물인 게르마늄-게르마늄 산화막의 제조방법.

청구항 4

제1항에 있어서,

상기 게르마늄-게르마늄 산화막의 제조방법은, (C) 300 내지 700 ℃에서 어닐링하는 단계;를 추가적으로 포함하는 게르마늄-게르마늄 산화막의 제조방법.

청구항 5

제1항에 있어서,

상기 이산화게르마늄 층의 표면에 HfO_2, ZrO_2, TiO_2, Nb_2O_5, Ta_2O_5, MoO_3, La_2O_3, Al_2O_3, Y_2O_3 및 $LaLuO_2$ 중에서 선택되는 어느 하나 또는 둘 이상의 혼합물을 증착하는 단계;를 추가적으로 포함하는 게르마늄-게르마늄 산화막의 제조방법.

청구항 6

제1항 내지 제5항의 제조방법에 의해 제조된 게르마늄-게르마늄 산화막.

청구항 7

제6항의 게르마늄-게르마늄 산화막을 포함하는 MOS 커패시터.

발명의 설명

기 술 분 야

[0001] 본 발명은 게르마늄-게르마늄 산화막의 제조방법, 이에 의해 제조된 게르마늄-게르마늄 산화막 및 상기 게르마늄-게르마늄 산화막을 포함하는 MOS 커패시터에 관한 것이다.

배 경 기 술

[0003] 게르마늄은 알려진 물질 중에 가장 빠른 홀 모빌리티를 가지고 있기 때문에 실리콘 산화막 반도체 커패시터를 대체할 수 있는 가장 유망한 후보이다. 게르마늄 산화막 반도체 커패시터를 만들기 위해서는 게르마늄 기판의 산화 과정이 필수적이나 게르마늄 산화막은 열역학적으로 매우 불안정하다는 문제가 있다.

[0004] 실리콘 산화막 반도체 커패시터는 실리콘 산화막이 전기화학적으로 매우 안정하게 형성되기 때문에 특별한 전처리 또는 후처리가 필요하지 않다. 그러나 게르마늄 산화막은 게르마늄 기판이 산소와 반응하여 생성되는데 이때 1차적으로 생성된 이산화게르마늄과 게르마늄 기판 사이의 계면에서 일산화게르마늄이 생성된다. 생성된 일산화게르마늄은 기체 상태로 존재하며, 이산화게르마늄 층을 통과하여 이산화게르마늄 표면으로 방출된다. 이때 이산화게르마늄 표면에 작은 구멍이 생성되고 이는 게르마늄 산화막 반도체 전기장 효과 트랜지스터 제작에 필수적인 요소인 균일한 이산화게르마늄 층의 형성을 방해한다. 그리고 이산화게르마늄 층을 투과하지 못하고 이산화게르마늄층과 게르마늄 기판 사이에 남아있는 일산화게르마늄은 계면의 결함 상태밀도(D_{it})를 증가시키는 가장 큰 원인이 된다.

[0005] 이러한 문제를 해결하기 위하여 많은 연구들이 진행되었으며, 산소 플라즈마를 이용한 산화, 고압 산소를 이용한 산화, 높은 유전상수(high-k)를 갖는 산화막을 증착하는 등의 연구들이 진행되었으나, 실제 소자 제작에 활용되기에는 소자의 성능이나 경제적인 측면 등 다양한 이유로 부족한 점이 존재한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 대한민국 공개특허 제10-2012-0112264호

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명이 해결하고자 하는 기술적 과제는 계면 특성이 우수한 게르마늄-게르마늄 산화막의 제조방법 및 상기 제조방법에 의해 제조된 게르마늄-게르마늄 산화막을 제공하는 것이다.

[0009] 또한, 상기 게르마늄-게르마늄 산화막을 포함하는 MOS 커패시터를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 일 측면은 (A) 게르마늄 기판 상에 이산화게르마늄 층을 형성하는 단계; 및 (B) 상기 이산화게르마늄 층에 비활성 기체 및 수증기를 번갈아가며 1회 이상 흘려주는 단계;를 포함하고, 상기 (B) 단계는 100 내지 250 ℃의 온도에서 수행되는 게르마늄-게르마늄 산화막의 제조방법을 제공한다.

[0012] 본 발명의 다른 측면은 상기 제조방법에 의해 제조된 게르마늄-게르마늄 산화막을 제공한다.

[0013] 본 발명의 또 다른 측면은 게르마늄-게르마늄 산화막을 포함하는 금속 산화막 반도체 전계 효과 트랜지스터를 제공한다.

발명의 효과

[0015] 본 발명의 게르마늄-게르마늄 산화막의 제조방법에 의해 제조된 게르마늄-게르마늄 산화막은 매우 낮은 계면 결함 상태 밀도값을 가지며, 진동수에 따른 C-V 곡선에서 히스테리시스가 크게 감소하고, 높은 진동수에서도 역전층이 생길 수 있다. 또한, 단순히 산화과정과 기체 처리과정만 거치면 소자로서 사용가능하기 때문에, 기존의 기술에 비하여 제조 공정상 유리하며, 안정성이 높다는 장점을 가진다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 게르마늄-게르마늄 산화막의 제조방법을 나타낸 개략도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 기판의 C-V 특성을 측정한 결과이다. 도 2a는 비교예 1, 도 2b는 실시예 3, 도 2c는 실시예 2, 도 2d는 실시예 1, 도 2e는 실시예 1-3, 도 2f는 실시예 1-2의 결과이다.

도 3는 본 발명의 일 실시예에 따른 반도체 기판의 1 Khz에서 C-V 특성을 측정한 결과이다.

도 4는 본 발명의 일 실시예에 따른 반도체 기판의 경계 상태 밀도를 측정한 결과이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 여러 측면 및 다양한 구현예에 대해 더욱 구체적으로 설명한다.

[0020] 본 발명의 일 측면은 (A) 게르마늄 기판 상에 이산화게르마늄 층을 형성하는 단계; 및 (B) 상기 이산화게르마늄 층에 비활성 기체 및 수증기를 번갈아가며 1회 이상 흘려주는 단계;를 포함하고, 상기 (B) 단계는 100 내지 250 ℃의 온도에서 수행되는 게르마늄-게르마늄 산화막의 제조방법을 제공한다. 이산화게르마늄은 물에 대한 용해도가 매우 높기 때문에 기존의 방법은 게르마늄 기판 상에 이산화게르마늄을 생성한 후 물과는 철저히 격리시킨다. 그러나 본 발명의 게르마늄-게르마늄 산화물 기판의 제조방법은 오히려 이산화게르마늄 층에 비교적 저온으로 수증기를 처리하여 기존에 보고된 게르마늄 산화막에 비교하여 월등히 작은 경계 상태 밀도(density of interface state(D_{it}))를 갖는 게르마늄-게르마늄 산화막을 제조할 수 있음을 확인할 수 있었다.

이로 인하여, 상기 제조방법으로 제조된 게르마늄-게르마늄 산화막을 포함하는 반도체 커패시터의 경우 진동수에 따른 C-V 곡선에서 기존에 보고된 기술에 비해 월등히 우수한 히스테리시스(hysterisis)와 플랫밴드 전압(flat band voltage)을 가지며, 높은 진동수에서도 역전층(inversion)이 생기는 것을 확인할 수 있었다. 또한, 단순히 산화과정과 기체 처리과정만 거치면 소자로서 사용가능하기 때문에, 기존의 기술에 비하여 제조 공정상 유리하며, 안정성이 높다는 장점을 가진다.

[0021] 상기 이산화게르마늄 층에 비활성 기체 및 수증기를 번갈아가며 1회 이상 흘려주는 단계는 100 내지 250 ℃의 온도에서 수행되는 것이 바람직한데, 상기 온도 범위에서 표면 결함의 정도를 의미하는 D_{it}값이 감소하기 때문이다. 상기 온도는 170 내지 230 ℃인 것이 더욱 바람직한데, 상기 온도 범위에서 제조된 게르마늄-게르마늄 산화막을 이용한 MOS 커패시터가 히스테리시스(hysterisis)가 감소하고, 문턱 전압(threshold voltage)이 포지티브 바이어스(positive bias)로 이동하기 때문이다.

[0022] 상기 (B) 단계는, (B-1) 상기 비활성 기체를 100 내지 300 sccm의 유속으로 10 내지 60 초 동안 흘려주는 단계; 및 (B-2) 상기 수증기를 1 내지 50 sccm의 유속으로 0.1 내지 10 초 동안 흘려주는 단계;의 상기 (B-1) 및 (B-2) 단계를 번갈아가며 1회 이상 반복하는 것일 수 있다. 상기 (B) 단계는, 바람직하게는 (B-1) 상기 비활성 기체를 150 내지 250 sccm의 유속으로 20 내지 40 초 동안 흘려주는 단계; 및 (B-2) 상기 수증기를 5 내지 20 sccm의 유속으로 0.5 내지 5 초 동안 흘려주는 단계;의 상기 (B-1) 및 (B-2) 단계를 번갈아가며 1회 이상 반복하는 것일 수 있다. 상기 유속(비활성 기체: 150 내지 250 sccm, 수증기: 5 내지 20 sccm) 및 상기 시간 범위(비활성 기체: 20 내지 40 초, 수증기: 0.5 내지 5 초)로 실시하는 것이 제공된 총 수증기량에 따른 상대습도가 이산화 게르마늄이 수증기와의 반응이 포화상태가 되는 상대습도 1 퍼센트와 근사하다는 점에서 바람직하며, 이

산화 게르마늄이 높은 습도에 오랜 시간 노출되었을 경우 이산화 게르마늄의 구조가 변하기 때문에 상기 유속 및 상기 시간 범위로 실시하는 것이 바람직하다.

[0023] 상기 이산화게르마늄 층에 비활성 기체 및 수증기를 번갈아가며 1회 이상 흘려주는 단계는 170 내지 230 ℃의 온도에서 수행될 수 있다. 후술하는 실시예에서 확인할 수 있는 바와 같이,

[0024] 상기 비활성 기체는 질소, 아르곤, 헬륨 및 네온 중에서 선택되는 어느 하나 또는 둘 이상의 혼합물일 수 있다. 상기 질소는 비용적인 측면과 범용적인 측면에서 유리하다는 점에서 바람직하다.

[0025] 상기 게르마늄-게르마늄 산화막의 제조방법은, (C) 300 내지 700 ℃에서 어닐링하는 단계;를 추가적으로 포함할 수 있다. 후술하는 실시예에서 확인할 수 있는 바와 같이, 상기 (C) 단계를 추가적으로 실시한 경우, 기존까지 보고된 게르마늄-게르마늄 산화막의 Dit 수치 중 가장 작은 값을 갖는 게르마늄 산화막을 제조할 수 있었으며, 히스테리시스가 현저하게 감소하고 문턱 전압 역시 포지티브 바이어스로 크게 이동한다는 점에서 바람직하다.

[0026] 상기 이산화게르마늄 층의 표면에 HfO_2, ZrO_2, TiO_2, Nb_2O_5, Ta_2O_5, MoO_3, La_2O_3, Al_2O_3, Y_2O_3,및 $LaLuO_2$ 중에서 선택되는 어느 하나 또는 둘 이상의 혼합물을 증착하는 단계;를 추가적으로 포함할 수 있다. 상기 증착되는 High-K 물질은 높은 유전율을 바탕으로 게이트 절연막으로 널리 이용되고 있으나, 게르마늄 기판에 증착되는 경우 우수하지 못한 계면 특성으로 큰 효과를 보이지 못하였다. 그러나 본 발명의 게르마늄-게르마늄 산화막의 제조방법에서는 의해 제조된 우수한 계면 특성을 갖는 이산화게르마늄 층에 의해 High-K 물질이 증착되어 우수한 성능을 발휘할 수 있음을 확인하였다.

[0027] 하기 실시예 또는 비교예 등에는 명시적으로 기재하지는 않았지만, 본 발명에 따른 게르마늄-게르마늄 산화막의 제조방법에 있어서, 제조방법의 여러 조건을 달리하여 게르마늄-게르마늄 산화막을 제조하였고, 제조된 각각의 게르마늄-게르마늄 산화막을 이용하여 MOSCAP을 제조하였다. 상기 제조한 게르마늄-게르마늄 산화막의 경계 상태 밀도를 측정하였으며, 상기 MOSCAP을 이용하여 C-V 특성을 측정하였다.

[0028] 그 결과, 다른 조건 및 수치 범위에서와는 달리, 하기의 (ⅰ) 내지 (iv) 조건을 모두 만족할 경우 막의 경계 상태 밀도가 월등히 낮았으며, 측정되는 C-V 특성에서 측정되는 히스테리시스, 플랫 밴드 전압 및 문턱 전압 등이 가장 우수하였을 뿐만 아니라, 결핍 영역(depletion region)에서 kink가 완전히 사라지는 것을 확인할 수 있었다.

[0029] (ⅰ) (B) 단계는, (B-1) 상기 비활성 기체를 170 내지 230 sccm의 유속으로 25 내지 35 초 동안 흘려주는 단계; 및 (B-2) 상기 수증기를 5 내지 15 sccm의 유속으로 0.5 내지 3 초 동안 흘려주는 단계;의 상기 (B-1) 및 (B-2) 단계를 번갈아가며 1회 이상 반복하는 것, (ii) 비활성 기체는 질소, (iii) (C) 400 내지 600 ℃에서 어닐링하는 단계;를 추가적으로 포함, (iv) 이산화게르마늄 층의 표면에 HfO_2을 증착하는 단계;를 추가적으로 포함.

[0030] 게다가, 먼저 상기 (ⅰ) 및 (ii) 조건의 과정을 거친 이후 (iii) 과정을 진행한 경우 경계 상태 밀도, 히스테리시스, 문턱 전압 등의 전기적 특성이 가장 우수함을 확인할 수 있었으며, 이후 (iv) 조건의 HfO_2를 증착하는 단계를 진행할 경우, 우수한 전기적 특성과 더불어 현재까지 게르마늄에 HfO_2를 적용하기 위해 시도되어진 많은 연구 중 가장 우수한 결과를 나타냄을 확인하였다. 기존의 방식으로 게르마늄에 HfO_2를 증착할 경우 게르마늄이 HfO_2 층으로 확산하기 때문에 좋은 특성을 가지는 산화막을 만들 수 없지만, 상기 (ⅰ) 내지 (iii) 조건을 만족하는 이산화게르마늄 층 위에 (iv)의 HfO_2를 증착할 경우 게르마늄이 HfO_2 층으로 확산되는 것을 효과적으로 방지할 수 있었다. 따라서, HfO_2를 이산화게르마늄 층 위에 증착함으로써 HfO_2의 높은 열적 안정성과 넓은 에너지 갭, 그리고 높은 밀도로 인해 결함(defect)의 확산을 막을 수 있는 장점을 활용할 수 있게 되었다.

[0031] 다만, 상기 조건 중 어느 하나라도 충족되지 않는 경우에는 경계 상태 밀도 값의 감소폭이 작으며, C-V 특성에서 히스테리시스와 결핍 영역에서 kink가 감소되지 않거나, HfO_2 층에 게르마늄이 확산되는 것을 효과적으로 방지하지 못하는 것을 확인할 수 있었다.

[0032] 본 발명의 다른 측면은 상기 제조방법에 의해 제조된 게르마늄-게르마늄 산화막을 제공한다.

[0033] 본 발명의 또 다른 측면은 게르마늄-게르마늄 산화막을 포함하는 금속 산화막 반도체 전계 효과 트랜지스터를 제공한다.

[0035] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실시예를 제시한다. 그러나, 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않고, 본 발명의 범주 및 기술사상 범위 내에서 다양한 변경 및 수정이 가능함은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0037] **실시예 1. GeO_2 + W.V.T 200 ℃의 제조**

[0038] 안티몬(Sb)이 도핑(n_D = 2 × 10^{15} ~ 5 × 10^{16})된 n-type 게르마늄(100) 기판을 사용하였다. 먼저 게르마늄 기판을 아세톤, 메탄올로 세척한다. 그 후 HCl, HF 와 같은 산 또는 Deionized water로 자연 산화막(native oxide)를 제거하였다. 세척이 완료된 게르마늄 기판을 1 atm 압력 및 580 ℃온도 조건의 퍼니스(furnace)에서 O_2 2 slm, Ar 1 slm의 유속으로 처리하여 이산화게르마늄 층을 형성하였다. 이산화게르마늄 층을 형성한 기판에 질소를 200 sccm의 유속으로 30 초 동안 흘려주는 질소 처리를 진행하였다. 이후 수증기를 10 sccm의 유속으로 1.5 초 동안 흘려주는 수증기 처리를 진행하였다. 상기 질소 처리와 수증기 처리는 200 ℃온도에서 진행하였고, 질소 처리 및 수증기 처리를 번갈아가며 수행하는 것을 하나의 세트로 총 55 세트 반복 실시하여 게르마늄-게르마늄 산화막을 제조하였다. 도 1은 본 발명의 일 실시예에 따른 게르마늄-게르마늄 산화막의 제조방법을 나타낸 개략도이다.

[0040] **실시예 1-2. GeO_2 + W.V.T 200 ℃ + S.O의 제조**

[0041] 상기 실시예 1과 동일하게 실시하되, 질소 처리와 수증기 처리를 번갈아가며 55 회 반복 실시한 후, 500 ℃의 퍼니스에서 O_2 2 slm, Ar 1 slm의 유속으로 다시 한 번 어닐링(annealing)하였다.

[0043] **실시예 1-3. GeO_2 + W.V.T 200 ℃ + HfO_2의 제조**

[0044] 상기 실시예 1과 동일하게 실시하되, 완성된 게르마늄-게르마늄 산화막 상에 HfO_2를 원자층 증착(atomic layer deposition)을 이용하여 증착하였다. 증착은 1 torr 이하의 기압 및 온도 200 ℃에서 전구체로는 TEMAHf 를 이용하였으며 퍼지가스로는 H_2O를 이용하여 이산화게르마늄 층 위에 증착하였다.

[0046] **실시예 2. GeO_2 + W.V.T 150 ℃의 제조**

[0047] 상기 실시예 1과 동일하게 실시하되, 질소 처리 및 수증기 처리를 150 ℃ 온도에서 진행하여 게르마늄-게르마늄 산화막을 제조하였다.

[0049] **실시예 3. GeO_2 + W.V.T 100 ℃의 제조**

[0050] 상기 실시예 1과 동일하게 실시하되, 질소 처리 및 수증기 처리를 100 ℃ 온도에서 진행하여 게르마늄-게르마늄 산화막을 제조하였다.

[0052] **비교예 1. Bare GeO_2의 제조**

[0053] 상기 실시예 1과 동일하게 실시하되, 질소 처리 및 수증기 처리를 진행하지 않은 상태로 사용하였다.

[0055] **실험예 1. C-V(Capacitance-Voltage Characteristic) 특성 측정**

[0056] 실시예 1 내지 3 및 비교예 1의 C-V 특성(Capacitance-Voltage Characteristic)을 측정하였다. 상기 실시예 및 비교예를 이용하여 게르마늄-게르마늄 산화막의 제조과정을 거친 후 게르마늄 산화막 상에 섀도우 마스크를 이

용한 열 증착법(Thermal deposition)으로 상부 전극을 증착하였다. 게르마늄 산화막이 형성되지 않은 면에 생성된 자연 산화막을 플라즈마 식각, 습식 식각 또는 deionized water를 이용해 제거함으로써 MOSCAP을 제작하였으며, 게르마늄 기판과 상부 전극에 전압을 인가하여 C-V 특성을 측정하였다.

[0057] 도 2는 본 발명의 일 실시예에 따른 반도체 기판의 C-V 특성을 측정한 결과이다. 도 2a는 비교예 1, 도 2b는 실시예 3, 도 2c는 실시예 2, 도 2d는 실시예 1, 도 2e는 실시예 1-3, 도 2f는 실시예 1-2의 결과이다. 도 3는 본 발명의 일 실시예에 따른 반도체 기판의 1 Khz에서 C-V 특성을 측정한 결과이다. 또한 그 결과를 하기 표 1에 나타내었다.

표 1

[0058]

Sample	Hysterisis(V)	Threshold(V)
Bare GeO_2	0.6	-1.0
GeO_2 + W.V.T 100 ℃	0.7	-1.3
GeO_2 + W.V.T 150 ℃	0.65	-1.3
GeO_2 + W.V.T 200 ℃	0.3	-1.15
GeO_2 + W.V.T 200 ℃ + HfO_2	0.3	-0.7
GeO_2 + W.V.T 200 ℃ + S.O	0.1	0.7

[0059] 상기 도 2 내지 도 3 및 표 1에서 확인할 수 있는 바와 같이, 질소 처리 및 수증기 처리를 거친 실시예 1 내지 3의 경우, inversion capacitance가 향상되는 것을 확인할 수 있었다. 또한 inversion region에서 C-V curve가 아래쪽으로 꺾이는 현상이 질소 처리 및 수증기 처리시의 온도가 증가함에 따라 감소하는 것을 확인할 수 있었으며, 200 ℃에서 그 현상이 완전히 제거됨을 확인할 수 있었다. 온도 200 ℃에서 질소 처리 및 수증기 처리한 실시예 1(GeO_2 + W.V.T 200 ℃)의 경우 히스테리시스가 감소함을 확인할 수 있었고, HfO_2 증착한 실시예 1-3(GeO_2 + W.V.T 200 ℃ + HfO_2)의 경우 문턱전압이 포지티브 바이어스(positive bias)로 이동함을 확인할 수 있었다. 특히 500 ℃의 second oxidation(S.O)을 진행한 실시예 1-2(GeO_2 + W.V.T 200 ℃ + S.O)의 경우, 히스테리시스가 현저하게 감소하고 문턱전압 역시 postive bias로 크게 이동함을 확인하였다.

[0061] **실험예 2. 경계 상태 밀도(density of interface state(D_{it})) 측정**

[0062] 실시예 1 내지 3 및 비교예의 경계 상태 밀도를 측정하였다. 경계 상태 밀도란 소자의 표면 결함의 정도를 표현하는 수치이다. 도 4는 본 발명의 일 실시예에 따른 반도체 기판의 경계 상태 밀도를 측정한 결과이다. 또한 그 결과를 표 2에 나타내었다.

표 2

[0063]

Sample	$D_{it}(cm^{-2}eV^{-1})$
Bare GeO_2	7.01×10^{11}
GeO_2 + W.V.T 100 ℃	1.8×10^{11}
GeO_2 + W.V.T 150 ℃	2.0×10^{11}
GeO_2 + W.V.T 200 ℃	1.4×10^{11}
GeO_2 + W.V.T 200 ℃ + HfO_2	8.7×10^{10}
GeO_2 + W.V.T 200 ℃ + S.O	5.3×10^{10}

[0064] 현재 실리콘 MOSCAP의 경우 10^{10} $cm^{-2}eV^{-1}$ 정도의 경계상태 밀도를 갖는다. 상기 도 4 및 표 2에서 확인할 수 있는 바와 같이, 실시예 1 내지 3의 경우 비교예 1에 비하여 월등히 작은 경계 상태 밀도 값을 갖는 것을 확인하

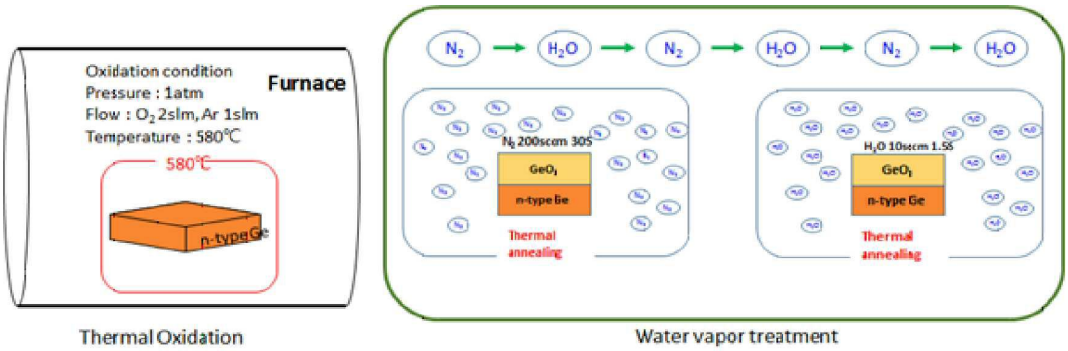
였다. 특히, 실시예 1-3의 경우 5.3 x 10^{10} $cm^{-2}eV^{-1}$의 경계 상태 밀도를 보여 현재까지 보고된 게르마늄 MOS 커패시터의 경계 상태 밀도 중 가장 우수한 값을 확인할 수 있었다.

[0066] 따라서, 본 발명의 게르마늄-게르마늄 산화막의 제조방법에 의해 제조된 게르마늄-게르마늄 산화막은 매우 낮은 계면 결함 상태 밀도값을 가지며, 진동수에 따른 C-V 곡선에서 히스테리시스가 크게 감소하고, 높은 진동수에서도 역전층이 생길 수 있다. 또한, 단순히 산화과정과 기체 처리과정만 거치면 소자로서 사용가능하기 때문에, 기존의 기술에 비하여 제조 공정상 유리하며, 안정성이 높다는 장점을 가진다.

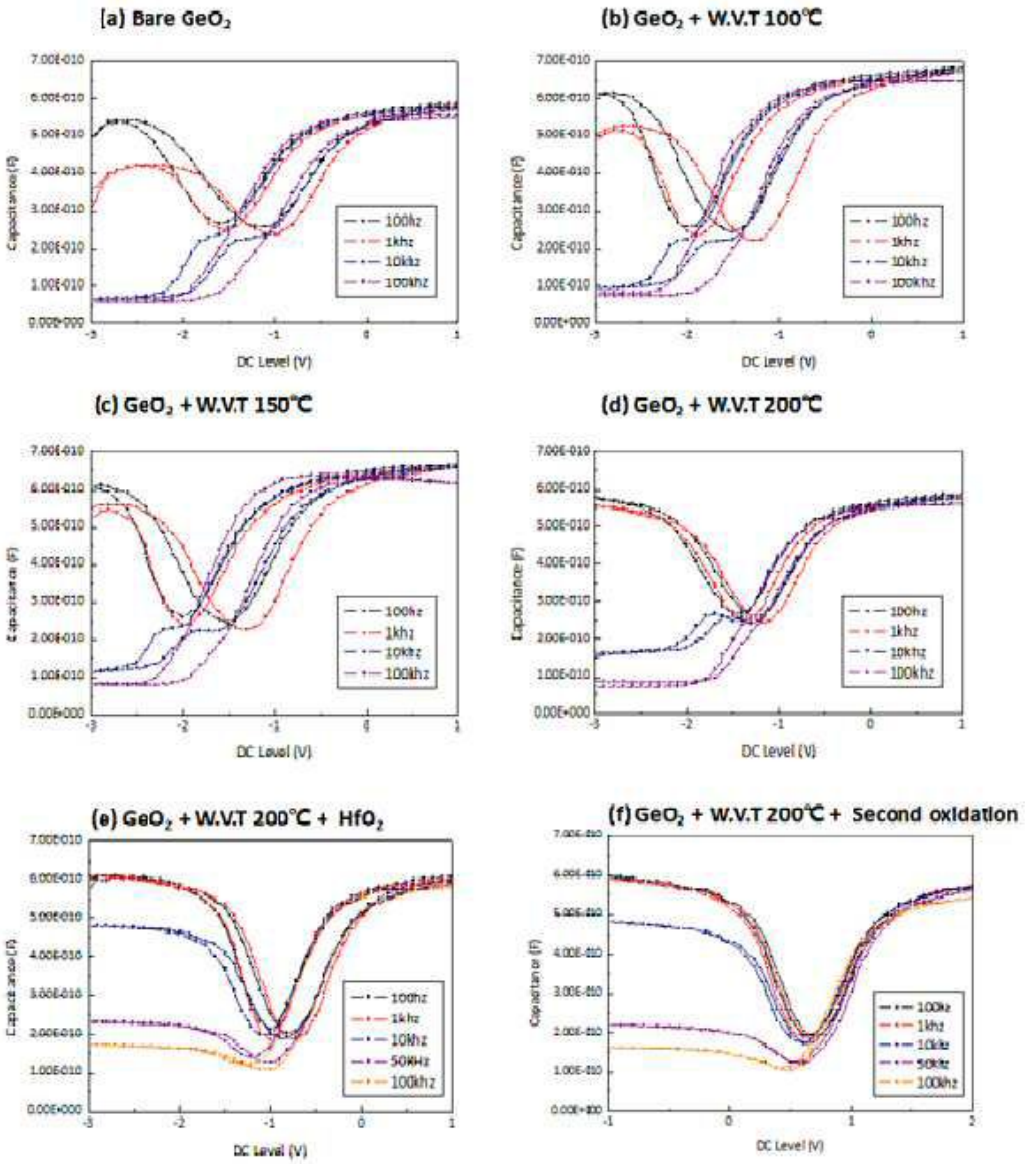
[0068] 전술한 실시예 및 비교예는 본 발명을 설명하기 위한 예시로서, 본 발명이 이에 한정되는 것은 아니다. 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양하게 변형하여 본 발명을 실시하는 것이 가능할 것이므로, 본 발명의 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

도면

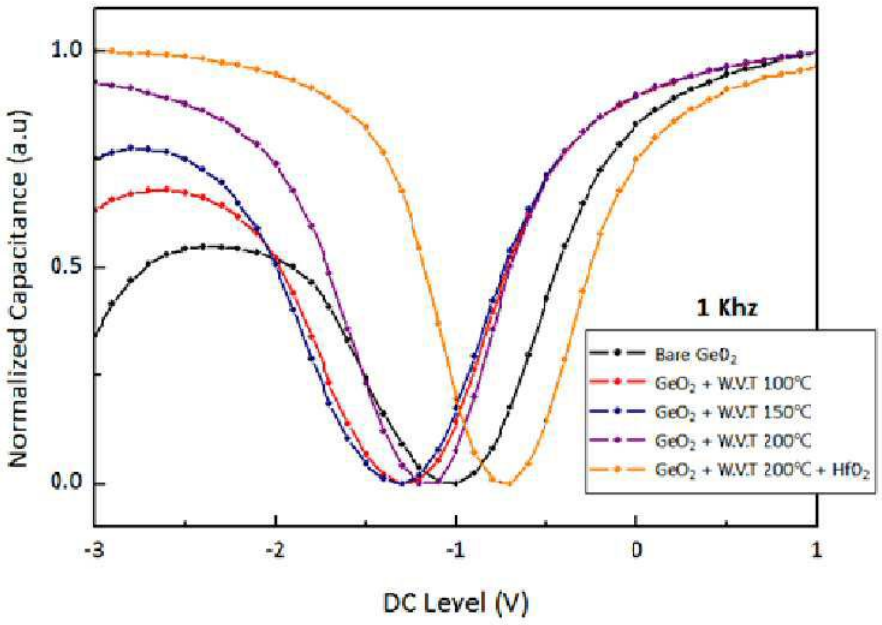
도면1



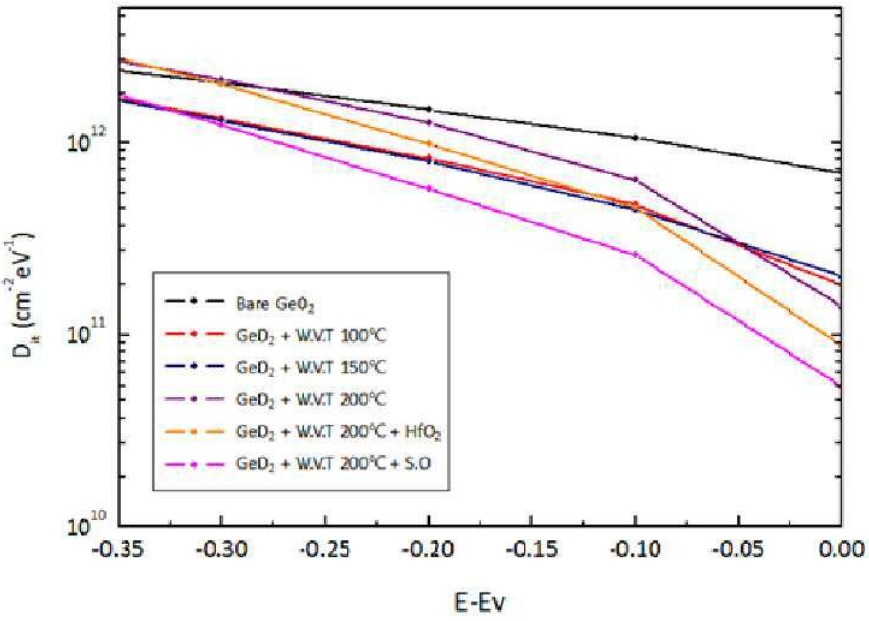
도면2


(a) Bare GeO2
(b) GeO2 + W.V.T 100℃
(c) GeO2 + W.V.T 150℃
(d) GeO2 + W.V.T 200℃
(e) GeO2 + W.V.T 200℃ + HfO2
(f) GeO2 + W.V.T 200℃ + Second oxidation
Capacitance (F)
DC Level (V)
100hz
1khz
10khz
50KHz
100khz

도면3


Normalized Capacitance (a.u)
1.0
0.5
0.0
-3
-2
-1
0
1
DC Level (V)
1 Khz
Bare GeO2
GeO2 + W.V.T 100℃
GeO2 + W.V.T 150℃
GeO2 + W.V.T 200℃
GeO2 + W.V.T 200℃ + HfO2

도면4


Dit (cm-2eV-1)
10^12
10^11
10^10
-0.35
-0.30
-0.25
-0.20
-0.15
-0.10
-0.05
0.00
E-Ev
Bare GeO2
GeO2 + W.V.T 100℃
GeO2 + W.V.T 150℃
GeO2 + W.V.T 200℃
GeO2 + W.V.T 200℃ + HfO2
GeO2 + W.V.T 200℃ + S.O