



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0106797  
(43) 공개일자 2020년09월15일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 29/66 (2006.01)  
(52) CPC특허분류  
H01L 29/78606 (2013.01)  
H01L 21/02123 (2013.01)  
(21) 출원번호 10-2019-0025482  
(22) 출원일자 2019년03월05일  
심사청구일자 2019년03월06일

(71) 출원인  
에스케이머티리얼즈 주식회사  
경상북도 영주시 가흥공단로 59-33 (상죽동)  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
이진희  
경기도 수원시 영통구 도청로 65(이의동, 자연힐스테이트) 5414동 1101호  
이상기  
서울특별시 광진구 뚝섬로54길 74(자양동, 자양5차현대아파트) 503동 1501호  
(뒷면에 계속)  
(74) 대리인  
이광직, 윤승환

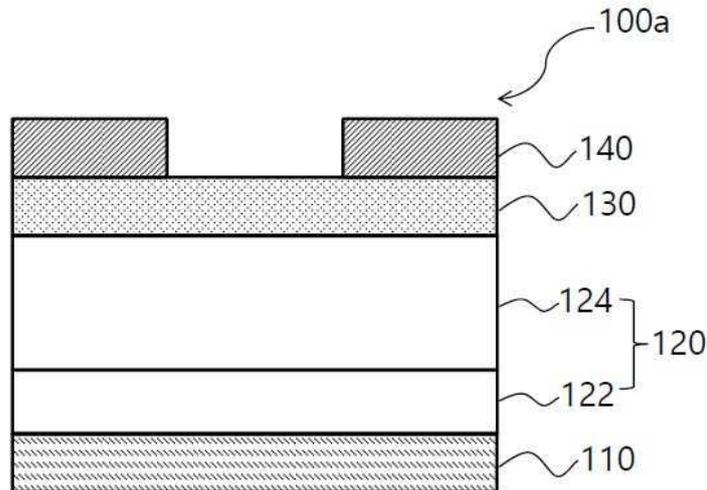
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **박막 트랜지스터 및 이의 제조방법**

**(57) 요약**

박막 트랜지스터 및 이의 제조방법이 개시된다. 일 실시예에 따른 박막 트랜지스터는 활성층, 게이트 절연막, 게이트 전극 및 보호층을 포함하되, 상기 게이트 절연막과 상기 보호층 중에서 적어도 하나는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 형성되는 제1 실리콘 함유 절연막을 포함한다. 일례로, 게이트 절연막은 상기 제1 실리콘 함유 절연막과 모노실란을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막을 포함할 수 있다.

**대표도** - 도1a



(52) CPC특허분류

*H01L 21/02271* (2013.01)

*H01L 29/66742* (2013.01)

(72) 발명자

**김현재**

서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오) 402동 1101호

**유혁준**

서울특별시 서대문구 신촌로7안길 66(창천동) 303호

## 명세서

### 청구범위

#### 청구항 1

활성층, 게이트 절연막, 게이트 전극 및 보호층을 포함하는 박막 트랜지스터에 있어서, 상기 게이트 절연막과 상기 보호층 중에서 적어도 하나는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 형성되는 제1 실리콘 함유 절연막을 포함하는 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 2

제1항에 있어서, 상기 제1 실리콘 함유 절연막은 실리콘 산화막 또는 실리콘 질화막인 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 3

제1항에 있어서, 상기 혼합 가스는 상기 모노실란의 몰수가 상기 디실란의 몰수보다 더 큰 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 4

제3항에 있어서, 상기 모노실란과 상기 디실란의 몰비는 3.5~4.5:1인 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 5

제1항에 있어서, 상기 제1 실리콘 함유 절연막은 화학기상증착법을 사용하여 형성되는 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 6

제1항에 있어서, 상기 게이트 절연막은, 모노실란을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 7

제6항에 있어서, 상기 제1 실리콘 함유 절연막의 두께가 상기 제2 실리콘 함유 절연막의 두께보다 더 작은 것을 특징으로 하는 박막 트랜지스터.

#### 청구항 8

제7항에 있어서, 상기 제1 실리콘 함유 절연막과 상기 제2 실리콘 함유 절연막 사이의 두께비는 1:2.5~3.5인 것을 특징으로 하는 박막 트랜지스터.

**청구항 9**

제6항에 있어서, 상기 제2 실리콘 함유 절연막을 더 포함하는 상기 게이트 절연막은, 상기 제2 실리콘 함유 절연막이 상기 활성층과 상기 제1 실리콘 함유 절연막 사이에 배치되는 구조를 갖는 것을 특징으로 하는 박막 트랜지스터.

**청구항 10**

제9항에 있어서, 상기 제1 실리콘 함유 절연막은 상기 제2 실리콘 함유 절연막 보다 수소 농도가 높은 것을 특징으로 하는 박막 트랜지스터.

**청구항 11**

활성층, 게이트 전극 및 상기 활성층과 상기 게이트 전극 사이에 형성되는 게이트 절연막을 포함하는 박막 트랜지스터에 있어서,

상기 게이트 절연막은 실리콘 산화물 또는 실리콘 질화물로 형성되는 실리콘 함유 절연막을 포함하되, 상기 실리콘 함유 절연막은 상기 활성층으로부터 멀어질수록 더 많은 수소가 분포되어 있는 것을 특징으로 하는 박막 트랜지스터.

**청구항 12**

제11항에 있어서, 상기 게이트 절연막은 소정의 수소 농도를 갖는 제1 실리콘 함유 절연막 및 상기 제1 실리콘 함유 절연막보다 낮은 수소 농도를 갖는 제2 실리콘 함유 절연막을 포함하되, 상기 제2 실리콘 함유 절연막이 상기 활성층과 상기 제1 실리콘 함유 절연막 사이에 배치되는 구조를 갖는 것을 특징으로 하는 박막 트랜지스터.

**청구항 13**

제12항에 있어서, 상기 제1 실리콘 함유 절연막의 두께가 상기 제2 실리콘 함유 절연막의 두께보다 더 작은 것을 특징으로 하는 박막 트랜지스터.

**청구항 14**

제13항에 있어서, 상기 제1 실리콘 함유 절연막과 상기 제2 실리콘 함유 절연막 사이의 두께비는 1:2.5~3.5인 것을 특징으로 하는 박막 트랜지스터.

**청구항 15**

제12항에 있어서,

상기 제1 실리콘 함유 절연막은 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 형성되고, 상기 제2 실리콘 함유 절연막은 모노실란을 실리콘 소스가스로 사용하여 형성되는 것을 특징으로 하는 박막 트랜지스터.

**청구항 16**

기판 상에 박막 트랜지스터를 제조하는 방법에 있어서,

상기 기판 상에 게이트 전극, 활성층 및 게이트 절연막을 각각 형성하는 단계를 포함하고,

상기 게이트 절연막의 형성 단계는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 화학기상증착법으로 제1 실리콘 함유 절연막을 형성하는 과정을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 17**

제16항에 있어서, 상기 게이트 절연막의 형성 단계는, 모노실란을 실리콘 소스가스로 사용하여 화학기상증착법으로 제2 실리콘 함유 절연막을 형성하는 과정을 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 18**

제17항에 있어서,

상기 기판 상에, 상기 게이트 전극, 상기 제2 실리콘 함유 절연막, 상기 제1 실리콘 함유 절연막 및 상기 활성층을 순차적으로 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 19**

제17항에 있어서,

상기 기판 상에, 상기 활성층, 상기 제1 실리콘 함유 절연막, 상기 제2 실리콘 함유 절연막 및 상기 게이트 전극을 순차적으로 형성하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 20**

기판 상에 박막 트랜지스터를 제조하는 방법에 있어서,

상기 기판 상에 게이트 전극, 활성층, 게이트 절연막 및 보호층을 각각 형성하는 단계를 포함하고,

상기 보호층의 형성 단계는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 화학기상증착법으로 실리콘 함유 절연막을 형성하는 과정을 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정 디스플레이(Liquid Crystal Display, LCD)나 유기 EL(Electro Luminescence) 디스플레이 등의 디스플레이 장치에 사용되는 박막 트랜지스터(Thin Film Transistor, TFT)와 이의 제조방법에 관한 것이다.

**배경 기술**

[0002] 박막 트랜지스터(TFT)는, 트랜지스터의 채널(channel)이 형성되는 활성층(active layer)이 박막 형태로 기판 위에 형성되는 트랜지스터이다. 박막 트랜지스터로는 비정질 실리콘(a-Si)을 활성층으로 사용하는 a-Si TFT나 저온 다결정실리콘(Low Temperature Poly-crystalline Silicon, LTPS)을 활성층으로 사용하는 poly-Si TFT가 널리 사용되고 있지만, 최근에는 산화물을 활성층으로 사용하는 산화물 TFT(oxide TFT)가 크게 주목을 받고 있다. 또한, TFT의 활성층 물질로 유기물이나 2D 물질(2D materials)을 사용하는 것에 대한 연구도 활발히 진행되고 있다.

[0003] 유리나 플라스틱 등의 기판 상에 형성되는 TFT는, 기본적으로 게이트 전극(gate electrode), 게이트 절연막(gate insulating layer), 활성층(active layer), 소스/드레인 전극(source/drain electrodes) 및 보호층

(passivation layer)을 포함한다. 이러한 TFT의 기본 구성 요소들 중에서, 게이트 절연막이나 보호층은 통상적으로 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산화질화물(SiON) 등과 같은 실리콘 절연체의 단일막이나 이의 적층막 구조를 갖는다. 예를 들어, 한국등록특허 제1,118,432호(특허문헌 1)에는 LTPS 활성층을 갖는 TFT에서 SiO<sub>2</sub>/SiN 또는 SiO<sub>2</sub>/SiN/SiO<sub>2</sub>의 적층막 구조의 게이트 절연층을 갖는 TFT가 개시되어 있으며, 한국공개특허 제2016-0098360호(특허문헌 2)에는 적층 구조의 산화물 반도체층을 활성층으로 갖는 TFT의 보호층이 SiO<sub>2</sub>, SiON 또는 SiN으로 형성될 수 있는 것이 개시되어 있다.

[0004] TFT의 게이트 절연막이나 보호층을 실리콘 함유 절연체로 형성(이하, '실리콘 함유 절연막'이라 한다)할 때, 통상적으로 실리콘 소스가스와 산소 및/또는 질소 소스가스를 이용한 화학기상증착(Cheical Vapor Deposition, CVD)법이나 원자층 증착법(Atomic Layer Deposition, ALD)이 주로 사용된다. 이 때, 실리콘 소스가스로는, 모노실란(SiH<sub>4</sub>), 디실란(Si<sub>2</sub>H<sub>6</sub>) 또는 TEOS(Tetra Ethyl Ortho Silicate) 등의 물질이 개별적으로 사용되고 있다(특허문헌 1 참조). 특히, 우수한 전기적 특성을 갖는 TFT를 제조하기 위하여, 상기 실리콘 소스가스 물질 중에서 모노실란이 TFT의 게이트 절연막이나 보호층을 형성하는데 가장 널리 사용되고 있다. 다만, CVD 공정이나 ALD 공정에서 모노실란을 실리콘 소스가스로 사용할 경우에, 낮은 속도의 실리콘 분해로 인하여 실리콘 함유 절연막의 증착 속도가 느려서 TFT의 생산성이 낮은 문제가 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 한국등록특허 제1,118,432호  
(특허문헌 0002) 한국공개특허 제2016-0098360호

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명이 해결하고자 하는 하나의 과제는, TFT의 게이트 절연막 및/또는 보호층을 형성함에 있어서 생산성을 향상시킬 수 있을 뿐만 아니라 우수한 전기적 특성을 유지할 수 있는 박막 트랜지스터와 이의 제조방법을 제공하는 것이다.

#### 과제의 해결 수단

[0007] 진술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터는, 활성층, 게이트 절연막, 게이트 전극 및 보호층을 포함하되, 상기 게이트 절연막과 상기 보호층 중에서 적어도 하나는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 형성되는 제1 실리콘 함유 절연막을 포함한다.

[0008] 상기 실시예의 일 측면에 의하면, 상기 제1 실리콘 함유 절연막은 실리콘 산화막 또는 실리콘 질화막일 수 있다.

[0009] 상기 실시예의 다른 측면에 의하면, 상기 혼합 가스는 상기 모노실란의 몰수가 상기 디실란의 몰수보다 더 클 수 있다. 이 때, 상기 모노실란과 상기 디실란의 몰비는 3.5~4.5:1일 수 있다.

[0010] 상기 실시예의 또 다른 측면에 의하면, 상기 제1 실리콘 함유 절연막은 화학기상증착법을 사용하여 형성될 수 있다.

[0011] 상기 실시예의 또 다른 측면에 의하면, 상기 게이트 절연막은, 모노실란을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막을 더 포함할 수 있다.

[0012] 이 때, 상기 제1 실리콘 함유 절연막의 두께가 상기 제2 실리콘 함유 절연막의 두께보다 더 작을 수 있다. 일례로, 상기 제1 실리콘 함유 절연막과 상기 제2 실리콘 함유 절연막 사이의 두께비는 1:2.5~3.5일 수 있다.

[0013] 또한, 상기 제2 실리콘 함유 절연막을 더 포함하는 상기 게이트 절연막은, 상기 제2 실리콘 함유 절연막이 상기 활성층과 상기 제1 실리콘 함유 절연막 사이에 배치되는 구조를 가질 수 있다. 이 때, 상기 제1 실리콘 함유 절연막은 상기 제2 실리콘 함유 절연막 보다 수소 농도가 높을 수 있다.

- [0014] 상기한 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 박막 트랜지스터는 활성층, 게이트 전극 및 상기 활성층과 상기 게이트 전극 사이에 형성되는 게이트 절연막을 포함하되, 상기 게이트 절연막은 실리콘 산화물 또는 실리콘 질화물로 형성되는 실리콘 함유 절연막을 포함하되, 상기 실리콘 함유 절연막은 상기 활성층으로부터 멀어질수록 더 많은 수소가 분포되어 있다.
- [0015] 상기 실시예의 일 측면에 의하면, 상기 게이트 절연막은 소정의 수소 농도를 갖는 제1 실리콘 함유 절연막 및 상기 제1 실리콘 함유 절연막보다 낮은 수소 농도를 갖는 제2 실리콘 함유 절연막을 포함하되, 상기 제2 실리콘 함유 절연막이 상기 활성층과 상기 제1 실리콘 함유 절연막 사이에 배치되는 구조를 가질 수 있다. 이 때, 상기 제1 실리콘 함유 절연막의 두께가 상기 제2 실리콘 함유 절연막의 두께보다 더 작을 수 있다. 예컨대, 상기 제1 실리콘 함유 절연막과 상기 제2 실리콘 함유 절연막 사이의 두께비는 1:2.5~3.5일 수 있다.
- [0016] 상기 실시예의 다른 측면에 의하면, 상기 제1 실리콘 함유 절연막은 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 형성되고, 상기 제2 실리콘 함유 절연막은 모노실란을 실리콘 소스가스로 사용하여 형성될 수 있다.
- [0017] 상기한 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조방법은, 기판 상에 게이트 전극, 활성층 및 게이트 절연막을 각각 형성하는 단계를 포함하되, 상기 게이트 절연막의 형성 단계는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 화학기상증착법으로 제1 실리콘 함유 절연막을 형성하는 과정을 포함한다.
- [0018] 상기 실시예의 일 측면에 의하면, 상기 게이트 절연막의 형성 단계는, 모노실란을 실리콘 소스가스로 사용하여 화학기상증착법으로 제2 실리콘 함유 절연막을 형성하는 과정을 더 포함할 수 있다. 이 경우에, 상기 기판 상에, 상기 게이트 전극, 상기 제2 실리콘 함유 절연막, 상기 제1 실리콘 함유 절연막 및 상기 활성층을 순차적으로 형성하거나 또는 상기 기판 상에, 상기 활성층, 상기 제1 실리콘 함유 절연막, 상기 제2 실리콘 함유 절연막 및 상기 게이트 전극을 순차적으로 형성할 수 있다.
- [0019] 상기한 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 박막 트랜지스터의 제조방법은, 기판 상에 게이트 전극, 활성층, 게이트 절연막 및 보호층을 각각 형성하는 단계를 포함하되, 상기 보호층의 형성 단계는, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 화학기상증착법으로 실리콘 함유 절연막을 형성하는 과정을 포함할 수 있다.

**발명의 효과**

- [0020] 전술한 본 발명의 실시예에 의하면, 박막 트랜지스터의 게이트 절연막과 보호층 중에서 적어도 하나는 모노실란과 디실란의 혼합가스 기반의 실리콘 함유 절연막을 포함한다. 이에 의하면, 모노실란을 기반으로 실리콘 함유 절연막을 형성하는 것과 대비하여, 증착율을 높여서 생산성을 향상시킬 수 있다. 또한, 적어도 활성층과 접하는 게이트 절연막이나 보호층의 부분을 모노실란을 기반으로 형성되는 실리콘 함유 절연막으로 구성함으로써, 박막 트랜지스터의 전기적 특성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0021] 도 1a 및 도 1b는 각각 본 발명의 제1 실시예에 따른 박막 트랜지스터의 개략적인 구성을 보여주는 모식적인 단면도로서, 도 1a는 하부 게이트형 TFT에 대한 것이고, 도 1b는 상부 게이트형 TFT에 대한 것이다.
- 도 2a 및 도 2b는 각각 본 발명의 제2 실시예에 따른 박막 트랜지스터의 개략적인 구성을 보여주는 모식적인 단면도로서, 도 2a는 하부 게이트형 TFT에 대한 것이고, 도 2b는 상부 게이트형 TFT에 대한 것이다.
- 도 3은 박막 트랜지스터의 특성을 비교하기 위하여 제조한 하부 게이트형 TFT의 단면도의 일레이다.
- 도 4a는 실리콘 소스가스의 종류에 따른 실리콘 산화막(SiO<sub>x</sub>)의 증착율을 보여주는 그래프이다.
- 도 4b는 게이트 절연막을 형성하는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT의 전류-전압(I-V) 특성을 보여주는 그래프이다.
- 도 5는 실리콘 산화막의 게이트 절연막을 형성하는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT의 NBTIS 테스트 결과를 보여주는 그래프이다.
- 도 6은 실리콘 산화막의 게이트 절연막을 형성하는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT의

PBTS 테스트 결과를 보여주는 그래프이다.

도 7은 박막 트랜지스터의 특성을 비교하기 위하여 제조한 하부 게이트형 TFT의 단면도의 다른 예이다.

도 8a는 실리콘 소스가스의 종류에 따른 실리콘 산화막(SiO<sub>x</sub>)의 증착율을 보여주는 그래프이다.

도 8b는 실리콘 산화막의 보호층을 형성하는 실리콘 소스가스의 종류에 따른 도 7의 하부 게이트형 TFT의 전류-전압(I-V) 특성을 보여주는 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하, 도면을 참조하여 본 발명의 바람직한 실시형태 및 실시예를 설명한다. 다만, 이하의 실시형태 및 실시예는 본 발명의 바람직한 구성을 예시적으로 나타내는 것일 뿐이며, 본 발명의 범위는 이들 구성에 한정되지 않는다. 그리고 이하의 설명에 있어서, 장치의 하드웨어 구성 및 소프트웨어 구성, 처리 흐름, 제조조건, 크기, 재질, 형상 등은, 특히 특징적인 기재가 없는 한, 본 발명의 범위를 이것으로 한정하려는 취지인 것은 아니다. 또한, 제1 구성요소가 제2 구성요소 상에 실장, 배치 또는 형성된다고 할 경우에, 그것은 제1 구성요소가 제2 구성요소 바로 위(directly on)에 실장, 배치 또는 형성되는 경우는 물론, 명시적으로 이를 배제하는 기재가 없는 한, 다른 제3 구성요소가 제1 구성요소와 제2 구성요소 사이에 개재되어 있는 것(upper)도 모두 포함하는 것으로 해석되어야 한다.

[0024] 도 1a 및 도 1b는 각각 본 발명의 제1 실시예에 따른 박막 트랜지스터의 개략적인 구성을 보여주는 모식적인 단면도로서, 도 1a는 하부 게이트형(bottom gate type) TFT에 대한 것이고, 도 1b는 상부 게이트형(top gate type) TFT에 대한 것이다. 도 1a 및 도 1b를 참조하면, 박막 트랜지스터(100a, 100b)는, 하부 게이트형과 상부 게이트형 모두 공통적으로, 게이트 전극(110), 게이트 절연막(120), 활성층(130) 및 소스/드레인 전극(140)을 포함한다. 도면에 도시되어 있지는 않지만, 상부 게이트형 TFT(100b)의 경우에는, 기판(미도시)과 활성층(130) 사이에, 실리콘 산화물 등으로 형성된 버퍼층이 추가로 구비되어 있을 수 있다.

[0025] 박막 트랜지스터(100a, 100b)는 유리나 플라스틱 수지 등과 같은 투명한 절연성 기판(미도시) 상에 형성된다. 본 발명의 실시예에 따른 박막 트랜지스터(100a, 100b)는 그 종류에 특별한 제한이 없으며, 하부 게이트 스테거드(bottom gate staggered) TFT, 하부 게이트 코우플레이너(bottom gate coplanar) TFT, 상부 게이트 스테거드(top gate staggered) TFT 및 상부 게이트 코우플레이너(top gate coplanar) TFT 중의 어느 하나일 수 있다. 보다 구체적으로, 박막 트랜지스터(100a, 100b)는, 도 1a에 도시된 바와 같이, 게이트 전극(110)이 활성층(130)의 아래쪽에 배치되어 있는 하부 게이트형 TFT이거나 또는 도 1b에 도시된 바와 같이, 게이트 전극(110)이 활성층(130)의 위쪽에 배치되어 있는 상부 게이트형 TFT일 수 있다. 또한, 도 1a 및 도 1b에 도시된 박막 트랜지스터(100a, 100b)는, 활성층(130)을 기준으로 소스/드레인 전극(140)과 게이트 전극(110)이 반대쪽 평면에 배치되어 있는 스테거드(staggered)형 TFT이거나 또는 활성층(130)을 기준으로 소스/드레인 전극(140)과 게이트 전극(110)이 같은 쪽 평면에 배치되어 있는 코우플레이너(coplanar)형 TFT일 수도 있다.

[0026] 게이트 전극(110)은, 박막 트랜지스터(100a, 100b)의 도통의 제어, 즉, 활성층(130)에 전류가 흐르거나 또는 흐르지 않도록 제어하는 기능을 수행한다. 예를 들어, 게이트 전극(110)에 소정의 임계 전압(V<sub>th</sub>) 이상의 전압이 인가되면, 활성층(130)의 소스 영역과 드레인 영역 사이의 채널 영역을 통해 전류가 흐른다. 본 실시예에 의하면, 게이트 전극(110)을 형성하는 도전성 물질의 종류는 특별한 제한이 없으며, 불순물이 도핑된 폴리실리콘이나 알루미늄(Al), 니켈(Ni) 등과 같은 금속이거나 이의 합금일 수 있다.

[0027] 게이트 절연막(120)은 게이트 전극(110)과 활성층(130) 사이에 개재되어서 이들을 분리해주는 역할을 한다. 게이트 절연막(120)은, 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(SiN), 실리콘 산질화물(SiON)과 같은 실리콘 함유 절연체로 형성되는 실리콘 함유 절연막으로서, 제1 실리콘 함유 절연막(122)의 단일막 구조이거나 또는 도 1a 및 도 1b에 도시되어 있는 바와 같이 제1 실리콘 함유 절연막(122)과 제2 실리콘 함유 절연막(124)의 이중막 구조일 수 있다.

[0028] 본 발명의 실시예에 의하면, 전자의 경우이든 후자의 경우이든, 게이트 절연막(120)을 구성하는 제1 실리콘 함유 절연막(122)은, 모노실란(SiH<sub>4</sub>)과 디실란(Si<sub>2</sub>H<sub>6</sub>)의 혼합 가스를 실리콘 소스가스로 사용하여 형성된다. 이에 의하면, 모노실란만을 실리콘 소스가스로 사용하는 것에 비하여, 실리콘 함유 절연막의 증착 속도가 빨라져서 생산성이 향상될 뿐만 아니라 막 내부의 수소 농도의 증가에 의한 게이트 전극(120)과의 계면에 있어서의 결함 보호(defect passivation) 효과로 인하여 박막 트랜지스터의 신뢰성(예컨대, PBTS(Positive Bias Temperature

Stress))도 향상될 수 있다.

- [0029] 혼합 가스에서 모노실란과 디실란의 혼합 비율은, 기본적으로 모노실란의 양이 더 많도록 하되, 소자의 전기적 특성이나 증착 공정 설비의 특성을 고려하여 적절히 조절될 수 있다. 예컨대, 모노실란과 디실란 사이의 비율은 3.5~4.5:1, 보다 바람직하게는 약 4:1 정도가 되는 것이 바람직하다.
- [0030] 후자의 경우, 즉 게이트 절연막(120)이 이중막 구조인 경우에는, 게이트 절연막(120)은 제1 실리콘 함유 절연막(122) 외에 모노실란만을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막(124)을 추가로 포함한다. 이 때, 박막 트랜지스터(100a, 100b)가 상부 게이트형이든 하부 게이트형이든 그 종류에 상관없이, 활성층(130)에 접하는 게이트 절연막(120)의 부분은 제1 실리콘 함유 절연막(122)이 아닌 제2 실리콘 함유 절연막(124)이다. 즉, 이중막 구조의 게이트 절연막(120)은, 제2 실리콘 함유 절연막(124)이 활성층(130)과 제1 실리콘 함유 절연막(122) 사이에 배치되는 구조를 갖는다. 보다 구체적으로, 도 1a에 도시된 것과 같은 하부 게이트형 TFT(100a)에서는, 게이트 전극(110) 상에 제1 실리콘 함유 절연막(122), 제2 실리콘 함유 절연막(124) 및 활성층(130)의 순서로 배치되며, 도 1b에 도시된 것과 같은 상부 게이트형 TFT(100b)에서는, 기판(미도시) 상에 활성층(130), 제2 실리콘 함유 절연막(124) 및 제1 실리콘 함유 절연막(122)의 순서대로 배치된다.
- [0031] 통상적으로, 모노실란 기반의 제2 실리콘 함유 절연막(124)의 내부에는, 모노실란과 디실란 혼합 가스 기반의 제1 실리콘 함유 절연막(122)보다 더 적은 수소가 분포되어 있어서, 제2 실리콘 함유 절연막(124)의 수소 농도가 제1 실리콘 함유 절연막(122)의 수소 농도보다 낮다. 그 결과, 활성층(130)으로부터 더 멀리 떨어져 배치되어 있는 제1 실리콘 함유 절연막(122)의 내부에는, 활성층(130)으로부터 더 가까운 거리(예컨대, 활성층(130)에 인접하는 위치)에 배치되어 있는 제2 실리콘 함유 절연막(124)보다 더 많은 수소가 분포되어 있다. 이에 의하면, 제2 실리콘 함유 절연막(124)에 의하여, 제1 실리콘 함유 절연막(122)에 상대적으로 많이 함유되어 있는 수소가 활성층(130)으로 확산되는 것을 억제할 수 있으므로, 박막 트랜지스터(100a, 100b)는, 모노실란만을 실리콘 소스가스로 하여 형성되는 게이트 절연막을 포함하는 종래의 박막 트랜지스터와 마찬가지로, 우수한 전기적 특성을 유지할 수 있다.
- [0032] 이러한 이중막 구조의 게이트 절연막(120)은, 제2 실리콘 함유 절연막(124)의 두께가 제1 실리콘 함유 절연막(122)의 두께보다 더 두꺼운 것이 바람직하다. 이에 의해, 게이트 절연막(120)의 전체적인 증착율을 증가(따라서, 생산성을 향상)시키면서도, 박막 트랜지스터의 전기적 특성의 열화를 저감할 수 있다. 다만, 제2 실리콘 함유 절연막(124)의 두께가 제1 실리콘 함유 절연막(122)보다 너무 두꺼우면, 생산성 향상의 효과가 감소될 수 있다. 이러한 점들을 고려하여, 제2 실리콘 함유 절연막(124)과 제1 실리콘 함유 절연막(122) 사이의 두께비는, 소자의 특성에 따라서 유동적으로 조정될 수 있지만, 2.5~3.5:1, 보다 바람직하게는 약 3:1인 것이 바람직하다.
- [0033] 활성층(130)은 소스 영역, 드레인 영역 및 채널 영역을 가진다. 소스 영역과 드레인 영역은 각각 소스/드레인 전극(140)과 접촉되며, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역은 게이트 전극(110)의 위치에 대응한다. 본 실시예에 의하면, 활성층(130)을 형성하는 물질에 특별한 제한이 없다. 예를 들어, 활성층(130)은 비정질 실리콘(a-Si), 저온 다결정 실리콘(LTPS), ZnO, InO, GaO 또는 SnO 등을 포함하는 산화물(예컨대, IGZO) 반도체나 이들의 조합 또는 그래핀 등과 같은 이차원 물질(2D materials) 등으로 형성될 수 있다.
- [0034] 소스/드레인 전극(140)은 전하를 공급하고 또한 공급받는 역할을 수행하는 것으로, 활성층(130)의 소스 영역 및 드레인 영역과 각각 접촉한다. 게이트 전극(110)의 소정의 전위차가 인가되어 활성층(130)의 채널 영역을 통해 전하가 이동하면, 소스/드레인 전극(140)을 통해 전류가 흐른다. 이러한 소스/드레인 전극(140)은 도전성 물질, 예컨대 알루미늄(Al) 등과 같은 금속 물질로 형성될 수 있는데, 여기에만 한정되는 것은 아니다.
- [0035] 도 2a 및 도 2b는 각각 본 발명의 제2 실시예에 따른 박막 트랜지스터의 개략적인 구성을 보여주는 모식적인 단면도로서, 도 2a는 하부 게이트형 TFT에 대한 것이고, 도 2b는 상부 게이트형 TFT에 대한 것이다. 도 2a 및 도 2b를 참조하면, 박막 트랜지스터(200a, 200b)는 게이트 전극(210), 게이트 절연막(220), 활성층(230), 소스/드레인 전극(240) 및 보호층(250)을 포함한다. 도면에 도시되어 있지는 않지만, 상부 게이트형 TFT(200b)의 경우에는, 기판(미도시)과 활성층(230) 사이에, 실리콘 산화물로 형성된 버퍼층이 추가로 구비되어 있을 수 있다.
- [0036] 본 실시예에서 구체적으로 설명하지 않은 박막 트랜지스터(200a, 200b)의 구성요소들, 즉 게이트 전극(210), 활성층(230) 및 소스/드레인 전극(240)에 대해서는 도 1a 및 도 1b를 참조하여 기술한 내용이 동일하게 적용될 수 있다.
- [0037] 본 실시예에 의하면, 게이트 절연막(220)을 형성하는 재료나 구조, 이의 형성 방법에 대해서는 특별한 제한이 없으며, 공지된 어떠한 재질이나 구성을 가져도 좋다. 예를 들어, 게이트 절연막(220)은 SiO<sub>2</sub>, SiN, SiON의 단

일막이나 이들의 복합막으로 구성되거나 또는 고유전체로 형성된 절연막을 추가로 포함할 수도 있다. 또는, 게이트 절연막(220)은, 도 1a 및 도 1b를 참조하여 설명한 게이트 절연막(120)과 마찬가지로, SiO<sub>2</sub> 또는 SiN으로 형성되는 실리콘 함유 절연막의 단일막 구조 또는 이중막 구조를 가질 수 있다. 즉, 게이트 절연막(220)은, 모노실란(SiH<sub>4</sub>)과 디실란(Si<sub>2</sub>H<sub>6</sub>)의 혼합 가스를 실리콘 소스가스로 사용하여 형성되는 제1 실리콘 함유 절연막(122)만으로 구성되거나 또는 제1 실리콘 함유 절연막(122) 이외에 모노실란을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막(124)을 추가로 포함하여 구성될 수도 있다.

[0038] 보호층(250)은 그 하부에 형성되는 소자들, 예컨대 게이트 전극(210), 게이트 절연막(220), 활성층(230) 및 소스/드레인 전극(240)을 수분 등과 같은 불순물이나 충격 등으로부터 보호하기 위한 것이다. 본 실시예의 일 측면에 의하면, 보호층(250)은 실리콘 산화물(SiO<sub>2</sub>) 또는 실리콘 질화물(SiN)과 같은 실리콘 절연체로 형성되는 것으로서, 모노실란(SiH<sub>4</sub>)과 디실란(Si<sub>2</sub>H<sub>6</sub>)의 혼합 가스를 실리콘 소스가스로 사용하여 형성되는 실리콘 함유 절연막으로 구성될 수 있다. 이에 의하면, 모노실란만을 실리콘 소스가스로 사용하는 것에 비하여, 보호층(250), 즉 실리콘 함유 절연막의 증착 속도가 빨라져서 생산성이 향상될 뿐만 아니라 막 내부의 수소 농도의 증가로 인한 결함 보호(defect passivation) 효과로 인하여 TFT의 신뢰성(예컨대, PBTS(Positive Bias Temperature Stress))도 향상될 수 있다.

[0039] 하지만, 본 실시예가 여기에만 한정되는 것은 아니며, 보호층(250)은, 도 1a 및 도 1b에 도시되어 있는 게이트 절연막(120)과 같이, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 하여 형성되는 제1 실리콘 함유 절연막과 모노실란만을 실리콘 소스가스로 하여 형성되는 제2 실리콘 함유 절연막을 포함하는 이중막 구조일 수도 있다. 특히, 하부 게이트형 TFT(200a)에서 보호층(250)이 이중막 구조인 경우에는, 활성층(230)과 접하는 보호층(250)의 부분은 제2 실리콘 함유 절연막인 것이 바람직하다.

[0040] 다음으로 본 발명의 실시예에 따른 박막 트랜지스터의 제조방법에 관하여 설명한다.

[0041] 도 1a 또는 도 2a의 하부 게이트형 박막 트랜지스터(100a, 200a)의 제조 방법은, 기판(미도시) 상에 게이트 전극(110, 210), 게이트 절연막(120, 220), 활성층(130, 230), 소스/드레인 전극(140, 240) 및/또는 보호층(250)을 순차적으로 형성하는 과정을 포함한다. 그리고 도 1b 및 도 2b의 상부 게이트형 박막 트랜지스터(100b, 200b)의 제조 방법은, 기판(미도시) 상에 활성층(130, 230), 게이트 절연막(120, 220), 게이트 전극(110, 210), 소스/드레인 전극(140, 240), 및/또는 보호층(250)을 순차적으로 형성하는 과정을 포함한다. 도면에 도시되어 있지는 않지만, 상부 게이트형 TFT(100b, 200b)의 경우에는, 활성층(130, 230)을 형성하기 이전에, 기판(미도시) 상에 실리콘 산화물로 형성된 버퍼층을 형성하는 과정이 추가로 수행될 수 있다.

[0042] 본 발명의 실시예에 의하면, 이들 TFT의 구성요소들 중에서, 게이트 전극(110, 210), 게이트 절연막(220), 활성층(130, 230) 및 소스/드레인 전극(140, 240) 각각의 제조 공정은, 기공지된 제조 공정들 중에서 당업자가 적절하게 선택하여 적용할 수 있다. 따라서, 본 명세서에서는 이들 구성요소들 각각에 대한 제조 공정에 대한 구체적인 설명은 생략하기로 한다. 반면, 본 발명의 실시예에 의하면, 도 1a 및 도 1b의 게이트 절연막(120, 220) 및/또는 도 2a 및 도 2b의 보호층(250)은 신규의 제조 공정을 적용하여 제조하므로, 이하에서는 이와 관련하여 구체적으로 설명하기로 한다.

[0043] 전술한 바와 같이, TFT, 특히 산화물 TFT에서 실리콘 함유 절연체로 형성되는 게이트 절연막이나 보호층을 형성하기 위하여 통상적으로 사용된 공정은, 모노실란을 실리콘 소스가스로 사용하는 플라즈마강화 화학기상증착법(Plasma Enhanced Chemical Vapor Deposition, PECVD) 등과 같은 화학기상증착법(CVD)이다. 이에 의하면, 모노실란을 실리콘 소스가스로 사용함으로써, 계면 특성이 우수한 전기적 특성을 갖는 TFT를 제조할 수가 있었다. 그런데, 모노실란을 실리콘 소스가스로 사용하는 것은, 실리콘 함유 절연막의 증착 속도가 느려서 생산성이 낮은 단점이 있다.

[0044] 게이트 절연막이나 보호층을 구성하는 실리콘 함유 절연막의 증착 속도를 높여서 TFT의 생산성을 높이기 위한 하나의 방안으로, 모노실란 대신에 디실란을 실리콘 소스가스로 사용하는 것이 고려될 수 있다. 왜냐하면, 디실란은 모노실란보다 결합 에너지가 낮아서 모노실란보다 쉽게 분해될 수 있으므로, CVD 공정 중에 실리콘(Si)의 농도가 증가하여 실리콘 함유 절연막의 증착 속도를 향상시킬 수 있기 때문이다. 또한, 디실란을 실리콘 소스가스로 사용할 경우에는, 모노실란을 실리콘 소스가스로 사용할 경우와 대비하여, 실리콘 함유 절연막의 내부에 수소(H)의 농도가 더 높아서, TFT 소자의 신뢰성(예컨대, PBTS)의 향상도 기대할 수 있다. 반면, 활성층과의 계면 특성이 좋지 않아서 TFT 소자의 전기적 특성이 열화되며, 특히 NBTIS(Negative Bias Temperature Illumination Stress) 안정성이 열화되는 문제가 있다.

- [0045] 이와 같은 실리콘 소스가스의 종류에 따른 실리콘 함유 절연막의 특성을 고려하여, 본 발명의 일 실시예에 의하면, 도 1a 및 도 1b에 도시된 박막 트랜지스터(100a, 100b)의 게이트 절연막(120)과 도 2a 및 도 2b에 도시된 박막 트랜지스터(200a, 200b)의 보호층(250)의 제조 공정은, 모노실란과 디실란의 혼합 가스를 실리콘 소스가스로 사용하여 제1 실리콘 함유 절연막(122, 250)을 형성하는 공정을 포함한다. 이 때, 혼합 가스를 이루는 모노실란과 디실란의 혼합 비율은, 우수한 전기적 특성을 얻기 위하여 모노실란의 비율을 상대적으로 높게 하는 것이 바람직하다. 예컨대, 모노실란과 디실란 사이의 혼합 비율은, 3.5~4.5:1, 보다 바람직하게는 약 4:1이다.
- [0046] 본 발명의 실시예의 일 측면에 의하면, 게이트 절연막(120)의 형성 공정은, 제2 실리콘 함유 절연막(124)을 형성하는 공정을 더 포함한다. 제2 실리콘 함유 절연막(124)을 제조하는 공정에서는 모노실란만을 실리콘 소스가스로 사용한다. 이러한 이중막 구조의 게이트 절연막(120)은, 모노실란만을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막(124)이 활성층(130)에 접하는 구조를 갖도록 배치된다는 것은 전술한 바와 같다. 즉, 박막 트랜지스터(100a, 100b)가 상부 게이트형인지 하부 게이트형인지에 따라서, 제1 실리콘 함유 절연막(122)과 제2 실리콘 함유 절연막(124) 각각을 형성하는 순서는 달라진다. 예컨대, 하부 게이트형 박막 트랜지스터(100a)에서는 게이트 전극(110) 상에 제1 실리콘 함유 절연막(122)과 제2 실리콘 함유 절연막(124)의 순서로 형성되며, 상부 게이트형 박막 트랜지스터(100b)에서는 활성층(130) 상에 제2 실리콘 함유 절연막(124)과 제1 실리콘 함유 절연막(122)의 순서로 형성된다. 이 때, 제1 실리콘 함유 절연막(122)과 제2 실리콘 함유 절연막(124) 사이의 두께비가 1:2.5~3.5, 바람직하게는 약 1:3이라는 것은 전술한 바와 같다.
- [0047] 본 발명의 실시예의 다른 측면에 의하면, 보호층(250)의 형성 공정도, 모노실란만을 실리콘 소스가스로 사용하여 제2 실리콘 함유 절연막을 형성하는 공정을 더 포함할 수도 있다. 이러한 이중막 구조의 보호층(250)은, 하부 게이트형 TFT에서는, 모노실란만을 실리콘 소스가스로 사용하여 형성되는 제2 실리콘 함유 절연막이 활성층(230)에 접하는 구조를 갖도록, 활성층(230)과 소스/드레인 전극(240) 상에 제2 실리콘 함유 절연막 및 제1 실리콘 함유 절연막의 순서로 형성되는 것이 바람직하다.
- [0048] 여기서, 게이트 절연막(120)과 보호층(250)은 각각 실리콘 산화물(SiO<sub>2</sub>) 또는 실리콘 질화물(SiN)로 형성될 수 있다. 즉, 게이트 절연막(120)이나 보호층(250)의 형성 공정에서는, 실리콘 소스가스 이외에 산소 소스가스(N<sub>2</sub>O) 또는 질소 소스가스(NH<sub>3</sub> 및 N<sub>2</sub>)가 함께 사용될 수 있다. 이러한 게이트 절연막(120)과 보호층(250)의 형성 공정으로는, 저온 공정이 가능하고 생산성이 높은 화학기상증착법(CVD)이나 원자층증착법(ALD)이 모두 적용될 수 있는데, 전자의 공정이 보다 생산성이 높아서 바람직하다. 예를 들어, 게이트 절연막(120)과 보호층(250)을 형성하기 위한 화학기상증착법으로 상압화학기상증착법(APCVD), 저압화학기상증착법(LPCVD), 플라즈마강화화학기상증착법(PECVD) 등의 공정이 사용될 수 있다.
- [0049] 다음으로, 본 발명의 실시예에 따른 박막 트랜지스터의 특성을, 기존의 박막 트랜지스터와 대비하여 설명한다.
- [0050] 우선, 게이트 절연막의 공정 조건의 차이에 따른 박막 트랜지스터의 특성을 비교하기 위하여, 도 3에 도시된 단면 구조를 갖는 하부 게이트형 TFT(300)를 제조하였다.
- [0051] 보다 구체적으로, 하부 게이트형 TFT(300)를 제조하기 위하여, 먼저 p+ 실리콘 웨이퍼로 게이트 전극(310)을 형성한 다음, PECVD 공정으로 약 370℃의 온도에서 실리콘 산화물의 게이트 절연막(320)을 약 200nm의 두께로 형성하였다. 그리고 스퍼터법으로 비정질 산화물(a-IGZO) 반도체의 활성층(330)을 약 40nm의 두께로 형성하였다. 이후, 약 300℃의 온도에서 후열처리(post-annealing)를 약 1시간 정도 수행한 다음, 스퍼터법으로 알루미늄(Al)의 소스/드레인 전극(340)을 약 200nm의 두께로 형성하였다.
- [0052] 이상의 구조를 갖는 박막 트랜지스터에서, 게이트 절연막(320)을 구성하는 실리콘 산화막의 제조를 위한 실리콘 소스가스의 종류를 다르게 하되, 나머지 공정 조건(예컨대, 산소 소스가스의 종류, 압력, 온도, RF 파워 등)은 동일하게 하였다. 보다 구체적으로, 실리콘 소스가스로 모노실란(실험예 1), 디실란(실험예 2) 및 모노실란과 디실란의 혼합가스(실험예 3, 혼합비는 4:1)를 사용하여, 실리콘 산화막의 형성 공정을 수행하였다. 그리고 이중막 구조의 실리콘 산화막을 형성할 경우에는, 실험예 1과 3의 조합을 적용하였다.
- [0053] 도 4a는 실리콘 소스가스의 종류에 따른 실리콘 산화막(SiO<sub>x</sub>)의 증착율을 보여주는 그래프이다. 도 4a를 참조하면, 모노실란과 디실란의 혼합가스를 실리콘 소스가스로 사용하여 실리콘 산화막을 형성한 경우(실험예 3)에는, 모노실란만을 실리콘 소스가스로 사용하여 실리콘 산화막을 형성한 경우(실험예 1)와 비교하여, 실리콘 산화막의 증착율이 크게 향상됨을 알 수 있다. 도 4a에 도시하지는 않았으나, 모노실란 및 혼합가스 각각을 실리콘 소스가스로 사용하여 이중막 구조의 실리콘 산화막을 형성한 경우(즉, 실험예 1과 3의 조합)에도 역시, 모노실란만을 실리콘 소스가스로 사용하여 실리콘 산화막을 형성한 경우(실험예 1)와 비교하여, 실리콘 산화막의 증착율

이 향상된다.

[0054] 그리고 도 4b는 게이트 절연막을 형성하는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT의 전류-전압(I-V) 특성을 보여 주는 그래프이고, 표 1은 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT의 전자 이동도( $\mu_{FET}$ ), 임계 전압 쉬프트( $V_{th}$ ), 서브 쓰레쉬홀드 스위칭값(S.S) 및 온/오프 전류비(On/Off ratio)를 보여 주는 것이다. 도 4b 및 표 1을 참조하면, 모노실란 및 혼합가스 각각을 실리콘 소스가스로 사용하여 3:1 두께비로 실리콘 산화막을 형성한 경우(즉, 실험예 1과 3의 조합)에는, 디실란만을 실리콘 소스가스로 사용하여 실리콘 산화막을 형성한 경우(실험예 3)에 비해 TFT의 전기적 특성이 크게 향상되며, 모노실란만을 실리콘 소스가스로 사용하여 실리콘 산화막을 형성한 경우(실험예 1)와 비교하여 TFT의 전기적 특성과 동등하거나 일부 전기적 특성에 있어서는 더 우수한 특성을 나타낸다.

표 1

게이트 절연막의 구조	$\mu_{FET}$ ( $cm^2/Vs$ )	$V_{th}$ (V)	S.S (V/dec)	On/Off ratio
실험예1	6.23	1.1	0.35	$4.65 \times 10^8$
실험예2	10.26	-0.6	0.39	$1.41 \times 10^8$
실험예1+3	8.87	0.26	0.35	$4.15 \times 10^{11}$

[0055]

[0056] 그리고 도 5는 실리콘 산화물의 게이트 절연막(320)을 형성하는데 사용되는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT(300)의 NBTIS 테스트 결과를 보여주는 그래프이다. NBTIS 테스트 조건은, -20V의 게이트 전압(VG), 50°C의 온도 및 1000룩스(lux)의 광 세기(light intensity)이다(이하, 본 명세서에서 NBTIS 테스트 조건은 동일함). 여기서, 도 5의 (a)는 실험예 1에 해당하는 경우이고, 도 5의 (b)는 실험예 2에 해당하는 경우이며, 도 5의 (c) 내지 (e)는 실험예 1과 3의 조합에 해당하는 경우로서, 실험예 1과 실험예 3의 공정 조건을 각각 적용하여 두께비 1:3의 실리콘 산화막(도 5의 (c)), 두께비 1:1의 실리콘 산화막(도 5의 (d)) 또는 두께비 3:1의 실리콘 산화막(도 5의 (e))을 형성한 경우이다.

[0057] 도 5의 (a)를 참조하면, 실험예 1과 같은 모노실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 NBTIS에 의한 임계전압 쉬프트는 -1.6V이다. 그리고 도 5의 (b)를 참조하면, 실험예 2와 같은 디실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 NBTIS에 의한 임계전압 쉬프트는 -13.8V이다. 그리고 도 5의 (c) 내지 (e)를 참조하면, 실험예 1과 3의 조합인 이중막 구조의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 NBTIS에 의한 임계전압 쉬프트는 각각 -2.3V, -2.1V 또는 -1.7V이다. 이러한 NBTIS 테스트 결과에 의하면, 하부 게이트형 TFT(300)에서, 이중막 구조의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터는, 디실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터보다 NBTIS 신뢰성이 상당히 향상될 뿐만 아니라 모노실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터와는 유사한 수준의 NBTIS 신뢰성을 보인다는 것을 알 수 있다. 그리고 이중막 구조의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 경우에는, 전체 게이트 절연막 중에서 모노실란 기반의 실리콘 산화막의 두께가 더 두꺼울수록 우수한 NBTIS 신뢰성을 보인다는 것을 알 수 있다. 다만, 전술한 생산성 향상 효과를 고려할 때, 이중막 구조에서 모노실란 기반의 실리콘 산화막과 혼합가스 기반의 실리콘 산화막의 두께 비율은 2.5~3.5:1, 약 3:1인 것이 바람직하다.

[0058] 그리고 도 6의 (a) 내지 (e)는 실리콘 산화물의 게이트 절연막(320)을 형성하는 실리콘 소스가스의 종류에 따른 도 3의 하부 게이트형 TFT(300)의 PBTS 테스트 결과를 보여주는 그래프이다. PBTS 테스트 조건은, +20V의 게이트 전압(VG) 및 50°C의 온도이다(이하, 본 명세서에서 PBTS 테스트 조건은 동일함). 여기서, 도 6의 (a)는 실험예 1에 해당하는 경우이고, 도 6의 (b)는 실험예 2에 해당하는 경우이며, 도 6의 (c) 내지 (e)는 실험예 1과 3의 조합에 해당하는 경우로서, 실험예 1과 실험예 3의 공정 조건을 각각 적용하여 두께비 1:3의 실리콘 산화막, 두께비 1:1의 실리콘 산화막 및 두께비 3:1의 실리콘 산화막을 형성한 경우이다.

[0059] 도 6의 (a)를 참조하면, 실험예 1과 같은 모노실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 PBTS에 의한 임계전압 쉬프트는 4.85V이다. 그리고 도 6의 (b)를 참조하면, 실험예 2와 같은 디실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 PBTS에 의한 임계전압 쉬프트는 3.44V이다. 그리고 도 6의 (c) 내지 (e)를 참조하면, 실험예 1과 3의 조합인 이중막 구조의 실리콘 산화막

의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 PBTS에 의한 임계전압 쉬프트는 각각 4.38V, 4.59V 및 4.71V이다. 이러한 PBTS 테스트 결과에 의하면, 하부 게이트형 TFT(300)에서, 이중막 구조의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터는, 모노실란 기반의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터보다 향상된 PBTS 신뢰성을 보인다. 그리고 이중막 구조의 실리콘 산화막의 게이트 절연막(320)을 포함하는 박막 트랜지스터의 경우에는, 전체 게이트 절연막 중에서 혼합가스 기반의 실리콘 산화막의 두께의 비율이 더 클수록 우수한 PBTS 신뢰성을 보인다는 것을 알 수 있다.

[0060] 이렇듯, 본 발명의 일 실시예에 있어서와 같이, 실리콘 산화물로 된 게이트 절연막(320)을 형성함에 있어, 실리콘 소스가스로서 모노실란과 디실란의 혼합가스를 사용할 경우, 모노실란 기반의 단일 실리콘 산화막을 게이트 절연막(320)으로 사용하는 경우에 비해, 증착율과 TFT의 PBTS 신뢰성 특성을 향상시킬 수 있으며, 모노실란 기반의 단일 실리콘 산화막을 게이트 절연막으로 (320) 사용하는 경우와 동등한 정도의 TFT의 전기적 특성을 얻을 수 있다. 다만, 디실란의 사용에 따라 TFT의 NBTIS 특성이 열화될 수 있으나, 본 발명에서는, 게이트 절연막(320)을 혼합가스 기반의 제1 실리콘 함유 절연막(220)과 모노실란 기반의 제2 실리콘 함유 절연막(230)의 이중막 구조로 함으로써, NBTIS 특성도 모노실란 기반의 실리콘 산화물 단일막을 게이트 절연막(320)으로 사용하는 경우와 동일한 정도로 유지할 수 있다. 게이트 절연막(320)을 혼합가스 기반의 제1 실리콘 함유 절연막(220)과 모노실란 기반의 제2 실리콘 함유 절연막(230)의 이중막 구조로 하는 구성에 있어서, 제1 실리콘 함유 절연막(220)과 제2 실리콘 함유 절연막(230)의 두께비는 증착율, 전기적 특성, PBTS 신뢰성 특성, NBTIS 신뢰성 특성을 고려하여 적절히 선택될 수 있다.

[0061] 다음으로, 보호층의 구조 및 공정 조건의 차이에 따른 박막 트랜지스터의 특성을 비교하기 위하여, 도 7에 도시된 단면 구조를 갖는 하부 게이트형 TFT(400)를 제조하였다. 보다 구체적으로, 하부 게이트형 TFT(400)를 제조하기 위하여, 먼저 p+ 실리콘 웨이퍼로 게이트 전극(410)을 형성한 다음, PECVD 공정으로 270°C의 온도에서 실리콘 산화물의 게이트 절연막(420)을 약 200nm의 두께로 형성하였다. 그리고 스퍼터법으로 비정질 산화물(a-IGZO)의 활성층(430)을 약 40nm의 두께로 형성하였다. 이후, 약 300°C의 온도에서 후열처리(post-annealing)를 약 1시간 정도 수행한 다음, 스퍼터법으로 알루미늄(Al)의 소스/드레인 전극(440)을 약 200nm의 두께로 형성하였다. 마지막으로, 활성층(430)과 소스/드레인 전극(440)을 덮도록 약 200nm의 두께로 보호층(450)을 형성하였다.

[0062] 이상의 구조를 갖는 박막 트랜지스터에서, 보호층(450)을 구성하는 실리콘 산화막의 제조를 위한 실리콘 소스가스의 종류를 다르게 하되, 나머지 공정 조건(예컨대, 산소 소스가스의 종류, 압력, 온도, RF 파워 등)은 동일하게 하였다. 보다 구체적으로, 실리콘 소스가스로 모노실란(실험예 4), 디실란(실험예 5) 및 모노실란과 디실란의 혼합가스(실험예 6, 혼합비는 4:1)를 사용하여, 실리콘 산화막의 형성 공정을 수행하였다. 그리고 이중막 구조의 실리콘 산화막을 형성할 경우에는, 실험예 4와 6의 조합을 적용하였다.

[0063] 도 8a는 실리콘 소스가스의 종류에 따른 실리콘 산화막(SiO<sub>x</sub>)의 증착율을 보여주는 그래프이다. 도 8a를 참조하면, 모노실란과 디실란의 혼합가스를 실리콘 소스가스로 사용하여 실리콘 산화막의 보호층(450)을 형성한 경우(즉, 실험예 6)에는, 모노실란만을 실리콘 소스가스로 사용하여 실리콘 산화막의 보호층(450)을 형성한 경우(실험예 4)와 비교하여, 실리콘 산화막의 증착율이 크게 향상되는 것을 알 수 있다.

[0064] 그리고 도 8b는 보호층을 형성하는 실리콘 소스가스의 종류에 따른 도 7의 하부 게이트형 TFT의 전류-전압(I-V) 특성을 보여주는 그래프이다. 도 8b를 참조하면, 모노실란과 디실란(혼합비 4:1)의 혼합가스를 실리콘 소스가스로 사용하여 200nm 두께의 실리콘 산화막을 형성한 경우(즉, 실험예 6)에는, 모노실란만을 실리콘 소스가스로 사용하여 200nm 두께의 실리콘 산화막을 형성한 경우(실험예 4)와 TFT의 전기적 특성이 크게 차이가 나지 않을 뿐만 아니라, 디실란만을 실리콘 소스가스로 사용하여 200nm 두께의 실리콘 산화막을 형성한 경우(실험예 5)와 비교해서는, TFT의 전기적 특성이 향상되는 것을 알 수 있다.

[0065] 그리고 표 2는 실리콘 산화물로 보호층(450)을 형성하는 실리콘 소스가스의 종류에 따른 도 7의 하부 게이트형 TFT(400)의 NBTIS 테스트 및 PBTS 테스트 결과를 정리한 것이다. 표 2를 참조하면, 하부 게이트형 TFT(400)에서, 혼합 가스 기반의 실리콘 산화막 또는 이중막 구조의 실리콘 산화막의 보호층(450)을 포함하는 박막 트랜지스터는, 모노실란 기반의 실리콘 산화막의 보호층(450)을 포함하는 박막 트랜지스터보다 PBTS 신뢰성이 향상될 뿐만 아니라 디실란 기반의 실리콘 산화막의 보호층(450)을 포함하는 박막 트랜지스터보다 상당히 향상된 NBTIS 신뢰성을 보인다는 것을 알 수 있다.

표 2

보호층의 구조	두께비 (실험예4:실험예6)	NBTIS (V)	PBTS (V)
실험예 4		-1.25	2.83
실험예 5		-2.56	2.42
실험예 6		-1.39	2.63
실험예 4+6	1:3	-1.35	2.64
	1:1	-1.34	2.69
	3:1	-1.37	2.65

[0066]

[0067]

전술한 바와 같이, 이상의 설명은 실시예에 불과할 뿐이며 이에 의하여 한정되는 것으로 해석되어서는 안된다. 본 발명의 기술 사상은 후술하는 특허청구범위에 기재된 발명에 의해서만 특정되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다. 따라서 전술한 실시예가 다양한 형태로 변형되어 구현될 수 있다는 것은 통상의 기술자에게 자명하다.

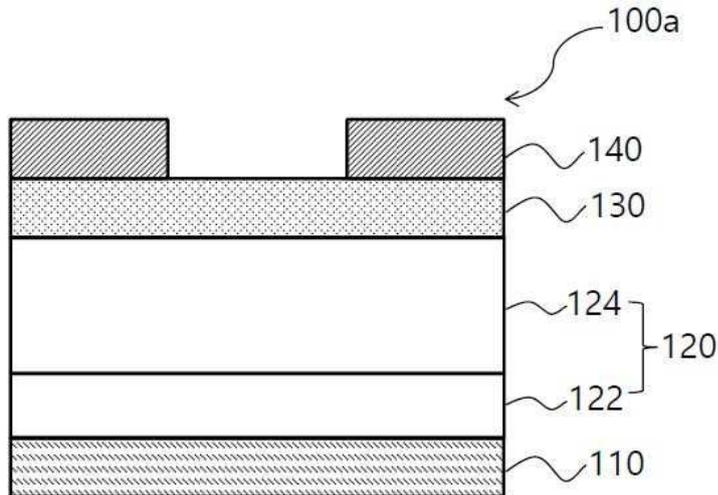
**부호의 설명**

[0068]

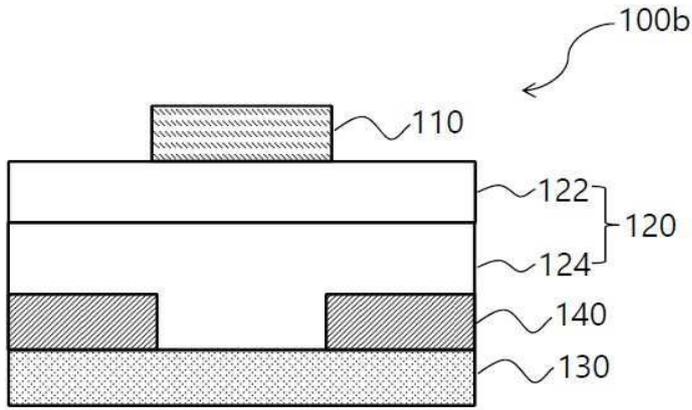
- 100a : 박막 트랜지스터
- 110 : 게이트 전극
- 120 : 게이트 절연막
- 130 : 활성층
- 140 : 소스/드레인 전극

**도면**

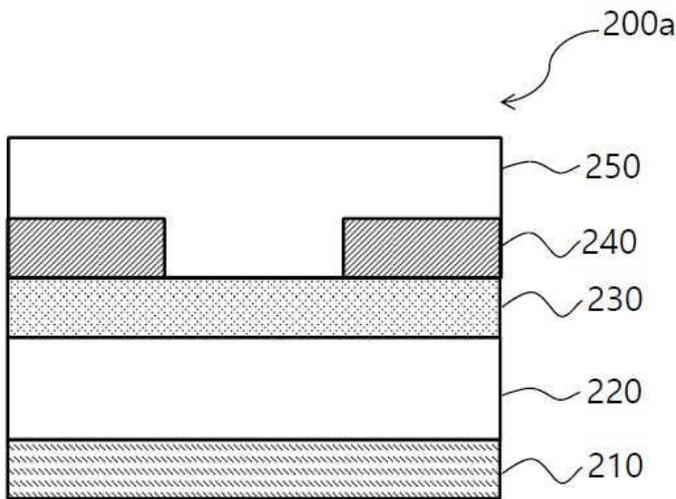
**도면1a**



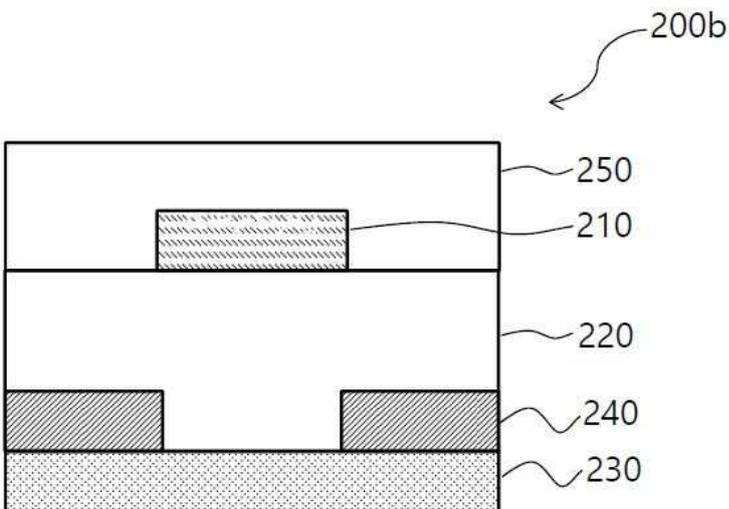
도면1b



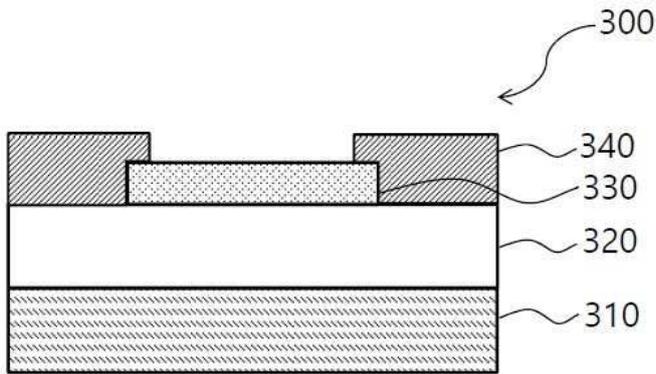
도면2a



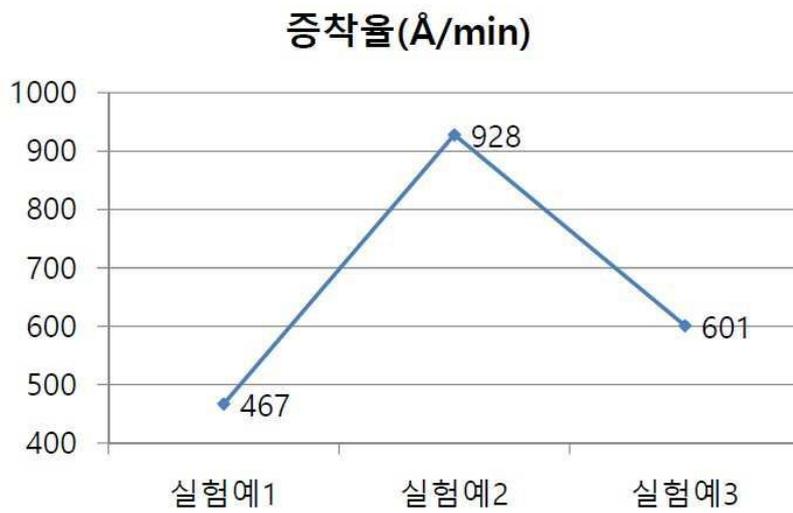
도면2b



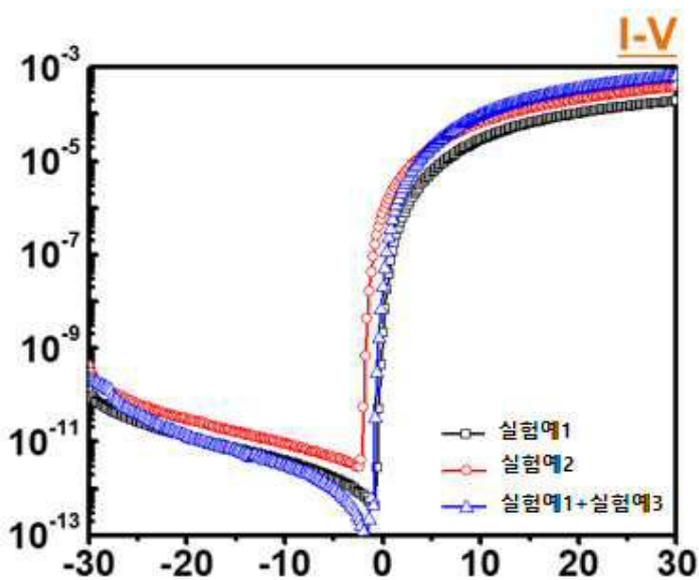
도면3



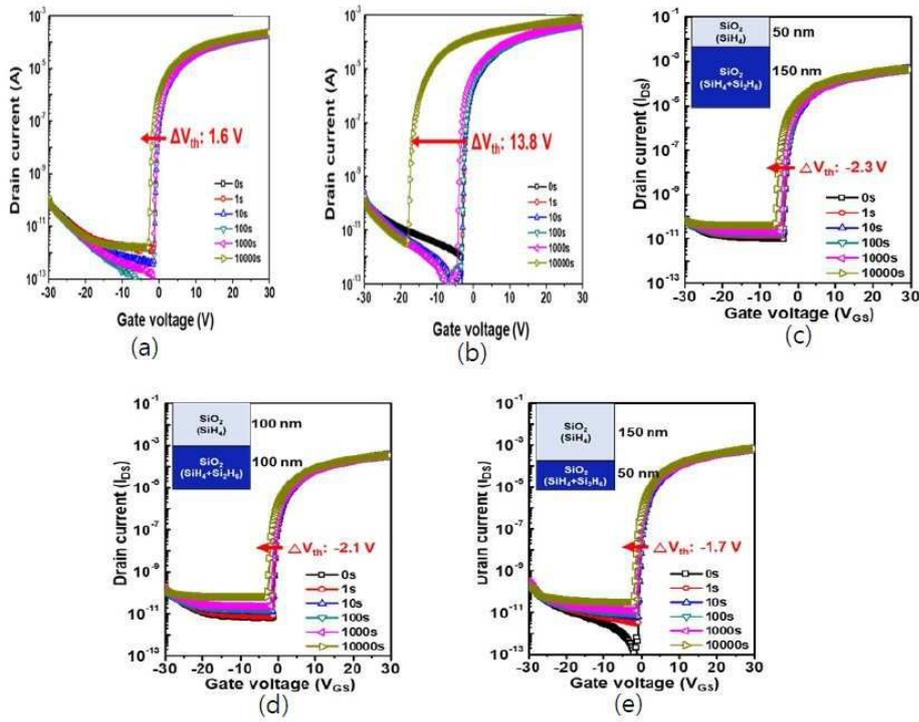
도면4a



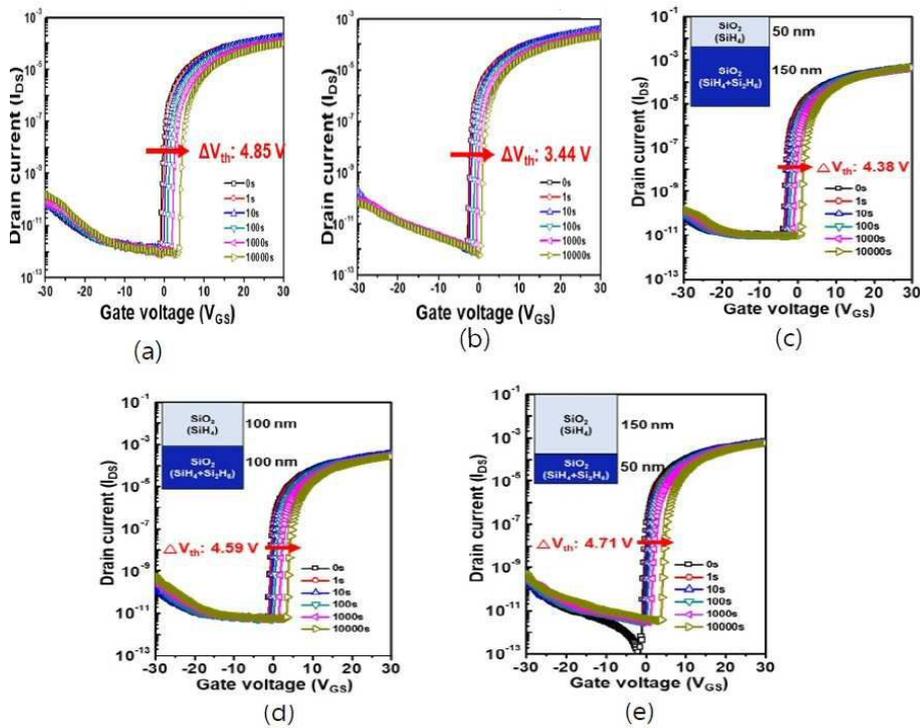
도면4b



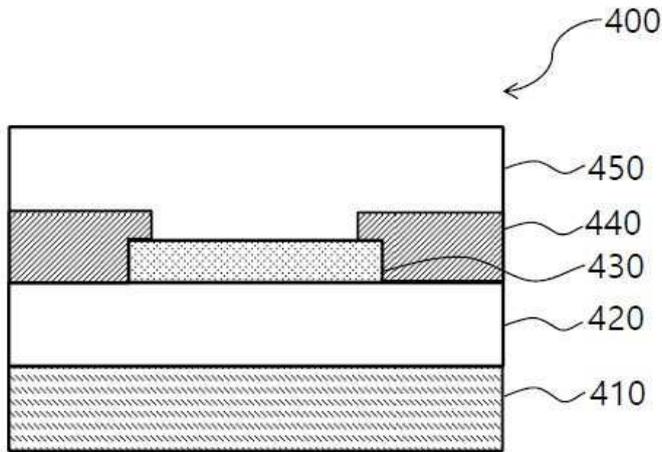
도면5



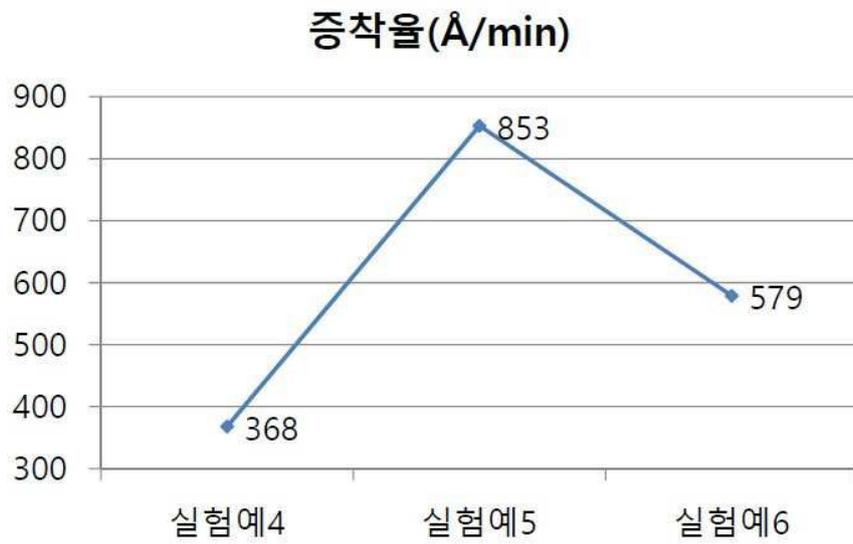
도면6



도면7



도면8a



도면8b

