



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0157724
(43) 공개일자 2022년11월29일

(51) 국제특허분류(Int. Cl.)
H03M 1/56 (2006.01) H03M 1/00 (2006.01)
H03M 1/38 (2006.01)
(52) CPC특허분류
H03M 1/56 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2021-0065629
(22) 출원일자 2021년05월21일
심사청구일자 2021년05월21일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
채영철
서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 727호
박철언
서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 727호
(74) 대리인
권성현, 유광철, 백두진, 강일신, 김정연

전체 청구항 수 : 총 10 항

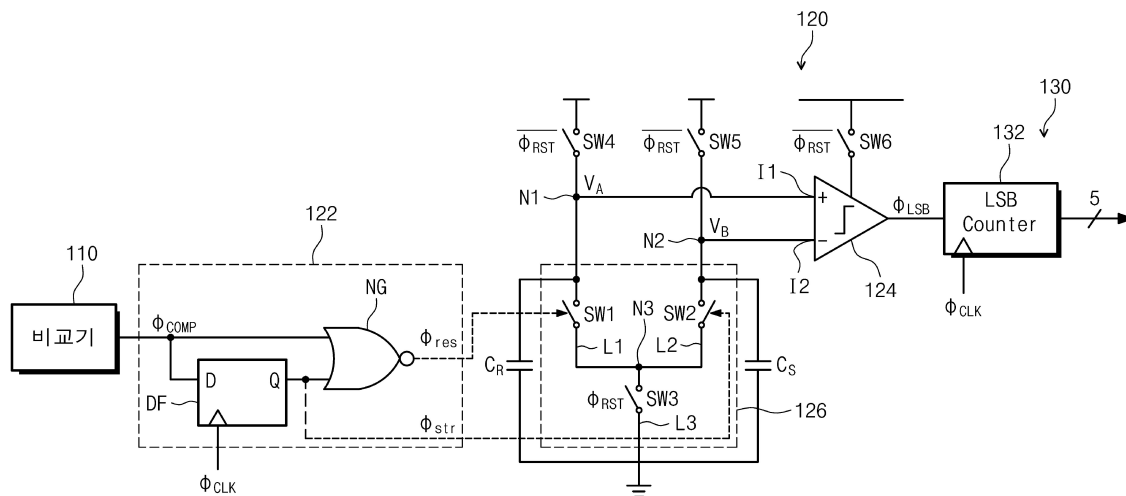
(54) 발명의 명칭 시간 증폭기, 이를 포함하는 아날로그-디지털 변환기 및 이미지 센서

(57) 요약

커패시터의 자연 방전을 이용하여 전력 소모를 최소화하고, 준안정(metastability)에 의한 문제가 없고, 공정에 따른 시간 이득 변화를 최소화할 수 있으며, 높은 입력 범위를 확보할 수 있는 시간 증폭기, 이를 포함하는 아날로그-디지털 변환기 및 이미지 센서가 개시된다. 본 발명의 실시예에 따른 시간 증폭기는 입력 신호의 에지와 설

(뒷면에 계속)

대표도



정된 클록 신호의 에지 간의 시간간여 차이를 증폭하여 출력하는 시간 증폭기에 있어서, 제1 입력단과 인가되는 제1 전압과 제2 입력단에 인가되는 제2 전압을 비교하여 상기 시간간여 차이를 증폭하기 위한 출력 클록을 출력하는 비교 회로; 상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터; 상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및 상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클록 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함한다. 상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성된다.

(52) CPC특허분류

H03M 1/38 (2013.01)

명세서

청구범위

청구항 1

아날로그 입력신호와 설정된 기준 신호를 비교하여 비교 신호를 생성하는 비교기;

상기 비교 신호의 에지와 설정된 클록 신호의 에지 간의 시간잔여 차이를 증폭하기 위한 출력 클록을 생성하는 시간 증폭기; 및

상기 출력 클록을 계수하여 디지털 신호로 출력하는 카운터를 포함하되,

상기 시간 증폭기는:

제1 입력단에 입력되는 제1 전압과 제2 입력단에 입력되는 제2 전압을 비교하여 상기 시간잔여 차이를 증폭하기 위한 출력 클록을 출력하는 비교 회로;

상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터;

상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및

상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클록 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함하고,

상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성되는 아날로그-디지털 변환기.

청구항 2

제1항에 있어서,

상기 스위칭부는 상기 시동 커패시터의 방전 경로와 상기 리셋 커패시터의 방전 경로를 공유하도록 구성되는 아날로그-디지털 변환기.

청구항 3

제1항에 있어서,

상기 스위칭부는:

상기 제1 입력단과 연결되는 제1 노드와, 접지 사이에 연결되는 제1 라인;

상기 제2 입력단과 연결되는 제2 노드와, 접지 사이에 연결되는 제2 라인;

상기 제1 라인 및 상기 제2 라인과 제3 노드에서 연결되고, 상기 제3 노드와 접지 사이에 연결되는 제3 라인;

상기 제1 라인에 설치되고, 상기 리셋 신호에 의해 개폐 제어되는 제1 스위치;

상기 제2 라인에 설치되고, 상기 시동 신호에 의해 개폐 제어되는 제2 스위치; 및

상기 제3 라인에 설치되고, 동작 신호에 의해 개폐 제어되는 제3 스위치;를 포함하는 아날로그-디지털 변환기.

청구항 4

제3항에 있어서,

상기 리셋 커패시터는 제4 스위치를 통해 전원을 공급받아 충전되고,

상기 시동 커패시터는 제5 스위치를 통해 전원을 공급받아 충전되고,

상기 제4 스위치 및 상기 제5 스위치는 상기 동작 신호의 반전 신호인 반전 동작 신호에 의해 개폐 제어되는 아날로그-디지털 변환기.

청구항 5

입사광을 감지하여 아날로그 입력 신호를 발생하는 다수의 픽셀을 포함하는 픽셀 어레이; 및

상기 픽셀 어레이의 각 픽셀과 연결되어 상기 아날로그 입력 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기;를 포함하고,

상기 아날로그-디지털 변환기는:

아날로그 입력 신호와 설정된 기준 신호를 비교하여 비교 신호를 생성하는 비교기;

상기 비교 신호의 에지와 설정된 클럭 신호의 에지 간의 시간잔여 차이를 증폭하기 위한 출력 클럭을 생성하는 시간 증폭기; 및

상기 출력 클럭을 계수하여 디지털 신호로 출력하는 카운터를 포함하되,

상기 시간 증폭기는:

제1 입력단에 입력되는 제1 전압과 제2 입력단에 입력되는 제2 전압을 비교하여 상기 시간잔여 차이를 증폭하기 위한 출력 클럭을 출력하는 비교 회로;

상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터;

상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및

상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클럭 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함하고,

상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성되는 이미지 센서.

청구항 6

제5항에 있어서,

상기 스위칭부는:

상기 제1 입력단과 연결되는 제1 노드와, 접지 사이에 연결되는 제1 라인;

상기 제2 입력단과 연결되는 제2 노드와, 접지 사이에 연결되는 제2 라인;

상기 제1 라인 및 상기 제2 라인과 제3 노드에서 연결되고, 상기 제3 노드와 접지 사이에 연결되는 제3 라인;

상기 제1 라인에 설치되고, 상기 리셋 신호에 의해 개폐 제어되는 제1 스위치;

상기 제2 라인에 설치되고, 상기 시동 신호에 의해 개폐 제어되는 제2 스위치; 및

상기 제3 라인에 설치되고, 동작 신호에 의해 개폐 제어되는 제3 스위치;를 포함하고,

상기 스위칭부는 상기 제3 라인을 통해 상기 시동 커패시터의 방전 경로와 상기 리셋 커패시터의 방전 경로를 공유하도록 구성되는 이미지 센서.

청구항 7

제6항에 있어서,

상기 리셋 커패시터는 제4 스위치를 통해 전원을 공급받아 충전되고,

상기 시동 커패시터는 제5 스위치를 통해 전원을 공급받아 충전되고,

상기 제4 스위치 및 상기 제5 스위치는 상기 동작 신호의 반전 신호인 반전 동작 신호에 의해 개폐 제어되는 이미지 센서.

청구항 8

입력 신호의 에지와 설정된 클록 신호의 에지 간의 시간잔여 차이를 증폭하여 출력하는 시간 증폭기에 있어서,
제1 입력단과 인가되는 제1 전압과 제2 입력단에 인가되는 제2 전압을 비교하여 상기 시간잔여 차이를 증폭하기 위한 출력 클록을 출력하는 비교 회로;

상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터;

상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및

상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클록 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함하고,

상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성되는 시간 증폭기.

청구항 9

제8항에 있어서,

상기 스위칭부는:

상기 제1 입력단과 연결되는 제1 노드와, 접지 사이에 연결되는 제1 라인;

상기 제2 입력단과 연결되는 제2 노드와, 접지 사이에 연결되는 제2 라인;

상기 제1 라인 및 상기 제2 라인과 제3 노드에서 연결되고, 상기 제3 노드와 접지 사이에 연결되는 제3 라인;

상기 제1 라인에 설치되고, 상기 리셋 신호에 의해 개폐 제어되는 제1 스위치;

상기 제2 라인에 설치되고, 상기 시동 신호에 의해 개폐 제어되는 제2 스위치; 및

상기 제3 라인에 설치되고, 동작 신호에 의해 개폐 제어되는 제3 스위치;를 포함하고,

상기 스위칭부는 상기 제3 라인을 통해 상기 시동 커패시터의 방전 경로와 상기 리셋 커패시터의 방전 경로를 공유하도록 구성되는 시간 증폭기.

청구항 10

제9항에 있어서,

상기 리셋 커패시터는 제4 스위치를 통해 전원을 공급받아 충전되고,

상기 시동 커패시터는 제5 스위치를 통해 전원을 공급받아 충전되고,

상기 제4 스위치 및 상기 제5 스위치는 상기 동작 신호의 반전 신호인 반전 동작 신호에 의해 개폐 제어되는 시간 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 시간 증폭기에 관한 것으로, 보다 상세하게는 커패시터의 자연 방전을 이용하는 시간 증폭기, 이를 포함하는 아날로그-디지털 변환기 및 이미지 센서에 관한 것이다.

배경 기술

[0002] 시간 증폭기(time amplifier)는 높은 해상도(resolution)를 얻기 위해, 기준 신호와 입력 신호 간의 시간 차이를 증폭시키는 기능을 수행하는 회로 부품이다. 종래의 시간 증폭기는 전류원으로 축전지를 충/방전하여 축전기의 축전 비율에 따라 시간을 증폭하도록 설계되고 있다. 초기의 시간 증폭기는 SR 래치를 이용하여 입력 펄스의 엣지를 지연시켜 증폭시키는 방식이 사용되었다.

[0003] 종래의 시간 증폭기는 전류원을 사용하기 때문에, 낮은 동작 전원으로 구동할 경우, 전류원이 선형적으로 동작하기 위한 영역을 확보해야 하며, 이로 인해 두 입력 단자에 입력되는 전원을 구분하는 기능을 수행하는 비교기

의 설계에 큰 부담을 주게 된다. 또한, 전류원이 전압 동작 범위를 일부 가져가기 때문에, 시간 입력 범위를 늘리고자 할 경우에 용량이 큰 축전기를 사용해야 하므로 회로의 크기가 커지는 문제가 발생한다.

- [0004] 또한, 종래의 시간 증폭기는 입력이 작을 경우 준안정(metastability)으로 인한 비선형성이 발생하며, 허용 가능한 입력 범위가 100ps 미만으로 매우 좁아 시간-디지털 변환기로 사용하기에 어려움이 존재한다. 또한, 정적인 전류원을 동작시키기 위한 전력이 꾸준히 소모되며, 정적 전류원의 동작 영역에 의해 입력 범위가 제한되는 한계를 가진다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 대한민국 등록특허공보 10-2110482B1 (2020.05.13. 공고)

발명의 내용

해결하려는 과제

- [0006] 본 발명은 전류원 없이 커패시터의 자연 방전을 이용하여 전력 소모를 최소화하고, 준안정(metastability)에 의한 문제가 없고, 공정에 따른 시간 이득 변화를 최소화할 수 있으며, 높은 입력 범위를 확보할 수 있는 시간 증폭기, 이를 포함하는 아날로그-디지털 변환기 및 이미지 센서를 제공하기 위한 것이다.

과제의 해결 수단

- [0007] 본 발명의 실시예에 따른 아날로그-디지털 변환기는: 아날로그 입력신호와 설정된 기준 신호를 비교하여 비교 신호를 생성하는 비교기; 상기 비교 신호의 에지와 설정된 클럭 신호의 에지 간의 시간간여 차이를 증폭하기 위한 출력 클럭을 생성하는 시간 증폭기; 및 상기 출력 클럭을 계수하여 디지털 신호로 출력하는 카운터를 포함한다.

- [0008] 상기 시간 증폭기는: 제1 입력단에 입력되는 제1 전압과 제2 입력단에 입력되는 제2 전압을 비교하여 상기 시간간여 차이를 증폭하기 위한 출력 클럭을 출력하는 비교 회로; 상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터; 상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및 상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클럭 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함한다.

- [0009] 상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성된다.

- [0010] 상기 스위칭부는 상기 시동 커패시터의 방전 경로와 상기 리셋 커패시터의 방전 경로를 공유하도록 구성될 수 있다.

- [0011] 상기 스위칭부는: 상기 제1 입력단과 연결되는 제1 노드와, 접지 사이에 연결되는 제1 라인; 상기 제2 입력단과 연결되는 제2 노드와, 접지 사이에 연결되는 제2 라인; 상기 제1 라인 및 상기 제2 라인과 제3 노드에서 연결되고, 상기 제3 노드와 접지 사이에 연결되는 제3 라인; 상기 제1 라인에 설치되고, 상기 리셋 신호에 의해 개폐 제어되는 제1 스위치; 상기 제2 라인에 설치되고, 상기 시동 신호에 의해 개폐 제어되는 제2 스위치; 및 상기 제3 라인에 설치되고, 동작 신호에 의해 개폐 제어되는 제3 스위치;를 포함할 수 있다.

- [0012] 상기 리셋 커패시터는 제4 스위치를 통해 전원을 공급받아 충전되고, 상기 시동 커패시터는 제5 스위치를 통해 전원을 공급받아 충전되고, 상기 제4 스위치 및 상기 제5 스위치는 상기 동작 신호의 반전 신호인 반전 동작 신호에 의해 개폐 제어될 수 있다.

- [0013] 또한, 본 발명의 실시예에 따르면, 입사광을 감지하여 아날로그 입력 신호를 발생하는 다수의 픽셀을 포함하는 픽셀 어레이; 및 상기 픽셀 어레이의 각 픽셀과 연결되어 상기 아날로그 입력 신호를 디지털 신호로 변환하는 상기 아날로그-디지털 변환기;를 포함하는 이미지 센서가 제공된다.

- [0014] 또한, 본 발명의 실시예에 따른 시간 증폭기는: 입력 신호의 에지와 설정된 클럭 신호의 에지 간의 시간간여 차

이를 증폭하여 출력하는 시간 증폭기에 있어서, 제1 입력단과 인가되는 제1 전압과 제2 입력단에 인가되는 제2 전압을 비교하여 상기 시간간여 차이를 증폭하기 위한 출력 클록을 출력하는 비교 회로; 상기 제1 입력단과 접지 사이에 연결되는 시동 커패시터; 상기 제2 입력단과 접지 사이에 상기 시동 커패시터와 병렬로 연결되는 리셋 커패시터; 및 상기 시동 커패시터 및 상기 리셋 커패시터와 병렬로 연결되고, 상기 비교 신호의 에지와 상기 클록 신호의 에지에 의해 생성되는 리셋 신호와 상기 리셋 신호의 에지에 의해 생성되는 시동 신호에 따라 스위칭되는 스위칭부;를 포함한다. 상기 스위칭부는 상기 리셋 신호에 따라 상기 리셋 커패시터를 자연 방전시킨 후, 상기 시동 신호에 따라 상기 시동 커패시터를 자연 방전시키도록 구성된다.

발명의 효과

[0015] 본 발명의 실시예에 의하면, 전류원 없이 커패시터의 자연 방전을 이용하여 전력 소모를 최소화하고, 준안정(metastability)에 의한 문제가 없고, 공정에 따른 시간 이득 변화를 최소화할 수 있으며, 높은 입력 범위를 확보할 수 있는 시간 증폭기, 이를 포함하는 아날로그-디지털 변환기 및 이미지 센서가 제공된다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 변환기의 구성도이다.
 도 2는 본 발명의 실시예에 따른 아날로그-디지털 변환기를 구성하는 비교기의 구성도이다.
 도 3은 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 회로도이다.
 도 4는 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 신호 타이밍도이다.
 도 5는 도 4의 'A'부를 확대하여 나타낸 도면이다.
 도 6은 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 동작 타이밍도이다.
 도 7 내지 도 9는 본 발명의 실시예에 따른 아날로그-디지털 변환기의 동작을 설명하기 위한 도면이다.
 도 10은 본 발명의 실시예에 따른 이미지 센서의 구성도이다.
 도 11은 본 발명의 실시예에 따른 시간 증폭기의 절대 이득 오차(absolute gain error)를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0018] 도 1은 본 발명의 실시예에 따른 아날로그-디지털 변환기의 구성도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 아날로그-디지털 변환기(100)는 비교기(110), 시간 증폭기(120), 및 카운터(130)를 포함한다. 비교기(110)는 아날로그 입력신호(V_{SF})와 설정된 기준 신호(V_{RAMP})를 비교하여 비교 신호(ϕ_{COMP})를 생성하여 출력한다. 아날로그 입력신호(V_{SF})는 일 예로, 이미지 센서의 픽셀 어레이를 구성하는 각 픽셀에서 광을 감지하여 출력하는 신호일 수 있다. 기준 신호(V_{RAMP})는 시간에 따라 변화하는 파형의 램프 신호일 수 있다.

[0019] 도 2는 본 발명의 실시예에 따른 아날로그-디지털 변환기를 구성하는 비교기의 구성도이다. 도 1 및 도 2를 참조하면, 비교기(110)는 직렬 연결되는 제1 비교기(112)와, 제2 비교기(114)를 포함할 수 있다. 비교기(110)는 기준 신호(V_{RAMP})가 감소되기 시작하는 시점에서 상승 에지를 생성하고, 기준 신호(V_{RAMP})가 아날로그 입력신호(V_{SF})보다 작아지기 시작하는 시점에 하강 에지를 출력하여 비교 신호(ϕ_{COMP})를 생성할 수 있다. 비교기(110)에서 출력된 비교 신호(ϕ_{COMP})는 시간 증폭기(120)와, 카운터(130)로 입력된다.

[0020] 도 3은 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 회로도이다. 도 4는 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 신호 타이밍도이다. 도 5는 도 4의 'A'부를 확대하여 나타낸 도면이다. 도 6은 본 발명의 실시예에 따른 아날로그-디지털 컨버터를 구성하는 시간 증폭기의 동작 타이밍도이다. 도 1 내지 도 6을 참조하면, 시간 증폭기(120)는 비교 신호(ϕ_{COMP})의 에지와 클록

신호(ϕ_{CLK})의 에지 간의 시간잔여 차이(RT)를 증폭하기 위한 출력 클록을 생성한다. 시간 증폭기(120)는 신호 제어부(122), 비교 회로(124), 시동 커패시터(C_S), 리셋 커패시터(C_R), 및 스위칭부(126)를 포함한다.

[0021] 신호 제어부(122)는 비교기(110)에서 출력되는 비교 신호(ϕ_{COMP})를 입력받고, 비교 신호(ϕ_{COMP})의 하이 레벨 신호 구간에서 생성되는 클록 신호(ϕ_{CLK})에 의해 작동하는 DQ 플립플롭(DF)에 의해 비교 신호(ϕ_{COMP})의 하강 에지가 발생된 이후에 발생하는 클록 신호(ϕ_{CLK})의 첫번째 상승 에지에서 시동 신호(ϕ_{STR})의 상승 에지를 생성하여 시동 신호(ϕ_{STR})를 출력한다.

[0022] 신호 제어부(122)는 NOR 게이트(NG)에 의해 비교 신호(ϕ_{COMP})와, 시동 신호(ϕ_{STR})를 NOR 연산하여 리셋 신호(ϕ_{RES})를 생성하여 출력할 수 있다. 이에 따라 비교 신호(ϕ_{COMP})의 하강 에지가 발생하는 시점에 리셋 신호(ϕ_{RES})의 상승 에지가 생성되고, 시동 신호(ϕ_{STR})의 상승 에지가 발생하는 시점에 리셋 신호(ϕ_{RES})의 하강 에지가 생성된다. 신호 제어부(122)에서 출력되는 시동 신호(ϕ_{STR})와 리셋 신호(ϕ_{RES})는 후술되는 스위칭부(126)로 입력된다.

[0023] 비교 회로(124)는 제1 입력단(I1)에 입력되는 제1 전압(V_A)과 제2 입력단(I2)에 입력되는 제2 전압(V_B) 간의 전압차로부터 비교 신호(ϕ_{COMP})의 하강 에지와, 비교 신호(ϕ_{COMP})의 하강 에지 발생 이후의 첫번째 클록 신호(ϕ_{CLK})의 상승 에지 간의 시간잔여 차이(RT; Residue time)를 증폭하여 시간 증폭을 위한 출력 클록(ϕ_{LSB})을 출력한다. 비교 회로(124)에서 출력된 출력 클록(ϕ_{LSB})은 카운터(130)로 입력된다.

[0024] 리셋 커패시터(C_R)는 비교 회로(124)의 제1 입력단(I1)과 연결된 제1 노드(N1)와, 접지 사이에 연결된다. 시동 커패시터(C_S)는 비교 회로(124)의 제2 입력단(I2)과 연결된 제2 노드(N2)와, 접지 사이에 연결된다. 스위칭부(126)는 시동 커패시터(C_S) 및 리셋 커패시터(C_R)와 병렬로 연결된다. 스위칭부(126)는 비교기(110)에 의해 비교 신호(ϕ_{COMP})로부터 생성되어 출력되는 시동 신호(ϕ_{STR})와 리셋 신호(ϕ_{RES})에 따라 스위칭된다.

[0025] 스위칭부(126)는 제1 스위치(SW1), 제2 스위치(SW2), 및 제3 스위치(SW3)를 포함한다. 제1 스위치(SW1)는 제1 노드(N1)와 제3 노드(N3) 사이에 연결되는 제1 라인(L1)에 설치된다. 제2 스위치(SW2)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결되는 제2 라인(L2)에 설치된다. 제3 스위치(SW3)는 제3 노드(N3)와 접지 사이에 연결되는 제3 라인(L3)에 설치된다. 제3 라인(L3)은 시동 커패시터(C_S)의 방전 경로와 리셋 커패시터(C_R)의 방전 경로를 공유하도록 구성된다. 제3 스위치(SW3)는 제1 스위치(SW1)와 직렬로 연결된다. 또한, 제3 스위치(SW3)는 제2 스위치(SW2)와 직렬로 연결된다. 제1 스위치(SW1), 제2 스위치(SW2) 및 제3 스위치(SW3)는 온-오프 조절을 통해 저항이 조절되어 시간 증폭기의 시간 이득을 조절하는 저항 스위치의 기능을 한다. 제1 스위치(SW1), 제2 스위치(SW2) 및 제3 스위치(SW3)는 트랜지스터로 구현될 수 있다.

[0026] 제1 스위치(SW1)는 리셋 신호(ϕ_{RES})에 의해 개폐 제어된다. 제1 스위치(SW1)는 리셋 신호(ϕ_{RES})가 하이 레벨 신호일 때 닫히고, 리셋 신호(ϕ_{RES})가 로우 레벨 신호일 때 열린다. 제2 스위치(SW2)는 시동 신호(ϕ_{STR})에 의해 개폐 제어된다. 제2 스위치(SW2)는 시동 신호(ϕ_{STR})가 하이 레벨 신호일 때 닫히고, 시동 신호(ϕ_{STR})가 로우 레벨 신호일 때 열린다. 리셋 신호(ϕ_{RES})가 하이 레벨 신호일 때 시동 신호(ϕ_{STR})는 로우 레벨 신호에 해당한다. 따라서 리셋 신호(ϕ_{RES})에 의해 제1 스위치(SW1)가 닫힌 동안, 제2 스위치(SW2)는 개방된다. 이 상태에서 제1 스위치(SW1)와 제3 스위치(SW3)를 통해 리셋 커패시터(C_R)에 충전된 전하가 자연 방전된다.

[0027] 제3 스위치(SW3)는 동작 신호(ϕ_{RST})에 의해 개폐 제어된다. 동작 신호(ϕ_{RST})는 리셋 신호(ϕ_{RES}) 또는 시동 신호(ϕ_{STR})가 하이 레벨 신호일 때 하이 레벨 신호로 생성되어 제3 스위치(SW3)를 닫도록 설계된다. 리셋 커패시터(C_R)와 시동 커패시터(C_S)는 제4 스위치(SW4)와 제5 스위치(SW5)를 통해 공급 전원을 공급받아 충전될 수 있다. 동작 신호(ϕ_{RST})의 반전 신호인 반전 동작 신호($\overline{\phi_{RST}}$)가 하이 레벨 신호일 때 제4 스위치(SW4) 및 제5 스위치(SW5)가 닫히게 되어 리셋 커패시터(C_R)와 시동 커패시터(C_S)가 충전될 수 있다.

[0028] 시동 신호(ϕ_{STR})는 리셋 신호(ϕ_{RES})가 하강 에지일 때 로우 레벨 신호에서 하이 레벨 신호로 전환되므로, 리셋

신호(ϕ_{res})가 로우 레벨 신호로 전환되어 제1 스위치(SW1)가 개방되기 시작할 때, 시동 신호(ϕ_{str})가 하이 레벨 신호로 전환되어 제2 스위치(SW2)가 닫히게 된다. 이 상태에서는 제2 스위치(SW2)와 제3 스위치(SW3)를 통해 시동 커패시터(C_s)에 충전된 전하가 자연 방전된다.

[0029] 시간간여 차이의 시간 증폭을 위해, 시동 커패시터(C_s)는 리셋 커패시터(C_R)보다 큰 축전 용량을 가지도록 설계된다. 시동 커패시터(C_s)는 리셋 커패시터(C_R)의 증폭 배수에 해당하는 축전 용량을 가지도록 설계될 수 있다. 증폭 배수는 시간간여 차이의 증폭 해상도와 관련된 인자이다. 예를 들어, 시동 커패시터(C_s)의 축전 용량을 리셋 커패시터(C_R)의 축전 용량에 대해 32배로 설계하면, 5비트에 해당하는 시간 증폭 해상도를 얻을 수 있다.

[0030] 시동 커패시터(C_s)의 축전 용량이 리셋 커패시터(C_R)의 축전 용량 보다 훨씬 크기 때문에, 도 6에 도시된 바와 같이, 리셋 신호(ϕ_{res})가 하이 레벨 신호일 때 리셋 커패시터(C_R)에 충전되어 있던 전하에 의해 제1 노드(N1)에 형성된 제1 전압(V_A)의 방전 속도보다, 시동 신호(ϕ_{str})가 하이 레벨 신호일 때 시동 커패시터(C_s)에 충전되어 있던 전하에 의해 제2 노드(N2)에 형성된 제2 전압(V_B)의 방전 속도가 훨씬 느리다.

[0031] 리셋 신호(ϕ_{res})가 하이 레벨 신호로 지속되는 시간에 해당하는 만큼 리셋 커패시터(C_R)에 충전된 전하가 방전되어 제1 전압(V_A)이 감소하게 되며, 리셋 신호(ϕ_{res})가 하이 레벨에 해당하는 펄스가 길게 지속될수록, 리셋 커패시터(C_R)의 방전에 의한 제1 전압(V_A)의 감소량(V_0)이 커져서 제1 전압(V_A)이 작아지게 된다. 따라서, 시동 커패시터(C_s)의 방전에 의해 제2 전압(V_B)이 제1 전압(V_A)에 도달하는데 걸리는 시간은 리셋 신호(ϕ_{res})에 따라 증감된다. 이에 따라, 제2 전압(V_B)이 제1 전압(V_A)에 도달하는 시간 동안 비교 회로(124)로부터 출력 클록(ϕ_{LSB})이 반복되어 출력되므로, 리셋 신호(ϕ_{res})에 해당하는 시간간여 차이(RT)를 증폭하여 감지할 수 있게 된다.

[0032] 카운터(130)는 비교 회로(124)에서 출력되는 출력 클록(ϕ_{LSB})을 누적하여 디지털 신호로 변환하여 출력한다. 카운터(130)는 제1 카운터(132)와, 제2 카운터(134)를 포함한다. 제1 카운터(132)는 비교 회로(124)에서 출력되는 출력 클록(ϕ_{LSB})을 누적하여 시간간여 차이(RT)를 증폭하여 아날로그 입력 신호의 하위 비트 데이터(LSB)에 해당하는 하위 시간을 감지한다. 제2 카운터(134)는 비교 신호(ϕ_{comp})의 하강 에지가 발생될 때까지 클록 신호(ϕ_{clk})를 누적하여 아날로그 입력 신호의 상위 비트 데이터(MSB)에 해당하는 상위 시간을 감지한다. 입력 신호의 타이밍은 상위 비트 데이터(MSB)와 하위 비트 데이터(LSB)의 결합에 의해 정확하게 감지될 수 있다.

[0033] 도 7 내지 도 9는 본 발명의 실시예에 따른 아날로그-디지털 변환기의 동작을 설명하기 위한 도면이다. 도 7은 리셋 커패시터(C_R)와 시동 커패시터(C_s)가 충전되는 충전 상태를 나타낸 것이다. 이때 제1 스위치(SW1), 제2 스위치(SW2) 및 제3 스위치(SW3)는 각각 리셋 신호(ϕ_{res}), 시동 신호(ϕ_{str}) 및 동작 신호(ϕ_{rst})에 의해 모두 개방된 상태이며, 반전 동작 신호($\overline{\phi_{rst}}$)에 의해 제4 스위치(SW4)와 제5 스위치(SW5)가 닫혀 리셋 커패시터(C_R)와 시동 커패시터(C_s)가 전원 전압에 의해 충전된다.

[0034] 도 8은 리셋 커패시터(C_R)가 방전되는 제1 방전 상태를 나타낸 것이다. 이때 제4 스위치(SW4)와 제5 스위치(SW5)는 반전 동작 신호($\overline{\phi_{rst}}$)에 의해 개방되고, 제2 스위치(SW2)는 시동 신호(ϕ_{str})에 의해 개방되며, 제1 스위치(SW1)와 제3 스위치(SW3)는 각각 리셋 신호(ϕ_{res})와 동작 신호(ϕ_{rst})에 의해 닫히게 된다. 이에 따라 리셋 커패시터(C_R)는 리셋 신호(ϕ_{res})의 펄스 지속 시간 동안 방전되어 제1 전압(V_A)이 선형적으로 감소하게 된다. 이때, 시동 커패시터(C_s)는 방전되지 않으며, 제2 전압(V_B)은 일정하게 유지된다.

[0035] 도 9는 시동 커패시터(C_s)가 방전되는 제2 방전 상태를 나타낸 것이다. 도 9에 도시된 제2 방전 상태는 도 8에 도시된 제1 방전 상태에 후속하여 일어난다. 제2 방전 상태에서, 제4 스위치(SW4)와 제5 스위치(SW5)는 반전 동작 신호($\overline{\phi_{rst}}$)에 의해 개방되고, 제1 스위치(SW1)는 리셋 신호(ϕ_{res})에 의해 개방되며, 제2 스위치(SW2)와 제3 스위치(SW3)는 각각 시동 신호(ϕ_{str})와 동작 신호(ϕ_{rst})에 의해 닫히게 된다. 이에 따라 시동 커패시터(C_s)는 시동 신호(ϕ_{str})의 펄스 지속 시간 동안 방전되어 제2 전압(V_B)이 선형적으로 감소하게 된다. 이때, 리셋 커패시터

터(C_R)는 방전되지 않으며, 제1 전압(V_A)은 제1 방전 상태에서 감소된 상태로 일정하게 유지된다. 제1 전압(V_A)과 제2 전압(V_B)의 비교를 통해 제2 전압(V_B)이 제1 전압(V_A)에 도달하는 동안 비교 회로(124)의 출력을 카운트하여 입력 신호의 타이밍을 정밀하게 감지할 수 있다.

[0036] 상술한 바와 같은 본 발명의 실시예에 의하면, 별도의 전류원 없이 저항 스위치와 커패시터들로 시간 증폭기를 구성하여, 전류원이 아닌 저항 스위치를 통해 커패시터의 자연방전 원리를 이용하여 원하는 시간에만 커패시터를 방전시켜 시간 증폭을 수행할 수 있고, 적은 전력으로 높은 시간 이득을 얻을 수 있다. 또한, 본 발명의 실시예에 의하면, 전류원이 없으므로 동작 영역과 무관한 넓은 입력 범위를 가질 수 있으며, 저항 스위치를 공유하여 방전 경로를 하나로 통합함으로써 공정으로 인해 발생하는 변화에 영향을 받지 않고, 일정한 시간 증폭 특성을 유지할 수 있다.

[0037] 도 10은 본 발명의 실시예에 따른 이미지 센서의 구성도이다. 도 10을 참조하면, 본 발명의 실시예에 따른 이미지 센서(10)는 입사광을 감지하여 아날로그 신호를 발생하는 다수의 픽셀(210)을 포함하는 픽셀 어레이(200)와, 픽셀 어레이(200)의 각 픽셀(210)과 연결되어 아날로그 입력 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기(100)를 포함할 수 있다.

[0038] 다수개의 픽셀(210)은 컬럼 라인들에 각각 결합되어 픽셀 어레이(200)를 형성한다. 각 픽셀(210)은 광신호를 전기적 신호로 변환할 수 있다. 픽셀 어레이(200)는 행 디코더로부터 선택 신호, 리셋 신호 및 전송 신호와 같은 구동 신호들에 의해 구동될 수 있다. 또한, 구동 신호들에 응답하여 각 픽셀(210)에 의해 센싱된 전기적 신호인 픽셀 전압은 복수의 컬럼 라인을 통해 아날로그-디지털 변환기(100)에 전달될 수 있다. 아날로그-디지털 변환기(100)에 대하여는 도 1 내지 도 9를 참조하여 설명드린 바 있으므로, 중복되는 설명은 생략하기로 한다.

[0039] 본 발명의 실시예에 따른 시간 증폭기를 설계하여 시뮬레이션을 통해 성능을 검증하였다. 도 11은 본 발명의 실시예에 따른 시간 증폭기의 절대 이득 오차(absolute gain error)를 나타낸 그래프이다. 시간 이득 오차(time gain error)는 0.4 LSB 미만으로 측정되었다(1 LSB = 625 ps). 특히 본 발명의 실시예에 따른 시간 증폭기는 목표 입력 범위인 10ns 내에서 0.115 LSB의 선형성을 보이며, 공정변화에 따라 나타나는 결과값의 오차는 1.5% 미만으로 나타났다.

표 1

	시간 증폭기	비교 회로	래치	카운터	종합
single conv.	1.58 uW	1.091 uW	379 nW	2.955 uW	5.99 uW
1-H time	2 mW	1.4 mW	485 uW	3.78 mW	7.66 mW

[0041] 본 발명의 실시예에 따른 시간 증폭기의 전력 소비량은 2 mW(1-H time)였으며, 대한민국 등록특허공보 10-2110482에 개시된 선행기술에 따른 시간 증폭기의 전력 소비량(16.4 mW)과 비교하여 약 1/8 수준으로 월등히 낮은 전력 소비량을 나타낸다. 본 발명의 실시예에 따른 시간 증폭기는 입력 범위가 10ns 이상으로 매우 크며, 입력 펄스가 스위치의 온-오프(on-off)에 사용되기 때문에 준안정(metastability)에 대한 문제가 없다. 또한 별도의 전류원 없이 단일 저항 패스로의 방전이 이루어지기 때문에 커패시터에 저장되는 전하량만큼만 전력 소모를 필요로 하므로 저전력 시간-디지털 변환기에 사용되기에 적합하다.

[0042] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.

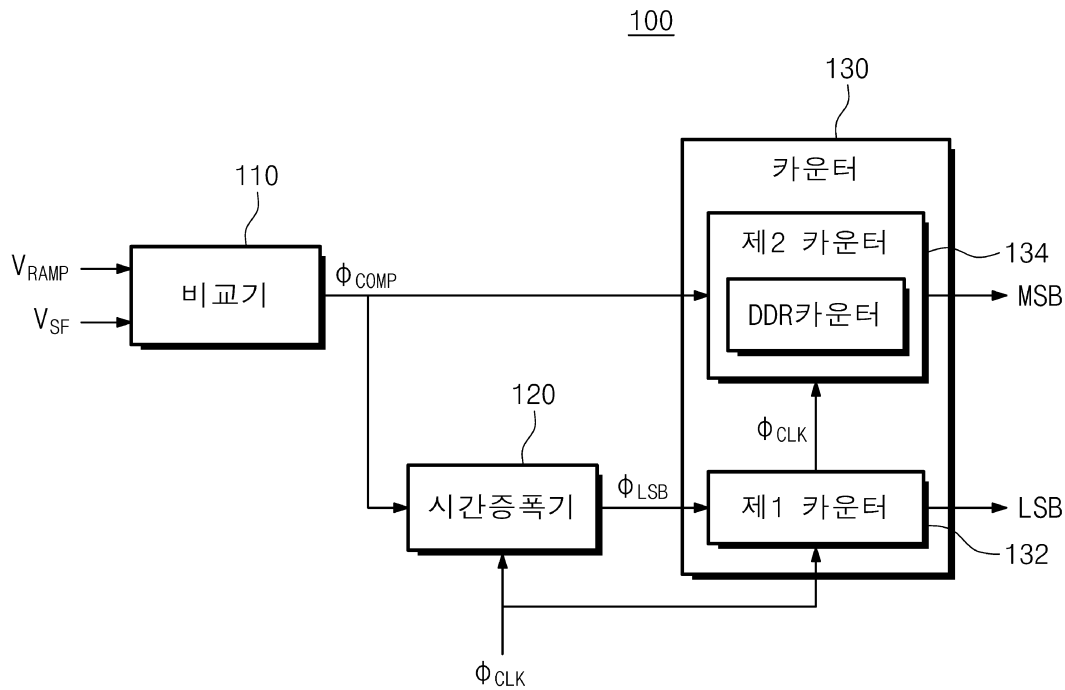
부호의 설명

[0043] 10: 이미지 센서 100: 아날로그-디지털 변환기
110: 비교기 120: 시간 증폭기
122: 신호 제어부 124: 비교 회로

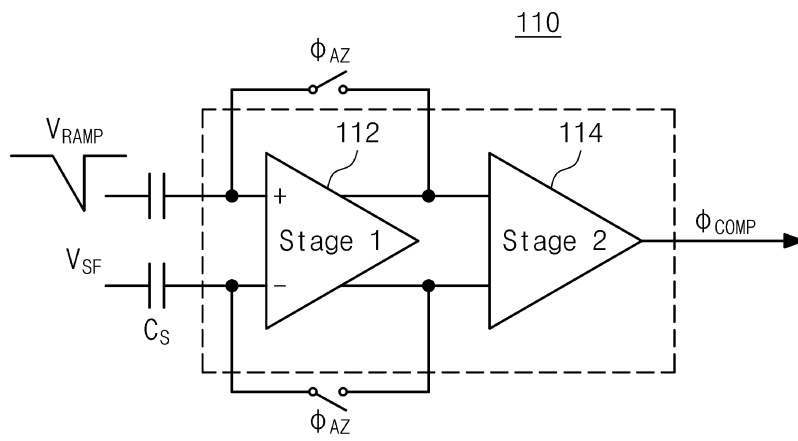
126: 스위칭부 130: 카운터
 200: 픽셀 어레이 210: 픽셀
 C_S : 시동 커패시터 C_R : 리셋 커패시터
 SW1: 제1 스위치 SW2: 제2 스위치
 SW3: 제3 스위치 SW4: 제4 스위치
 SW5: 제5 스위치 SW6: 제6 스위치
 L1: 제1 라인 L2: 제2 라인
 L3: 제3 라인 N1: 제1 노드
 N2: 제2 노드 N3: 제3 노드
 Φ_{COMP} : 비교 신호 Φ_{CLK} : 클록 신호
 Φ_{str} : 시동 신호 Φ_{res} : 리셋 신호
 Φ_{RST} : 동작 신호 $\overline{\Phi_{RST}}$: 반전 동작 신호
 V_A : 제1 전압 V_B : 제2 전압
 RT: 시간잔여 차이 Φ_{LSB} : 출력 클록

도면

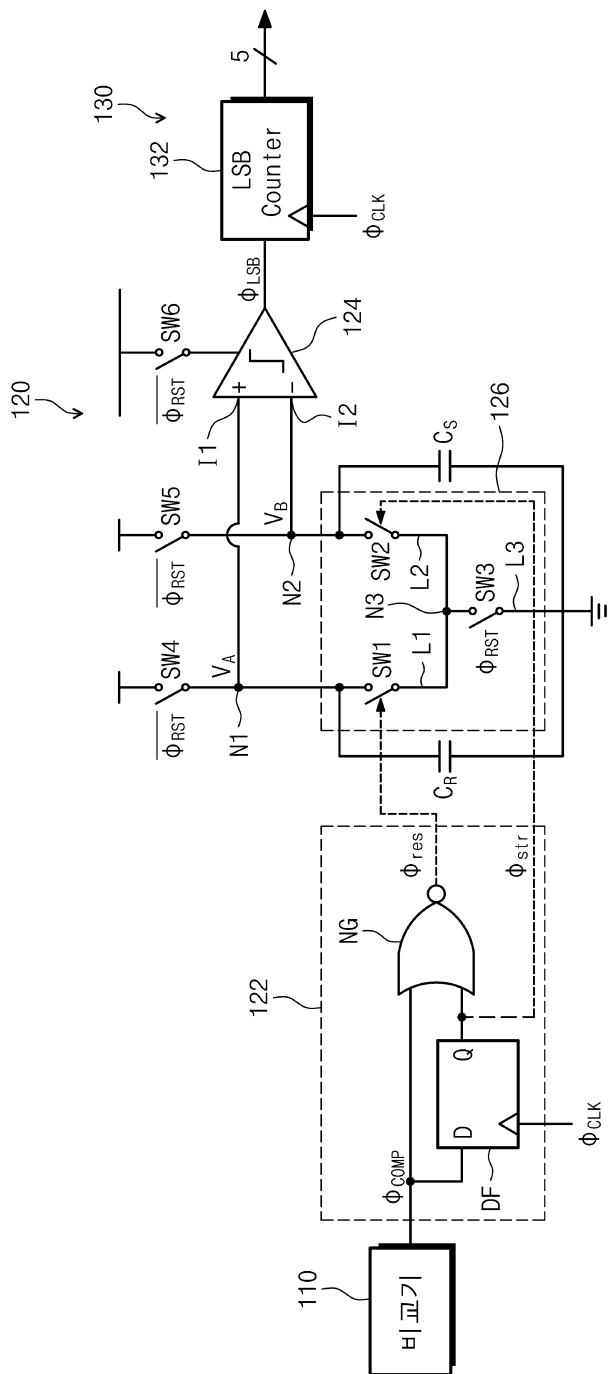
도면1



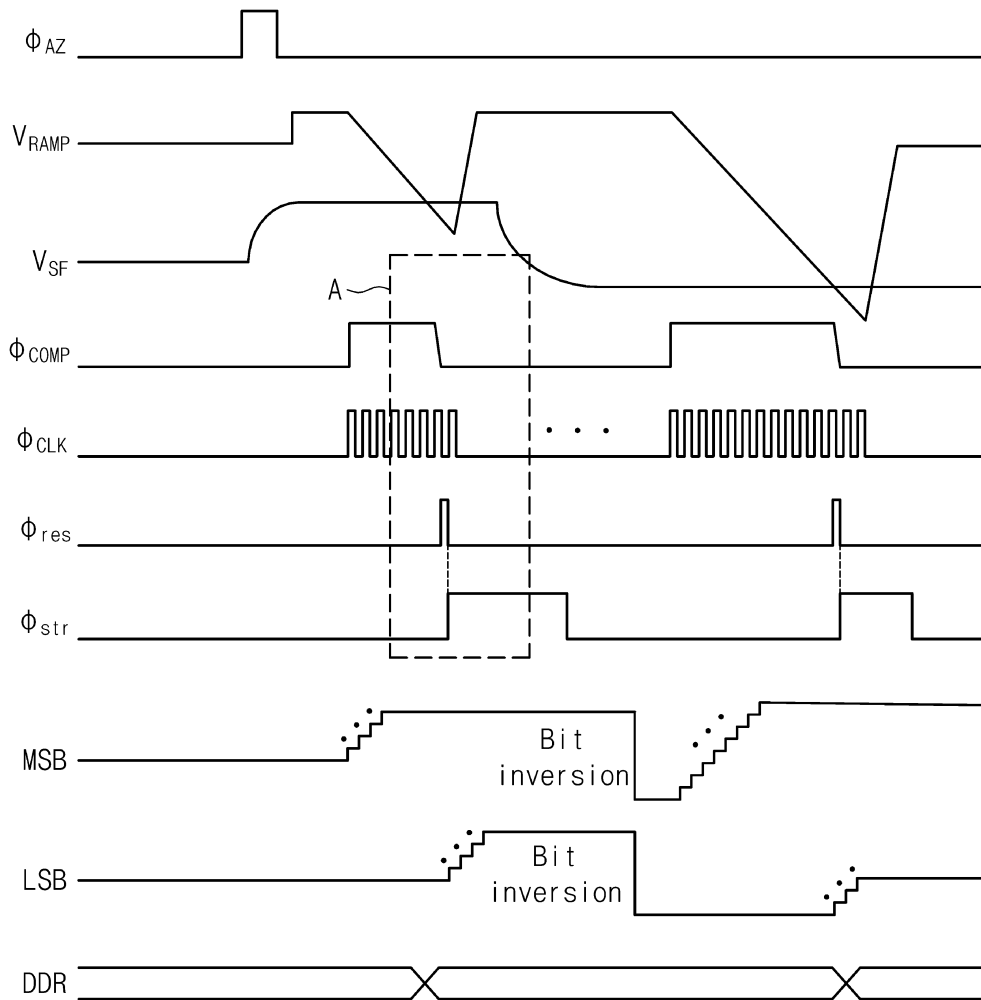
도면2



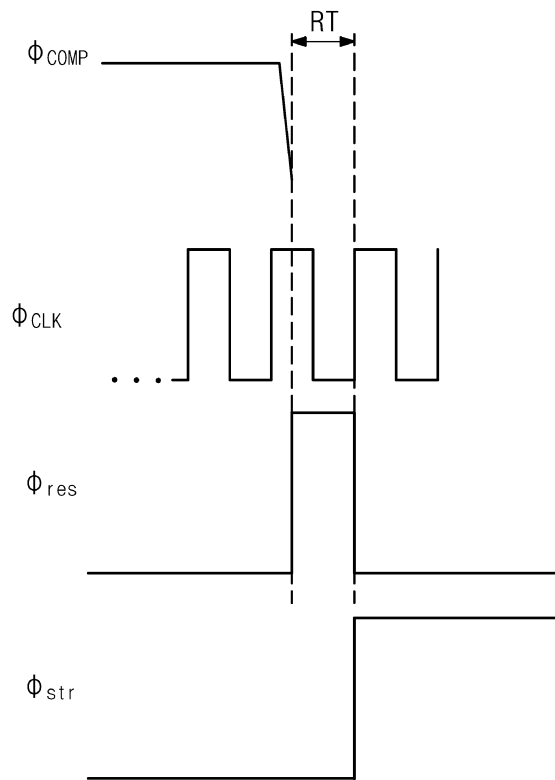
도면3



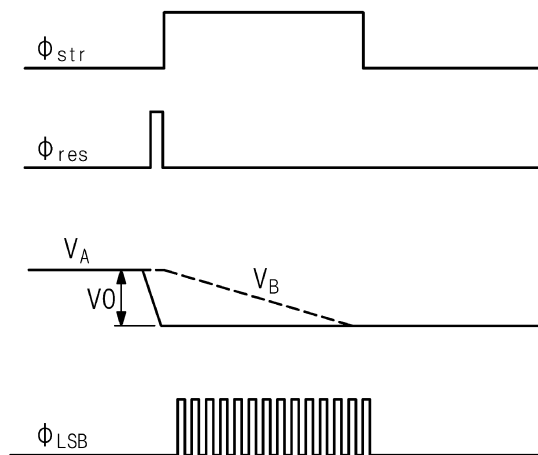
도면4



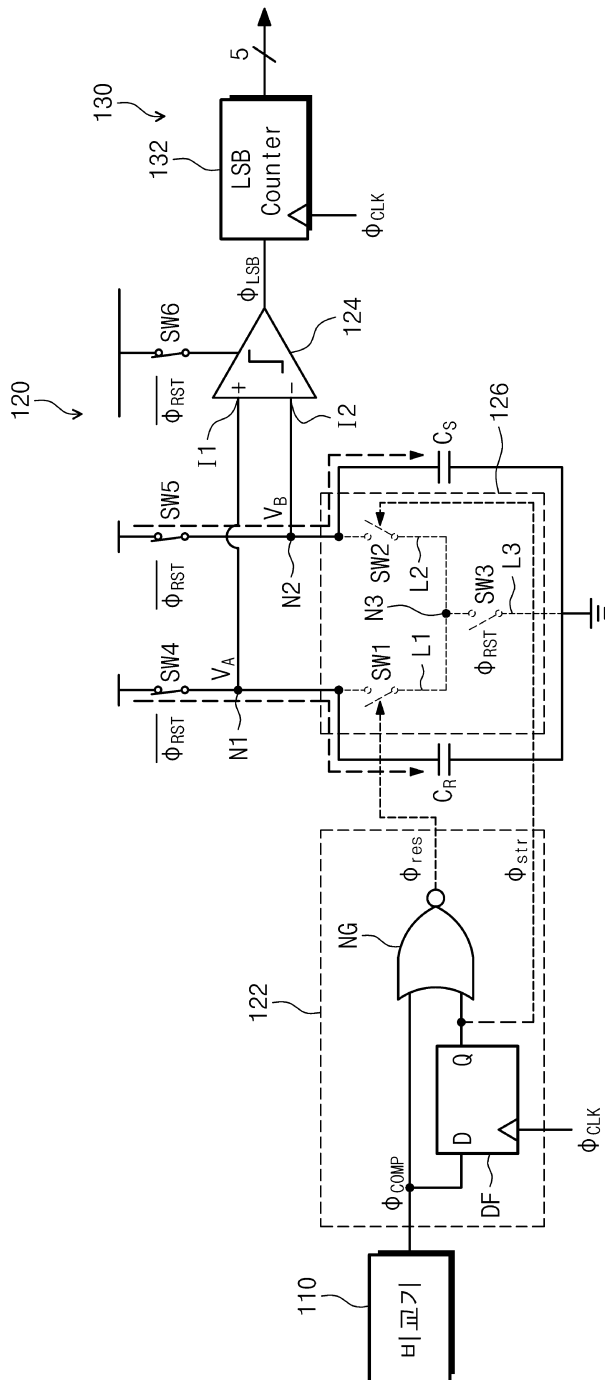
도면5



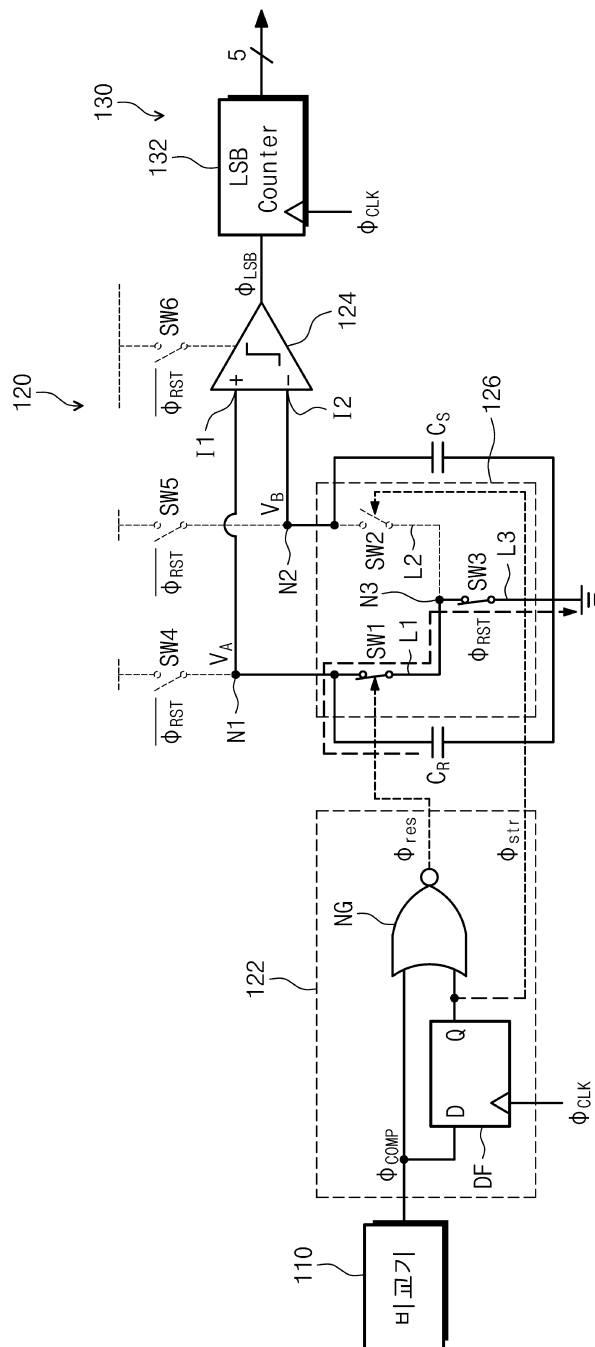
도면6



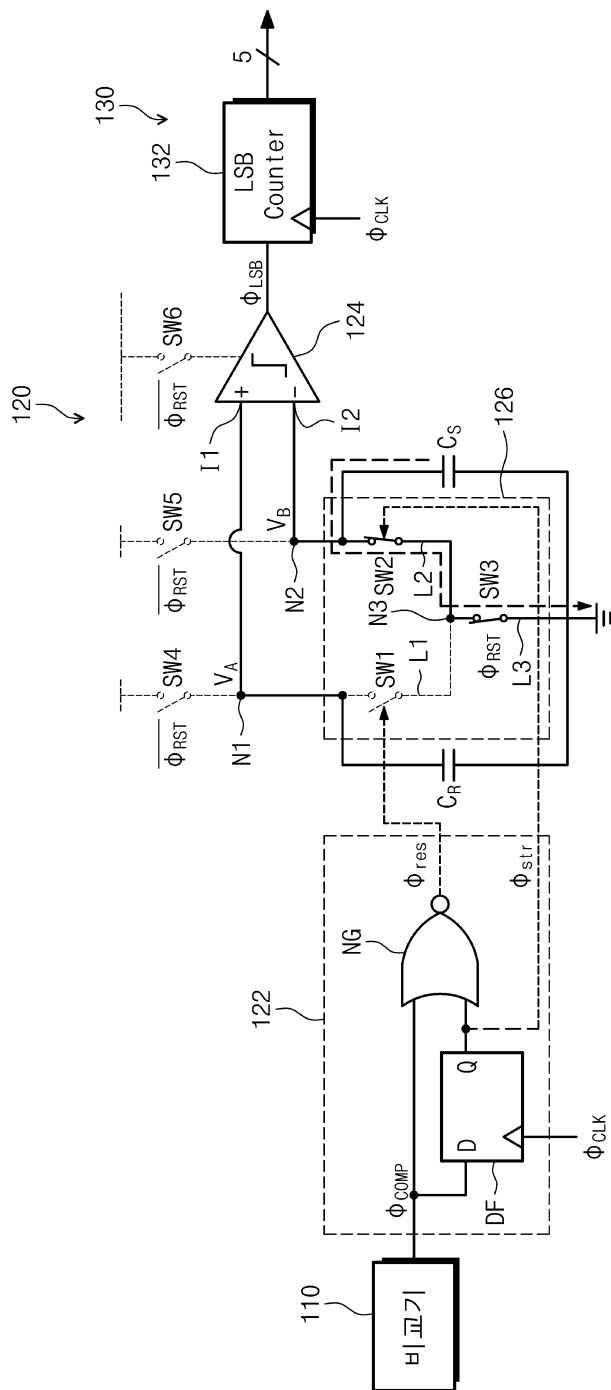
도면7



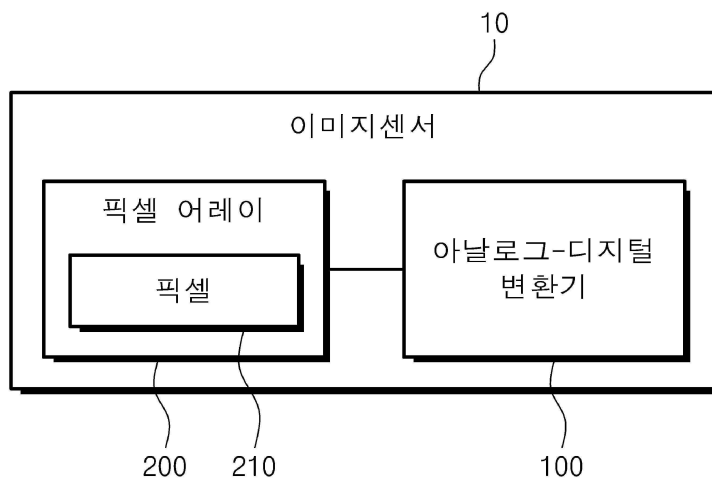
도면8



도면9



도면10



도면11

