

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0087718
(43) 공개일자 2022년06월27일

(51) 국제특허분류(Int. Cl.)
G01R 31/3183 (2006.01) G01R 31/3185
(2006.01)
G01R 31/3187 (2006.01)
(52) CPC특허분류
G01R 31/318307 (2013.01)
G01R 31/318533 (2013.01)
(21) 출원번호 10-2020-0178042
(22) 출원일자 2020년12월18일
심사청구일자 2020년12월18일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대
학교)
(72) 발명자
강성호
서울특별시 마포구 양화로 45, 101동 2102호 (서
교동, 메세나폴리스)
박종호
서울특별시 관악구 보라매로 62, 102동 404호 (봉
천동, 보라매삼성아파트)
(74) 대리인
특허법인(유한)아이시스

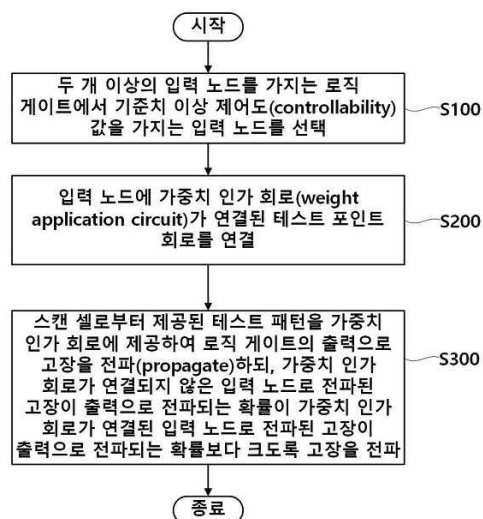
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 테스트 포인트 삽입을 통하여 향상된 검출율을 가지는 고장 검출 방법, 고장 검출 장치 및 가
중치 인가 회로

(57) 요약

본 실시예에 의한 고장 검출 방법에 의하면, 두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 입력 노드를 선택하는 단계와, 노드에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계와, 스캔 셀로부터 제공된 테스트 패턴을 가중치 인가 회로에 제공하여 로직 게이트의 출력으로 고장을 전파(propagate)하되, 가중치 인가 회로가 연결되지 않은 입력 노드로 전파된 고장이 출력으로 전파되는 확률이 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계를 포함한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/3187 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415169141
과제번호	20012010
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	지능형 반도체를 위한 테스트 회로 설계 기술
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.05.01 ~ 2020.12.31

명세서

청구범위

청구항 1

두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 상기 입력 노드를 선택하는 단계와,

상기 노드에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계와 스캔 셀로부터 제공된 테스트 패턴을 상기 가중치 인가 회로에 제공하여 상기 로직 게이트의 출력으로 고장을 전파(propagate)하되, 상기 가중치 인가 회로가 연결되지 않은 상기 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률이 상기 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계를 포함하는 고장 검출 방법.

청구항 2

제1항에 있어서,

상기 노드를 선택하는 단계는,

0 제어도(controllability 0) 및 1 제어도(controllability 1) 중 어느 하나의 값이 상기 기준치 이상의 값인 상기 입력 노드를 선택하여 수행하는 고장 검출 방법.

청구항 3

제2항에 있어서,

상기 로직 게이트는 AND 게이트, NAND 게이트 중 어느 하나이고,

상기 노드를 선택하는 단계는, 상기 로직 게이트의 1 제어도가 상기 기준치 이상의 값인 노드를 선정하여 수행하는 고장 검출 방법.

청구항 4

제2항에 있어서,

상기 로직 게이트는 OR 게이트, NOR 게이트 중 어느 하나이고,

상기 노드를 선택하는 단계는, 상기 로직 게이트의 0 제어도가 상기 기준치 이상의 값인 노드를 선정하여 수행하는 고장 검출 방법.

청구항 5

제1항에 있어서,

상기 가중치 인가 회로는,

제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와,

상기 제1 스캔 셀과 상기 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함하는 고장 검출 방법.

청구항 6

제5항에 있어서,

상기 테스트 포인트 회로는,

상기 XOR 게이트의 출력과 상기 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와,

상기 AND 게이트의 출력과 상기 기준치 이상 제어도 값을 가지는 상기 입력 노드에 제공되는 신호가 제공되는

OR 게이트를 포함하는 고장 검출 방법.

청구항 7

제1항에 있어서,

상기 테스트 포인트 회로는,

상기 XOR 게이트의 출력과 상기 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와,

상기 AND 게이트의 출력과 상기 기준치 이상 제어도 값을 가지는 상기 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함하는 고장 검출 방법.

청구항 8

제1항에 있어서,

상기 입력 노드를 선택하는 단계는,

상기 두 개 이상의 입력 노드들을 통하여 전파되는 고장의 개수가 임계치 이상인 경우에 상기 입력 노드를 선택하여 상기 고장 검출 방법을 수행하는 고장 검출 방법.

청구항 9

칩과 연결되어 상기 칩의 고장을 검출하는 장치로, 상기 장치는:

적어도 하나 이상의 프로세서; 및

상기 프로세서에 의해 실행되는 하나 이상의 프로그램을 저장하는 메모리를 포함하며, 상기 프로그램들은 하나 이상의 프로세서에 의해 실행될 때, 상기 하나 이상의 프로세서들에서,

두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 상기 입력 노드를 선택하는 단계와,

상기 노드에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계와

스캔 셀로부터 제공된 테스트 패턴을 상기 가중치 인가 회로에 제공하여 상기 로직 게이트의 출력으로 고장을 전파(propagate)하되, 상기 가중치 인가 회로가 연결되지 않은 상기 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률이 상기 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계를 포함하는 고장 검출 장치.

청구항 10

제9항에 있어서,

상기 노드를 선택하는 단계는,

0 제어도(controllability 0) 및 1 제어도(controllability 1) 중 어느 하나의 값이 상기 기준치 이상의 값인 상기 입력 노드를 선택하여 수행하는 고장 검출 장치.

청구항 11

제10항에 있어서,

상기 로직 게이트는 AND 게이트, NAND 게이트 중 어느 하나이고,

상기 노드를 선택하는 단계는, 상기 로직 게이트의 1 제어도가 상기 기준치 이상의 값인 노드를 선정하여 수행하는 고장 검출 장치.

청구항 12

제10항에 있어서,

상기 로직 게이트는 OR 게이트, NOR 게이트 중 어느 하나이고,

상기 노드를 선택하는 단계는, 상기 로직 게이트의 0 제어도가 상기 기준치 이상의 값인 노드를 선정하여 수행하는 고장 검출 장치.

청구항 13

제9항에 있어서,

상기 가중치 인가 회로는,

제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와,

상기 제1 스캔 셀과 상기 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함하는 고장 검출 장치.

청구항 14

제13항에 있어서,

상기 테스트 포인트 회로는,

상기 XOR 게이트의 출력과 상기 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와,

상기 AND 게이트의 출력과 상기 기준치 이상 제어도 값을 가지는 상기 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함하는 고장 검출 장치.

청구항 15

제9항에 있어서,

상기 테스트 포인트 회로는,

상기 XOR 게이트의 출력과 상기 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와,

상기 AND 게이트의 출력과 상기 기준치 이상 제어도 값을 가지는 상기 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함하는 고장 검출 장치.

청구항 16

제9항에 있어서,

상기 입력 노드를 선택하는 단계는,

상기 두 개 이상의 입력 노드들을 통하여 전파되는 고장의 개수가 임계치 이상인 경우에 상기 입력 노드를 선택하여 상기 고장 검출 방법을 수행하는 고장 검출 장치.

청구항 17

두 개 이상의 입력을 가지는 로직 게이트에서 어느 하나의 입력과 논리적으로 연결된 가중치 인가회로로,

상기 가중치 인가 회로는,

제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와,

상기 제1 스캔 셀과 상기 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함하며,

상기 제1 스캔 셀 및 제2 스캔 셀로부터 제공된 테스트 패턴이 제공되어 상기 로직 게이트의 출력으로 고장을 전파(propagate)하되, 상기 가중치 인가 회로가 연결되지 않은 상기 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률이 상기 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 상기 출력으로 전파되는 확률보다 큰 가중치 인가 회로.

발명의 설명

기술 분야

[0001] 본 기술은 향상된 검출율을 가지는 고장 검출 방법, 고장 검출 장치 및 가중치 인가 회로에 관한 것이다.

배경 기술

[0002] 반도체 제조 기술의 발전에 따라 반도체 칩의 집적도 및 복잡도가 증가하여 고장 가능성도 더욱 증대하고 있는 추세이며, 반도체 장치에서 발생하는 고장을 분석하는 것이 중요시 되고 있다.

[0003] 반도체 메모리 장치의 테스트는 그동안 외부의 전용 장비에 의해 이루어져 왔으나, 시스템을 하나의 칩으로 구현하는 SoC(System On Chip) 기술의 등장으로 반도체 메모리 장치의 테스트 방식에 큰 변화가 생기게 되었다. 일 예로, 반도체 메모리 장치의 테스트를 위하여 내장형 자체 테스트 회로(BIST: Built-In Self Test)를 SoC 안에 포함시키는 방식이 등장하였다. 이러한 방식은 기존의 방식에 비해 고속 테스트 등에 있어서 유리하여 많은 연구가 진행되어 왔고 현재 SoC의 테스트를 위한 방식으로 널리 사용되고 있다.

발명의 내용

해결하려는 과제

[0004] 종래 기술에서는 제어도(controllability)가 높은 지점마다 테스트 포인트 회로를 하나씩 삽입하였으나, 불필요한 테스트 패턴이 인가되는 경우가 있으며, 이 패턴들을 테스트하기 때문에 테스트에 소요되는 시간이 증가한다.

[0005] 본 실시예로 해결하고자 하는 과제 중 하나는 상기한 종래 기술이 난점을 해소하기 위한 것이다. 즉, 테스트에 소요되는 시간을 감소시키고, 반도체 칩의 신뢰성을 확보하는 것이 본 기술로 해결하고자 하는 과제 중 하나이다.

과제의 해결 수단

[0006] 본 실시예에 의한 고장 검출 방법에 의하면, 두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 입력 노드를 선택하는 단계와, 노드에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계와, 스캔 셀로부터 제공된 테스트 패턴을 가중치 인가 회로에 제공하여 로직 게이트의 출력으로 고장을 전파(propagate)하되, 가중치 인가 회로가 연결되지 않은 입력 노드로 전파된 고장이 출력으로 전파되는 확률이 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계를 포함한다.

[0007] 본 실시예의 일 태양에 의하면, 노드를 선택하는 단계는, 0 제어도(controllability 0) 및 1 제어도(controllability 1) 중 어느 하나의 값이 기준치 이상의 값인 입력 노드를 선택하여 수행한다.

[0008] 본 실시예의 일 태양에 의하면, 로직 게이트는 AND 게이트, NAND 게이트 중 어느 하나이고, 노드를 선택하는 단계는, 로직 게이트의 1 제어도가 기준치 이상의 값인 노드를 선정하여 수행한다.

[0009] 본 실시예의 일 태양에 의하면, 로직 게이트는 OR 게이트, NOR 게이트 중 어느 하나이고, 노드를 선택하는 단계는, 로직 게이트의 0 제어도가 기준치 이상의 값인 노드를 선정하여 수행한다.

[0010] 본 실시예의 일 태양에 의하면, 가중치 인가 회로는, 제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와, 제1 스캔 셀과 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함한다.

[0011] 본 실시예의 일 태양에 의하면, 테스트 포인트 회로는, XOR 게이트의 출력과 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와, AND 게이트의 출력과 기준치 이상 제어도 값을 가지는 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함한다.

[0012] 본 실시예의 일 태양에 의하면, 테스트 포인트 회로는, XOR 게이트의 출력과 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와, AND 게이트의 출력과 기준치 이상 제어도 값을 가지는 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함한다.

[0013] 본 실시예의 일 태양에 의하면, 입력 노드를 선택하는 단계는, 두 개 이상의 입력 노드들을 통하여 전파되는 고장의 개수가 임계치 이상인 경우에 입력 노드를 선택하여 고장 검출 방법을 수행한다.

[0014] 본 실시예에 의한 고장 검출 장치는 칩과 연결되어 칩의 고장을 검출하는 장치로: 적어도 하나 이상의 프로세서; 및 프로세서에 의해 실행되는 하나 이상의 프로그램을 저장하는 메모리를 포함하며, 프로그램들은 하

나 이상의 프로세서에 의해 실행될 때, 하나 이상의 프로세서들에서, 두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 입력 노드를 선택하는 단계와, 노드에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계와 스캔 셀로부터 제공된 테스트 패턴을 가중치 인가 회로에 제공하여 로직 게이트의 출력으로 고장을 전파(propagate)하되, 가중치 인가 회로가 연결되지 않은 입력 노드로 전파된 고장이 출력으로 전파되는 확률이 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계를 포함한다.

- [0015] 본 실시예의 일 태양에 의하면, 노드를 선택하는 단계는, 0 제어도(controllability 0) 및 1 제어도(controllability 1) 중 어느 하나의 값이 기준치 이상의 값인 입력 노드를 선택하여 수행한다.
- [0016] 본 실시예의 일 태양에 의하면, 로직 게이트는 AND 게이트, NAND 게이트 중 어느 하나이고, 노드를 선택하는 단계는, 로직 게이트의 1 제어도가 기준치 이상의 값인 노드를 선정하여 수행한다.
- [0017] 본 실시예의 일 태양에 의하면, 로직 게이트는 OR 게이트, NOR 게이트 중 어느 하나이고, 노드를 선택하는 단계는, 로직 게이트의 0 제어도가 기준치 이상의 값인 노드를 선정하여 수행한다.
- [0018] 본 실시예의 일 태양에 의하면, 가중치 인가 회로는, 제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와, 제1 스캔 셀과 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함한다.
- [0019] 본 실시예의 일 태양에 의하면, 테스트 포인트 회로는, XOR 게이트의 출력과 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와, AND 게이트의 출력과 기준치 이상 제어도 값을 가지는 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함한다.
- [0020] 본 실시예의 일 태양에 의하면, 테스트 포인트 회로는, XOR 게이트의 출력과 테스트 포인트 활성화(enable) 신호가 제공되는 AND 게이트와, AND 게이트의 출력과 기준치 이상 제어도 값을 가지는 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함한다.
- [0021] 본 실시예의 일 태양에 의하면, 입력 노드를 선택하는 단계는, 두 개 이상의 입력 노드들을 통하여 전파되는 고장의 개수가 임계치 이상인 경우에 입력 노드를 선택하여 고장 검출 방법을 수행한다.
- [0022] 본 실시예에 의한 가중치 인가회로는 두 개 이상의 입력을 가지는 로직 게이트에서 어느 하나의 입력과 논리적으로 연결된 가중치 인가회로로 : 제1 스캔 셀 및 제2 스캔 셀로부터 각각 입력을 제공받는 NOR 게이트 회로와, 제1 스캔 셀과 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트를 포함하며, 제1 스캔 셀 및 제2 스캔 셀로부터 제공된 테스트 패턴이 제공되어 로직 게이트의 출력으로 고장을 전파(propagate)하되, 가중치 인가 회로가 연결되지 않은 입력 노드로 전파된 고장이 출력으로 전파되는 확률이 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 출력으로 전파되는 확률보다 크다.

발명의 효과

- [0023] 본 실시예에 의하면 제어도가 높은 로직 회로의 입력에 높은 확률로 목적하는 로직 값을 형성할 수 있어 로직 회로를 통하여 고장이 전파될 확률을 높일 수 있고, 그로부터 높은 테스트 커버리지(test coverage)를 얻을 수 있다는 장점이 제공된다.

도면의 간단한 설명

- [0024] 도 1은 본 실시예에 의한 고장 검출 방법의 개요를 도시한 순서도이다.
- 도 2는 본 실시예에 의한 고장 검출 장치(100)의 개요를 도시한 블록도이다.
- 도 3은 본 실시예의 고장 검출 방법을 설명하기 위한 예시적인 회로도이다.
- 도 4는 3 입력 AND 게이트(AND)의 제1 입력(input_1)과 제2 입력(input_2)에 가중치 인가 회로(200)가 연결된 테스트 포인트 회로(300)를 연결한 상태를 예시한 도면이다.
- 도 5는 가중치 인가 회로(200a)와 테스트 포인트 회로(300)가 연결된 회로의 진리표이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 고장 검출 방법, 고장 검출 장치 및 가중치 인가 회로를 설명한다. 도 1은 본 실시예에 의한 고장 검출 방법의 개요를 도시한 순서도이다. 도 1을 참조하면, 본 실시

예에 의한 고장 검출 방법은 두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상의 제어도(controllability) 값을 가지는 입력을 선택하는 단계(S100)와, 입력에 가중치 인가 회로(weight application circuit)가 연결된 테스트 포인트 회로를 연결하는 단계(S200)와, 스캔 셀로부터 제공된 테스트 패턴을 가중치 인가 회로에 제공하여 로직 게이트의 출력으로 고장을 전파(propagate)하되, 가중치 인가 회로가 연결되지 않은 입력 노드로 전파된 고장이 출력으로 전파되는 확률이 가중치 인가 회로가 연결된 입력 노드로 전파된 고장이 출력으로 전파되는 확률보다 크도록 고장을 전파하는 단계(S300)를 포함한다.

- [0026] 도 2는 본 실시예에 의한 고장 검출 장치(100)의 개요를 도시한 블록도이다. 도 2를 참조하면, 본 실시예에 따른 고장 검출 장치(100)는 입력부(110), 출력부(120), 프로세서(130), 메모리(140) 및 데이터베이스(150)를 포함한다. 도 2의 고장 검출장치(100)는 일 실시예에 따른 것으로서, 도 2에 도시된 모든 블록이 필수 구성요소는 아니며, 다른 실시예에서 고장 검출 장치(100)에 포함된 일부 블록이 추가, 변경 또는 삭제될 수 있다. 한편, 고장 검출 장치(100)는 내장형(Built in) 시스템 온 칩(SOC, system on chip)으로 구현될 수 있다. 다른 예로, 고장 검출 장치(100)는 고장을 검출하는 컴퓨팅 장치로 구현될 수 있으며, 고장 검출 장치(100)에 포함된 각 구성요소들은 각각 별도의 소프트웨어 장치로 구현되거나, 소프트웨어가 결합된 별도의 하드웨어 장치로 구현될 수 있다.
- [0027] 고장 검출 장치(100)는 기준치 이상의 제어도 값을 가지는 입력 노드 선택(S100, 도 1 참조), 테스트 포인트 연결(S200, 도 1 참조) 및 로직 게이트의 출력으로 고장 전파(S300, 도 1 참조) 단계 등을 수행한다.
- [0028] 입력부(110)는 고장 검출을 위한 신호 또는 데이터를 입력하거나 획득하는 수단을 의미한다. 입력부(110)는 프로세서(130)와 연동하여 다양한 형태의 신호 또는 데이터를 입력하거나, 외부 장치와 연동하여 직접 데이터를 획득하여 프로세서(130)로 전달할 수도 있다. 입력부(110)는 로그정보(log), 다양한 조건정보 또는 제어신호 등을 입력하거나 입력 받기 위한 장치 또는 서버일 수 있으나 반드시 이에 한정되는 것은 아니다.
- [0029] 출력부(120)는 프로세서(130)와 연동하여 제어도 값, 스캔 셀의 테스트 패턴 등을 표시할 수 있다. 출력부(120)는 소정의 정보를 출력하기 위하여 고장 검출 장치(100)에 구비된 디스플레이(미도시), 스피커 등을 통해 다양한 정보를 표시하는 것이 바람직하나 반드시 이에 한정되는 것은 아니다.
- [0030] 프로세서(130)는 메모리(140)에 포함된 적어도 하나의 명령어 또는 프로그램을 실행시키는 기능을 수행한다.
- [0031] 본 실시예에 따른 프로세서(130)는 입력부(110) 또는 데이터베이스(150)로부터 획득한 데이터를 기반으로 각 단계를 수행하기 위한 데이터를 연산하고, 스캔 셀을 배열하여 스캔 체인을 형성하는 동작을 수행한다.
- [0032] 메모리(140)는 프로세서(130)에 의해 실행 가능한 적어도 하나의 명령어 또는 프로그램을 포함한다. 메모리(140)는 관심 영역을 추출, 클래스 결정 등의 처리를 수행하기 위한 명령어 또는 프로그램을 포함할 수 있다. 메모리(140)는 각 단계에서 수행된 결과, 중간값 등의 연관된 값들을 저장할 수 있다.
- [0033] 데이터베이스(150)는 데이터베이스 관리 프로그램(DBMS)을 이용하여 컴퓨터 시스템의 저장공간(하드디스크 또는 메모리)에 구현된 일반적인 데이터구조를 의미하는 것으로, 데이터의 검색(추출), 삭제, 편집, 추가 등을 자유롭게 행할 수 있는 데이터 저장형태를 뜻하는 것으로, 오라클(Oracle), 인포믹스(Infomix), 사이베이스(Sybase), DB2와 같은 관계형 데이터베이스 관리 시스템(RDBMS)이나, 겜스톤(Gemston), 오리온(Orion), 02 등과 같은 객체 지향 데이터베이스 관리 시스템(OODBMS) 및 엑셀론(Excelon), 타미노(Tamino), 세카이주(Sekaiju) 등의 XML 전용 데이터베이스(XML Native Database)를 이용하여 본 발명의 일 실시예의 목적에 맞게 구현될 수 있고, 자신의 기능을 달성하기 위하여 적당한 필드(Field) 또는 엘리먼트들을 가지고 있다.
- [0034] 본 실시예에 따른 데이터베이스(150)는 학습용 실패 로그정보, 실패 로그정보, 조건 정보, 신경망 모델정보, 필터정보, 고장 진단 결과정보 등을 저장하고, 저장된 데이터를 제공할 수 있다. 한편, 데이터베이스(140)는 스캔 체인 형성 장치(100) 내에 구현되는 것으로 기재하고 있으나 반드시 이에 한정되는 것은 아니며, 별도의 데이터 저장장치로 구현될 수도 있다.
- [0035] 도 3은 본 실시예의 고장 검출 방법을 설명하기 위한 예시적인 회로도이다. 도 3을 참조하면, 두 개 이상의 입력 노드를 가지는 로직 게이트에서 기준치 이상 제어도(controllability) 값을 가지는 입력을 선택한다(S100). 일 실시예로, 제어도(controllability)는 디자인 툴을 통해 연산될 수 있으며, 일 예로, scoop 분석을 통하여 얻을 수 있다. 일 실시예로, 제어도는 0 제어도(controllability, C0) 및 1 제어도(C1)를 포함할 수 있다. 일 예로, C0는 회로의 입력(input)으로부터 해당 노드에 논리 0을 형성하기 어려운 정도를 수치화한 값이고, C1은 회로의 입력으로부터 해당 노드에 논리 1을 형성하기 어려운 정도를 수치화한 값이다. 따라서, 어떤 노드의 C0 값이 크다는 의미는 그 노드에 논리 0 값이 형성되는 확률이 낮고, C1값이 크다는 의미는 그 노드에 논리 1 값

이 형성되는 확률이 낮음을 의미한다.

[0036] C0 및 C1은 입력에서 출력까지 순차적으로 계산될 수 있으며, 입력된 신호가 하나 이상의 게이트를 통과할 때마다 아래의 표와 같이 C0과 C1이 연산된다.

표 1

	O-Controllability (Primary Input, Output, Branch)	1-Controllability (Primary Input, Output, Branch)
Primary Input	1	1
AND	$\min(\text{input O-controllabilities}) + 1$	$\sum(\text{input 1-controllabilities}) + 1$
OR	$\sum(\text{input O-controllabilities}) + 1$	$\min(\text{input 1-controllabilities}) + 1$
NOT	Input 1-controllability + 1	Input O-controllability + 1
NAND	$\sum(\text{input 1-controllabilities}) + 1$	$\min(\text{input O-controllabilities}) + 1$
NOR	$\min(\text{input 1-controllabilities}) + 1$	$\sum(\text{input O-controllabilities}) + 1$
BUFFER	Input O-controllability + 1	Input 1-controllability + 1
XOR	$\min\{C1(a) + C1(b), CO(a) + CO(b)\} + 1$	$\min\{C1(a) + CO(b), CO(a) + C1(b)\} + 1$
XNOR	$\min\{C1(a) + CO(b), CO(a) + C1(b)\} + 1$	$\min\{C1(a) + C1(b), CO(a) + CO(b)\} + 1$
Branch	Stem O-controllability	Stem 1-controllability

[0037]

[0038] 표 1을 참조하면, 초기 조건으로 입력의 C0과 C1은 각각 1로 설정된다. 일 예로, 신호가 AND 게이트를 통과할 때, AND 게이트의 출력 노드에서 C0은 AND 게이트 입력 노드에서의 C0 값들 중 최소값에 1을 더하여 연산되고, C1은 AND 게이트 입력 노드에서의 C1 값들의 합에 1을 더하여 연산된다.

[0039] 일 예로, 신호가 OR 게이트를 통과할 때, OR 게이트의 출력 노드에서 C0은 OR 게이트 입력 노드에서의 C0 값들의 합에 1을 더하여 연산되고, C1은 OR 게이트 입력 노드에서의 C1 값들 중 최소값에 1을 더하여 연산된다.

[0040] 다른 예로, 신호가 XOR 게이트를 통과할 때, XOR 게이트의 출력 노드에서 C0은 XOR 게이트 입력 노드a 및 b에서의 C1(a)과 C1(b) 값들의 합과 CO(a)과 CO(b) 값들의 합 중에서 최소값에 1을 더하여 연산되고, C1은 XOR 게이트 입력 노드에서의 C1(a)과 CO(b) 값들의 합과 CO(a)과 C1(b) 값들의 합 중에서 최소값에 1을 더하여 연산된다.

[0041] 도 3으로 예시된 3 입력 AND 게이트(AND)의 입력 중 제1 입력(input_1)의 1 제어도(C1)가 기준치 이상인 경우를 가정한다. 일 실시예로, 고장 검출 방법을 수행하는 프로세서(130, 도 2 참조)는 멀티 입력(multi-input) 로직 게이트 입력 중 어느 하나의 제어도가 기준치 이상인 경우에는 해당 로직 게이트 다른 입력의 제어도를 검출한다.

[0042] 도 3으로 예시된 AND 게이트에서 제1 입력(input_1)과 제3 입력(input_3)의 1 제어도(C1)가 기준치 이상인 경우에는 제1 입력(input_1)과 제3 입력(input_3)에는 논리 하이 상태가 형성될 확률이 낮은 것을 의미한다. 따라서, AND 게이트의 제2 입력(input_2)까지 전파된 고장(fault, ND)은 3 입력 AND 게이트(AND)의 출력으로 전파될 확률이 낮다.

[0043] 도시되지 않은 실시예로, 3 입력 OR 게이트를 가정한다. OR 게이트의 어느 한 입력의 0 제어도(C0)가 기준치 이상인 경우에는 그 입력에는 논리 로우 상태가 형성될 확률이 낮은 것을 의미한다. 따라서, OR 게이트의 다른 입력까지 전파된 고장(fault)은 OR 게이트의 출력으로 전파될 확률이 낮다. 이와 같이 로직 게이트의 각 입력의 제어도 값을 연산하고, 기준치 이상의 제어도 값을 가지는 입력들을 파악한다.

[0044] 제어도가 기준치 이상인 입력 노드에 가중치 인가 회로(200)가 연결된 테스트 포인트 회로(300)를 연결한다(S200). 도 4는 3 입력 AND 게이트(AND)의 제1 입력(input_1)과 제2 입력(input_2)에 가중치 인가 회로(200)가 연결된 테스트 포인트 회로(300)를 연결한 상태를 예시한 도면이다. 도 4를 참조하면, 가중치 인가 회로(200)는 어느 스캔 셀(SCj, SCo) 및 다른 스캔 셀(SCp, Sck)로부터 각각 입력을 제공받는 NOR 게이트(NOR)와, 어느 한 스캔 셀(SCo, SCj)과 NOR 게이트의 출력으로부터 입력을 제공받는 XOR 게이트(XOR)를 포함한다.

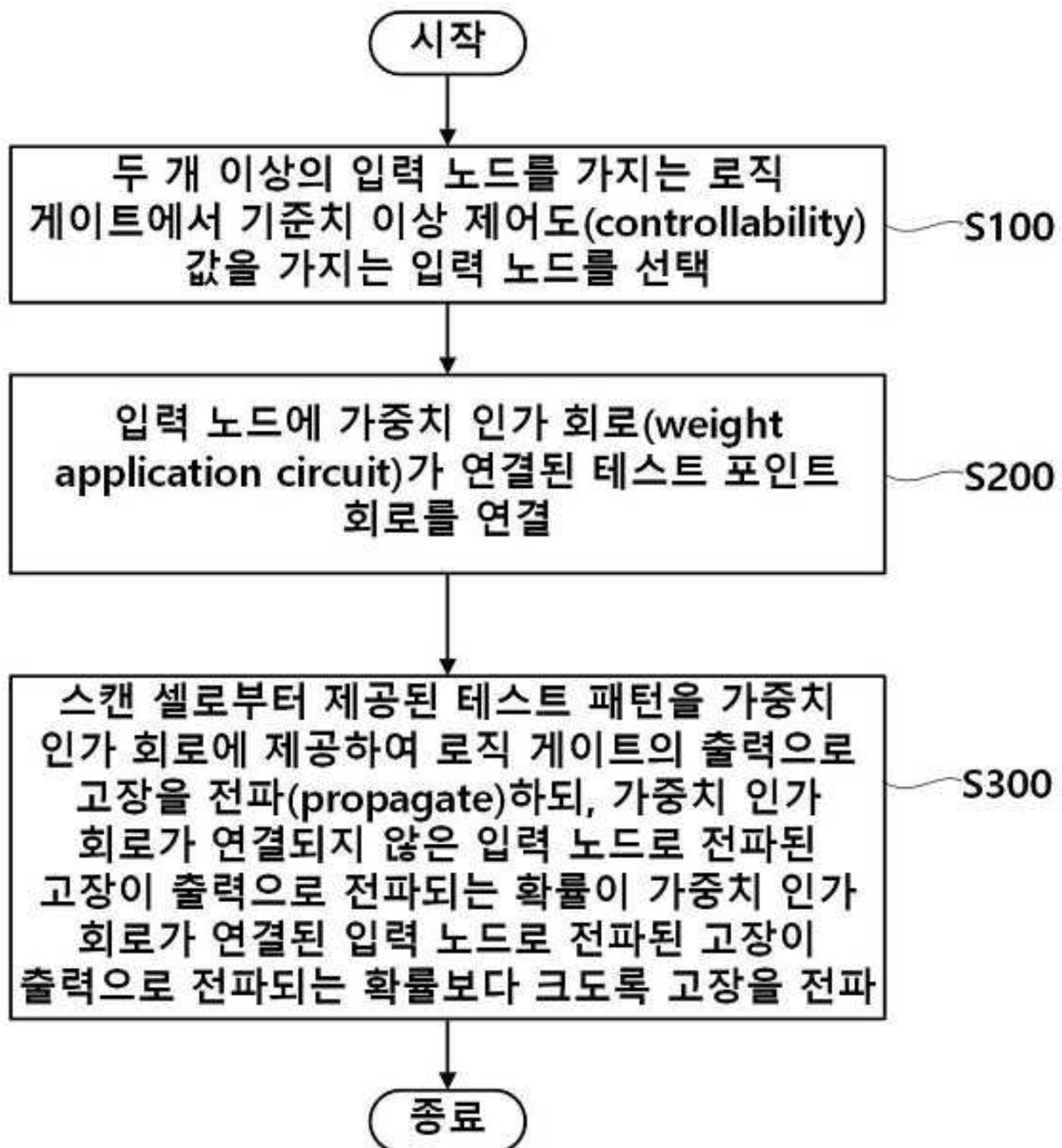
- [0045] 가중치 인가 회로(200)의 출력은 테스트 포인트 회로(300)의 입력으로 제공된다. 일 실시예로, 테스트 포인트 회로(300)는 테스트 포인트 회로(300)를 활성화(enable)하는 활성화 신호(en)와 가중치 인가 회로(200)의 출력이 제공되는 AND 게이트와, AND 게이트의 출력이 일 입력으로 제공되고, 타 입력으로, 테스트 포인트 회로(300)가 연결되기 이전의 기준치 이상 제어도 값을 가지는 입력 노드에 제공되는 신호가 제공되는 OR 게이트를 포함한다.
- [0046] 도 5는 가중치 인가 회로(200a)와 테스트 포인트 회로(300)가 연결된 회로의 진리표이다. 도 5를 참조하면, 제1 스캔셀(SCj)과 제2 스캔셀(SCk)은 각각 1과 0을 동일한 확률로 제공된다. 제1 스캔셀(SCj)과 제2 스캔셀(SCk)로부터 제공된 값을 가중치 인가 회로(200a)와 테스트 포인트 회로(300)의 AND 게이트에서 논리 연산을 수행하면, 도 5의 a 노드의 값과 같다. 즉, 제1 스캔셀(SCj)과 제2 스캔셀(SCk)에서 0, 1이 서로 동일한 확률로 제공되어 도 가중치 인가 회로(200)에 포함된 AND 게이트의 출력에는 3/4의 확률로 1이 형성된다.
- [0047] a 노드에 형성되는 값과 OR 게이트로 입력되는 당초 입력(X)과 논리 연산이 수행되면 3 입력 AND 게이트의 출력에는 3/4 확률로 1이 형성되고, 1/4의 확률로 X값이 형성된다.
- [0048] 가중치 인가회로(200)가 연결되지 않은 테스트 포인트 회로(300)에 의하면, AND 게이트 입력 input_1과 input_3의 높은 1 제어도에 의하여 input_2까지 도달한 고장은 AND 게이트의 출력으로 전파되지 못한다. 또한, 가중치 인가 회로(200)가 연결되지 않은 테스트 포인트 회로(300)의 두 입력으로 0과 1이 동일한 확률로 제공된다 하더라도 테스트 포인트 회로에 포함된 AND 게이트의 출력 노드(a)에는 1과 0이 고르게 1/2의 확률로 형성된다. 따라서, input_2로 도달한 고장이 게이트의 출력으로 전파되는 확률은 본 실시예에 의한 경우보다 낮다.
- [0049] 본 실시예에 따른 가중치 인가 회로(200)는 AND 게이트의 input_2까지 도달한 고장 정보가 출력으로 전파되도록 AND 게이트의 input_1과 input_3에 높은 확률로 1 값을 형성하므로 종래 기술에 비하여 높은 고장 전파율 및 테스트 커버리지(test coverage)를 얻을 수 있다는 장점이 제공된다. 나아가, 도 3으로 도시된 것과 같이 input_3에서의 값을 항상 논리 1로 고정하지 않아 당초 input_3 입력까지 도달한 고장을 AND 게이트 출력으로 전파할 수 있다.
- [0050] 상기한 실시예는 AND 게이트를 예시하였다. 그러나, AND 게이트 뿐만 아니라 NAND 게이트의 입력에 높은 1 제어도(C1)이 형성된 경우에도 본 실시예를 활용하여 동일한 효과를 얻을 수 있다. 또한, 본 실시예는 OR 게이트의 경우에도 실시될 수 있다. 일 예로, OR 게이트의 입력에 높은 0 제어도가 형성되는 경우, 도 4로 예시된 테스트 포인트 회로(300)에 포함된 OR 게이트의 출력에 인버터를 연결(즉, NOR 게이트) 함으로써 목적하는 효과를 얻을 수 있다.
- [0051]
- [0052] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

- [0053] S100~S300: 본 실시예에 의한 고장 검출 방법의 각 단계
- 100: 고장 검출 장치 110: 입력부
- 120: 출력부 130: 프로세서
- 140: 메모리 150: 데이터베이스
- 200: 가중치 제공 회로 300: 테스트 포인트 회로

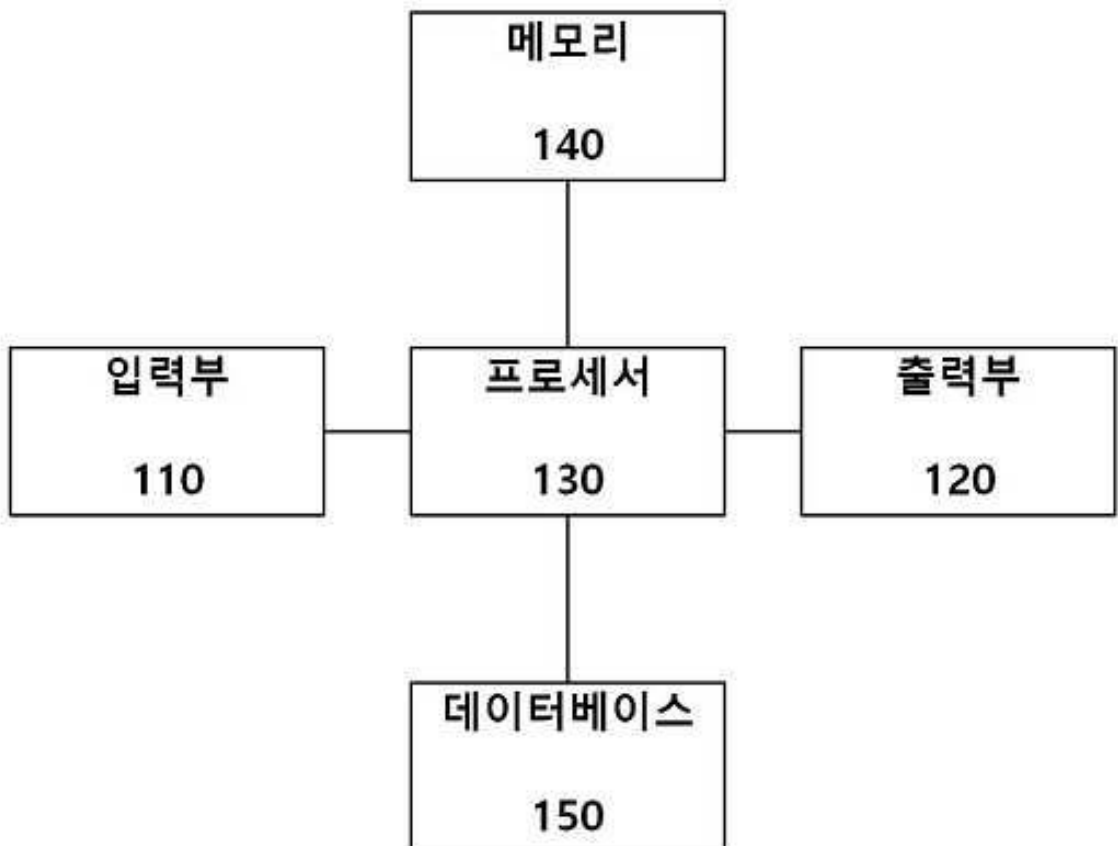
도면

도면1

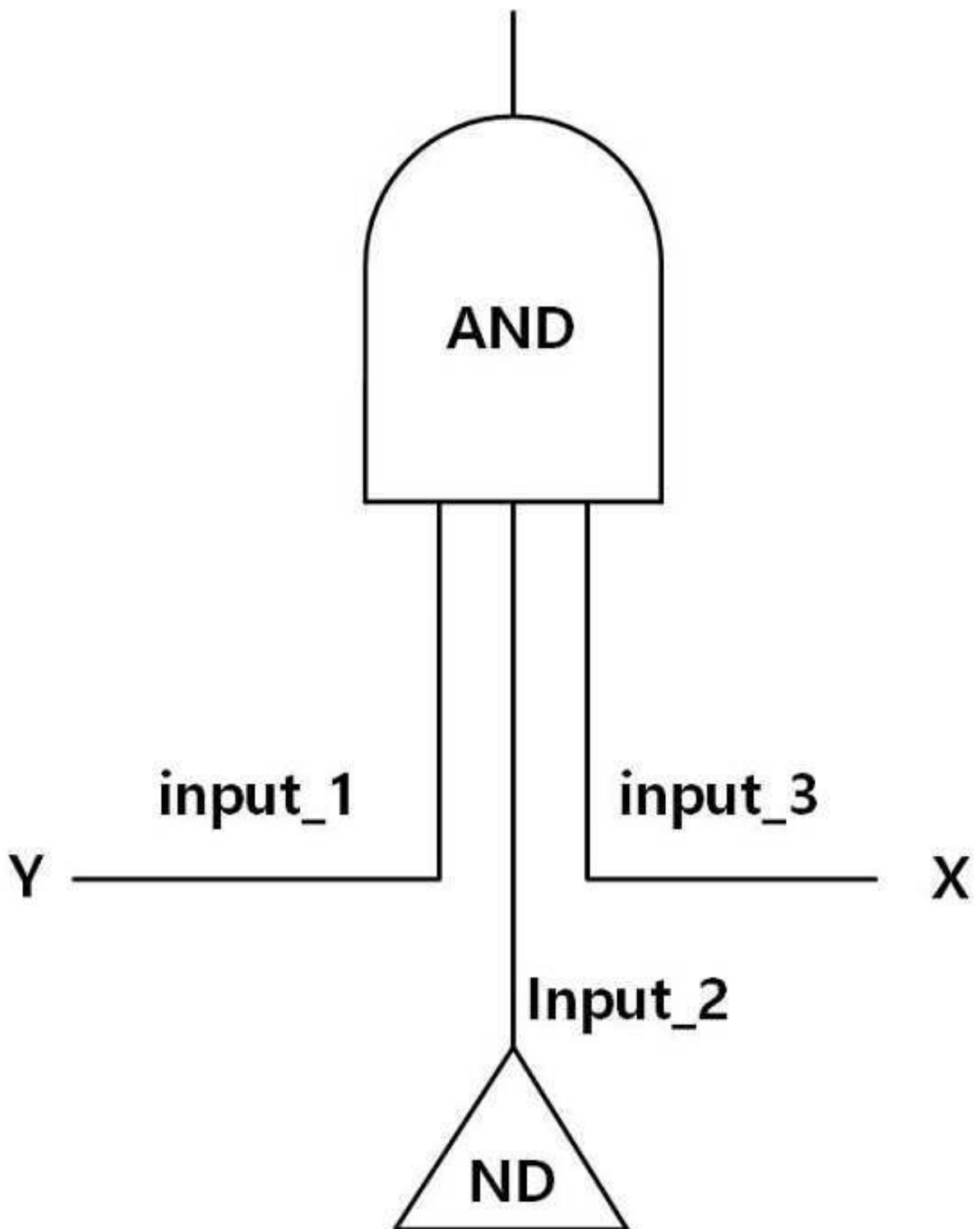


도면2

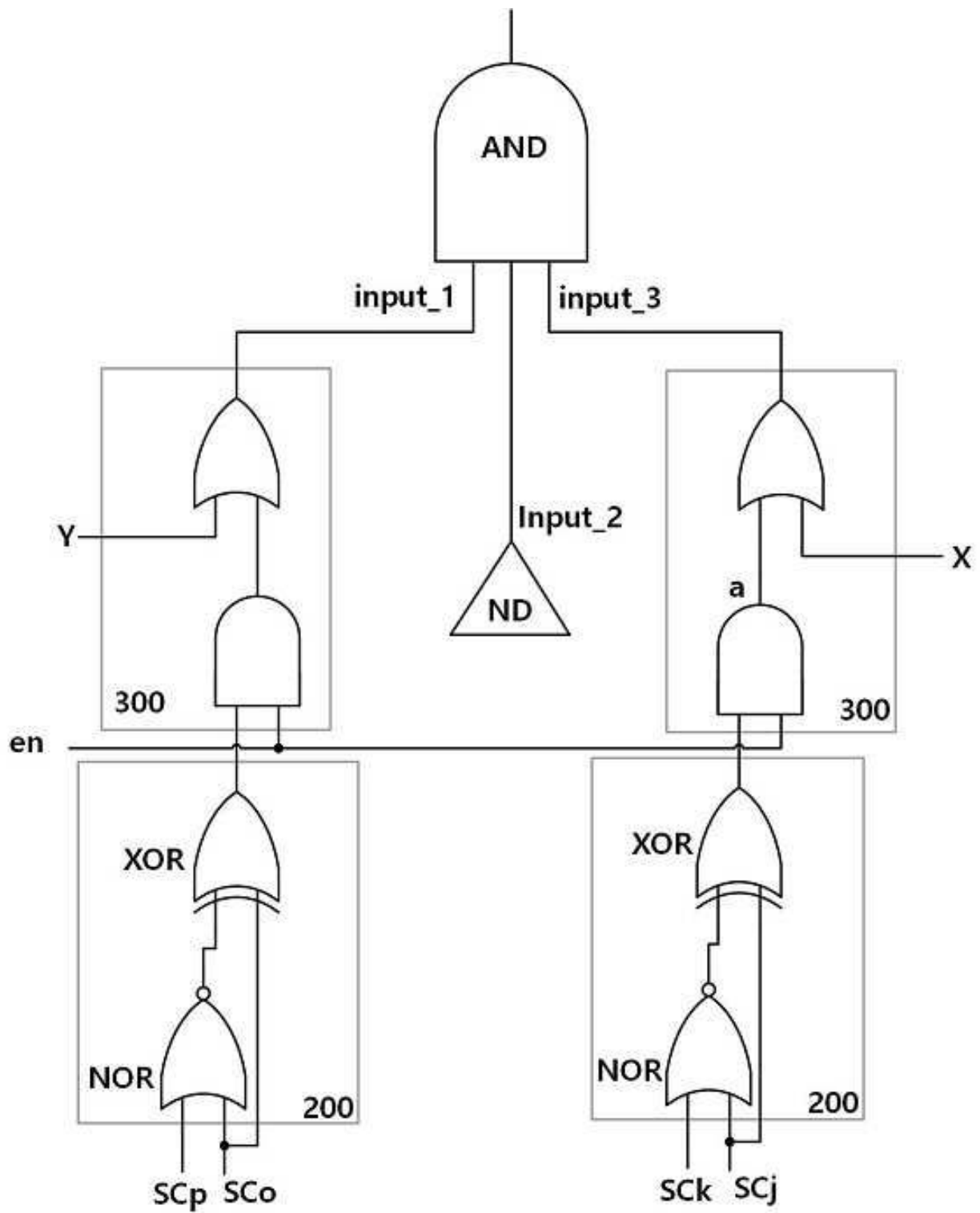
100



도면3



도면4



도면5

SCj	SCK	a	input_3
0	0	1	1
0	1	1	1
1	0	0	X
1	1	1	1