



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0049440  
(43) 공개일자 2022년04월21일

(51) 국제특허분류(Int. Cl.)  
G11C 11/419 (2015.01) G11C 11/412 (2006.01)  
G11C 5/14 (2021.01)  
(52) CPC특허분류  
G11C 11/419 (2018.05)  
G11C 11/412 (2013.01)  
(21) 출원번호 10-2021-0016841  
(22) 출원일자 2021년02월05일  
심사청구일자 없음  
(30) 우선권주장  
1020200132980 2020년10월14일 대한민국(KR)

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
최태민  
서울특별시 성북구 보국문로6길 5-21, 101호 (정릉동)  
김태현  
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C421 (신촌동)  
정성욱  
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513 (신촌동)  
(74) 대리인  
리엔목특허법인

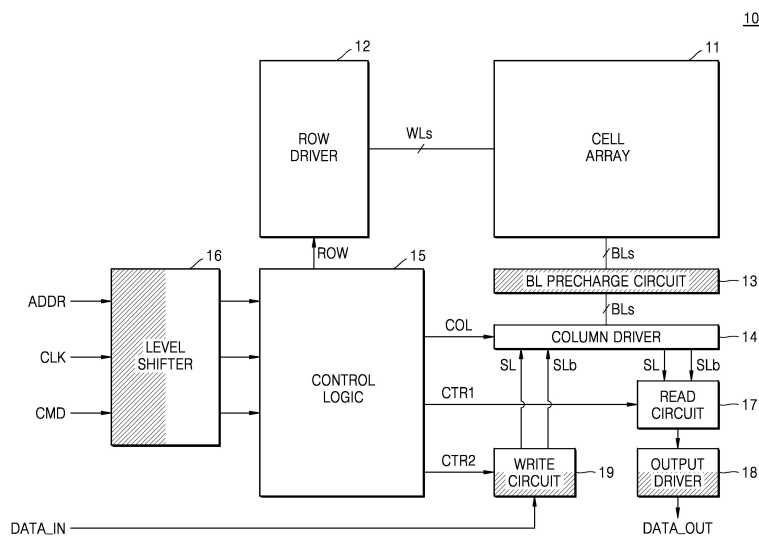
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 복수의 공급 전압들을 사용하는 메모리 장치 및 그의 동작 방법

(57) 요약

본 개시에 따른 메모리 장치는 제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치로서, 복수의 워드라인들 및 복수의 비트라인들에 연결된 셀 어레이, 로우 어드레스에 기초하여 복수의 워드라인들 중 하나를 선택하도록 구성된 로우 드라이버, 제1 공급 전압에 기초하여 복수의 비트라인들을 프리차지(Precharge)하도록 구성된 프리차지 회로, 컬럼 어드레스에 기초하여 복수의 비트라인들 중 적어도 하나의 비트라인을 선택하도록 구성된 컬럼 드라이버 및 적어도 하나의 비트라인을 통해서 셀 어레이에 저장된 데이터를 독출하도록 구성된 독출 회로를 포함하고, 셀 어레이, 로우 드라이버, 컬럼 드라이버 및 독출 회로는 제1 공급 전압 보다 높은 제2 공급 전압에 기초하여 동작하는 것을 특징으로 한다.

대표도



(52) CPC특허분류  
*G11C 5/147* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치로서,

복수의 워드라인들 및 복수의 비트라인들에 연결된 셀 어레이;

로우 어드레스에 기초하여 상기 복수의 워드라인들 중 하나를 선택하도록 구성된 로우 드라이버;

상기 제1 공급 전압에 기초하여 상기 복수의 비트라인들을 프리차지(Precharge)하도록 구성된 프리차지 회로;

컬럼 어드레스에 기초하여 상기 복수의 비트라인들 중 적어도 하나의 비트라인을 선택하도록 구성된 컬럼 드라이버; 및

상기 적어도 하나의 비트라인을 통해서 상기 셀 어레이에 저장된 데이터를 독출하도록 구성된 독출 회로를 포함하고,

상기 셀 어레이, 로우 드라이버, 컬럼 드라이버 및 독출 회로는 상기 제1 공급 전압 보다 높은 제2 공급 전압에 기초하여 동작하는 것을 특징으로 하는 메모리 장치.

#### 청구항 2

제1항에 있어서,

상기 독출 회로는,

상기 적어도 하나의 비트라인들 중 제1 비트라인 및 상기 제1 비트라인에 상보적인 제2 비트라인에 연결된 센스 앰프를 포함하고,

상기 센스 앰프는,

제1 출력 노드 및 제2 출력 노드 사이에서 교차 결합(Cross coupled)된 제1 인버터 및 제2 인버터;

제1 인에이블 신호에 기초하여 상기 제2 공급 전압을 상기 제1 인버터 및 상기 제2 인버터에 제공하도록 구성된 제1 트랜지스터; 및

제2 인에이블 신호에 기초하여, 접지 전위를 상기 제1 인버터 및 상기 제2 인버터에 제공하도록 구성된 제2 트랜지스터를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 3

제2항에 있어서,

상기 독출회로의 출력으로부터 데이터 출력을 생성하도록 구성된 출력 드라이버를 더 포함하고,

상기 출력 드라이버는,

상기 제2 공급 전압 및 활성화된 상기 제1 인에이블 신호에 기초하여 상기 제1 출력 노드의 전압을 반전하도록 구성된 제1 버퍼; 및

상기 제1 공급 전압에 기초하여 상기 제1 버퍼의 출력을 반전하도록 구성된 제3 인버터

를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 4

제3항에 있어서,

상기 출력 드라이버는,

상기 제2 공급 전압 및 활성화된 상기 제1 인에이블 신호에 기초하여, 상기 제2 출력 노드의 전압을 반전하도록

구성된 제2 버퍼를 더 포함하는 메모리 장치.

#### 청구항 5

제1항에 있어서,

상기 적어도 하나의 비트라인을 통해서 상기 셀 어레이에 데이터를 기입하도록 구성된 기입 회로를 더 포함하고,

상기 기입 회로는,

상기 제2 공급 전압에 기초하여 동작하는 것을 특징으로 하는 메모리 장치.

#### 청구항 6

제5항에 있어서,

상기 기입 회로는,

기입 펄스에 응답하여, 상기 데이터에 대응되는 신호 및 상기 데이터의 반전된 버전에 대응되는 신호로부터 상기 제2 공급 전압의 레벨 또는 접지 전위를 가지는 신호들을 생성하도록 구성된 레벨 시프팅 회로(Level shifting circuit); 및

상기 기입 펄스에 응답하여, 상기 제2 공급 전압의 레벨 또는 접지 전위를 가지는 신호들로부터 상기 제1 공급 전압의 레벨 또는 접지 전위를 가지는 신호들을 생성하여 상기 적어도 하나의 비트라인에 제공하도록 구성된 기입 드라이버

를 포함하는 것을 특징으로 하는 메모리 장치.

#### 청구항 7

제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치로서,

복수의 워드라인들 및 복수의 비트라인들에 연결된 셀 어레이;

로우 어드레스에 기초하여 상기 복수의 워드라인들 중 하나를 선택하도록 구성된 로우 드라이버;

상기 제1 공급 전압에 기초하여 상기 복수의 비트라인들을 프리차지(Precharge)하도록 구성된 프리차지 회로;

컬럼 어드레스에 기초하여 상기 복수의 비트라인들 중 적어도 하나의 비트라인을 선택하도록 구성된 컬럼 드라이버; 및

상기 적어도 하나의 비트라인을 통해서 상기 셀 어레이에 데이터를 기입하도록 구성된 기입 회로

를 포함하고,

상기 셀 어레이, 로우 드라이버, 컬럼 드라이버 및 기입 회로는 상기 제1 공급 전압 보다 높은 제2 공급 전압에 기초하여 동작하는 것을 특징으로 하는 메모리 장치.

#### 청구항 8

제7항에 있어서,

상기 기입 회로는,

기입 펄스에 응답하여, 상기 데이터에 대응되는 신호 및 상기 데이터의 반전된 버전에 대응되는 신호를 갖는 제1 차동 신호로부터 상기 제2 공급 전압의 레벨 또는 접지 전위를 가지는 제2 차동 신호를 생성하도록 구성된 레벨 시프팅 회로(Level shifting circuit); 및

상기 기입 펄스에 응답하여, 상기 제2 차동 신호로부터 상기 제1 공급 전압의 레벨 또는 접지 전위를 가지는 제3 차동 신호를 생성하고, 상기 제3 차동 신호를 상기 적어도 하나의 비트라인에 제공하도록 구성된 기입 드라이버

를 포함하는 것을 특징으로 하는 메모리 장치.

## 청구항 9

제8항에 있어서,

상기 레벨 시프팅 회로는

제1 출력 노드 및 제2 출력 노드 사이에서 교차 결합(Cross coupled)된 제1 인버터 및 제2 인버터;

활성화된 상기 기입펄스에 기초하여 상기 제2 공급 전압을 상기 제1 인버터 및 상기 제2 인버터에 제공하도록 구성된 제1 트랜지스터; 및

활성화된 상기 기입펄스에 기초하여, 접지 전위를 상기 제1 인버터 및 상기 제2 인버터에 제공하도록 구성된 제2 트랜지스터를 포함하는 것을 특징으로 하는 메모리 장치.

## 청구항 10

제7항에 있어서,

상기 메모리 장치는

정적 램(SRAM)인 것을 특징으로 하는 메모리 장치.

## 발명의 설명

### 기술 분야

[0001] 본 개시는 메모리 장치 및 그의 동작 방법에 관한 것으로, 상세하게는 복수의 공급 전압들을 사용하여 동작하는 회로들에 의해서 액세스되는 메모리 장치 및 그의 동작 방법에 관한 것이다.

### 배경 기술

[0002] 높은 집적도에 대한 요구 및 반도체 공정의 발전에 기인하여, 집적 회로에 포함되는 배선들의 폭, 간격 및/또는 높이가 감소할 수 있고, 배선의 기생 성분(parasitic element)가 증가할 수 있다. 또한, 감소된 전력 소비, 높은 동작 속도 등을 위하여 집적 회로의 전원(power supply) 전압은 감소할 수 있고, 이에 따라 배선의 기생 성분이 집적 회로에 미치는 영향이 더욱 중대해질 수 있다.

[0003] 이와 같은 기생 성분에도 불구하고, 메모리 셀들로 구성된 셀 어레이를 포함하는 집적 회로는 다양한 어플리케이션들의 요건들에 따라 높은 성능을 안정적으로 제공할 것이 요구될 수 있다. 특히, 메모리 장치의 에너지 소비를 최소화하기 위해 시스템 온 칩에 공급되는 전압을 감소시킬 수 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 개시의 기술적 사상은 데이터를 기입하거나 독출하는 동작을 수행할 때 에너지 소비를 줄이고, 높은 성능을 안정적으로 제공하는 메모리 장치 및 그의 동작 방법을 제공한다.

### 과제의 해결 수단

[0005] 본 개시에 따른 메모리 장치는 제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치로서, 복수의 워드라인들 및 복수의 비트라인들에 연결된 셀 어레이, 로우 어드레스에 기초하여 복수의 워드라인들 중 하나를 선택하도록 구성된 로우 드라이버, 제1 공급 전압에 기초하여 복수의 비트라인들을 프리차지(Precharge)하도록 구성된 프리차지 회로, 컬럼 어드레스에 기초하여 복수의 비트라인들 중 적어도 하나의 비트라인을 선택하도록 구성된 컬럼 드라이버 및 적어도 하나의 비트라인을 통해서 셀 어레이에 저장된 데이터를 독출하도록 구성된 독출 회로를 포함할 수 있고, 셀 어레이, 로우 드라이버, 컬럼 드라이버 및 독출 회로는 제1 공급 전압 보다 높은 제2 공급 전압에 기초하여 동작하는 것을 특징으로 한다.

[0006] 본 개시에 따른 메모리 장치는 제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치로서, 복수의 워드라인들 및 복수의 비트라인들에 연결된 셀 어레이, 로우 어드레스에 기초하여 복수의 워드라인들 중 하나를 선택하도록 구성된 로우 드라이버, 제1 공급 전압에 기초하여 복수의 비트라인들을 프리차지

(Precharge)하도록 구성된 프리차지 회로, 컬럼 어드레스에 기초하여 복수의 비트라인들 중 적어도 하나의 비트라인을 선택하도록 구성된 컬럼 드라이버 및 적어도 하나의 비트라인을 통해서 상기 셀 어레이에 데이터를 기입하도록 구성된 기입 회로를 포함할 수 있고, 셀 어레이, 로우 드라이버, 컬럼 드라이버 및 기입 회로는 제1 공급 전압 보다 높은 제2 공급 전압에 기초하여 동작하는 것을 특징으로 한다.

[0007] 본 개시에 따른 메모리 장치의 동작 방법은 제1 공급 전압에 기초하여 동작하는 회로들에 의해서 액세스되는 메모리 장치에 관한 것으로서, 제1 공급 전압에 기초하여, 셀 어레이에 연결된 복수의 비트라인들을 프리차지하는 단계, 제1 공급 전압보다 높은 제2 공급 전압에 기초하여, 셀 어레이에 연결된 복수의 워드라인들 중 하나를 선택하는 단계, 제2 공급 전압에 기초하여, 복수의 비트라인들 중 적어도 하나를 선택하는 단계 및 제2 공급 전압에 기초하여, 적어도 하나의 비트라인을 통해서 상기 셀 어레이로부터 데이터를 독출하는 단계를 포함할 수 있다.

### 발명의 효과

[0008] 본 개시에 따르면, 상대적으로 낮은 공급 전압에 기초하여 복수의 비트라인들을 프리차지(Precharge)하므로 메모리 장치의 동작시 에너지 소비를 줄일 수 있고, 상대적으로 높은 공급 전압에 기초하여 셀 어레이, 로우 드라이버 및 컬럼 드라이버가 동작하므로 높은 성능을 안정적으로 제공할 수 있다.

[0009] 본 개시에 따르면, 독출 동작시, 제1 비트라인 및 제1 비트라인에 상보적인 제2 비트라인 사이의 전압 차이를 상대적으로 낮은 공급 전압에서 상대적으로 높은 공급 전압으로 시프팅(Shifting)함으로써 센스 앰프 딜레이(Delay)를 개선할 수 있다. 따라서, 메모리 장치의 독출 동작 속도를 빠르게 할 수 있다.

[0010] 본 개시에 따르면, 레벨 시프팅 회로 및 기입 드라이버를 구비함으로써 기입 동작 속도를 빠르게 할 수 있고, 기입 동작시 소모되는 에너지를 감소시킬 수 있다.

### 도면의 간단한 설명

[0011] 도 1은 본 개시의 예시적인 실시 예에 따른 메모리 장치의 블록도이다.  
 도 2는 본 개시의 예시적인 실시 예에 따른 독출 회로 및 출력 드라이버를 도시한 회로도이다.  
 도 3은 본 개시의 예시적인 실시 예에 따른 독출 회로 및 출력 드라이버를 도시한 회로도이다.  
 도 4는 본 개시의 예시적인 실시 예에 따라 데이터를 독출하기 위해 독출 회로에 인가되는 신호들의 레벨을 도시한 그래프이다.  
 도 5a는 본 개시의 예시적인 실시 예에 따라 출력 드라이버에 인가되는 신호들의 레벨을 도시한 그래프이다.  
 도 5b 내지 5c는 도 5a에 따른 출력 드라이버의 동작을 나타낸 회로도 이다.  
 도 6은 본 개시의 예시적 실시 예에 따른 메모리 장치의 독출 동작을 나타내는 순서도이다.  
 도 7은 본 개시의 예시적 실시 예에 따른 기입 회로를 도시한 회로도이다.  
 도 8은 본 개시의 예시적인 실시 예에 따라 기입 회로에 인가되는 신호들의 레벨을 도시한 그래프이다.  
 도 9는 본 개시의 예시적인 실시 예에 따른 메모리 장치의 기입 동작을 나타내는 순서도이다.  
 도 10은 본 개시의 예시적 실시예에 따른 시스템-온-칩을 나타내는 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 본 개시의 예시적 실시예에 따른 집적 회로를 나타내는 블록도이다. 구체적으로, 도 1의 블록도는 집적 회로에 포함되는 메모리 장치(10)를 나타낸다. 일부 실시예들에서, 집적 회로는 집적 회로의 외부에서 제공되는 커맨드 및 어드레스에 기초하여 데이터를 저장할 수 있고, 메모리 장치(10)는 독립형(standalone) 메모리 장치일 수 있다. 또한, 일부 실시예들에서, 집적 회로는, 도 10을 참조하여 후술되는 바와 같이, 메모리 장치(10)에 데이터를 기입하거나 메모리 장치(10)로부터 데이터를 독출하는 다른 구성요소들을 더 포함할 수 있고, 메모리 장치(10)는 내장형(embedded) 메모리 장치일 수도 있다. 도 1에 도시된 바와 같이, 메모리 장치(10)는, 셀 어레이(11), 로우 드라이버(12), 비트라인 프리차지 회로(13), 컬럼 드라이버(14), 제어 로직(15), 레벨 시프터(16), 독출 회로(17), 출력 드라이버(18) 및 기입 회로(19)를 포함할 수 있다. 비록 도 1에 도시되지 아니하였으나, 일부 실시예들에서 메모리 장치(10)는 어드레스 버퍼, 데이터 버퍼, 데이터 입출력 회로, 내부 전압 생성

기 및 펄스 생성기 등을 더 포함할 수 있다. 이하의 실시예들에서, 제1 공급 전압은 메모리 장치(10)의 외부 회로를 동작시키는 전압일 수 있고, 제2 공급 전압은 제1 공급 전압보다 높은 전압일 수 있다.

[0013] 메모리 장치(10)는 커맨드(CMD), 어드레스(ADDR), 클락(CLK), 기입 데이터(DATA\_IN) 및 독출 데이터(DATA\_OUT)를 수신할 수 있다. 예를 들면, 메모리 장치(10)는 기입(write)을 지시하는 커맨드(CMD)(기입 커맨드로서 지칭될 수 있다), 어드레스(기입 어드레스로서 지칭될 수 있다) 및 기입 데이터(DATA\_IN)를 수신할 수 있고, 기입 데이터(DATA\_IN)를 어드레스에 대응하는 셀 어레이(11)의 영역에 저장할 수 있다. 또한, 메모리 장치(10)는 독출(read)을 지시하는 커맨드(CMD)(독출 커맨드로서 지칭될 수 있다) 및 어드레스(독출 어드레스로서 지칭될 수 있다)를 수신할 수 있고, 어드레스에 대응하는 셀 어레이(11)의 영역에 저장된 독출 데이터(DATA\_OUT)를 외부에 출력할 수 있다.

[0014] 셀 어레이(11)는 워드라인 및 비트라인에 의해서 각각 액세스되는 복수의 메모리 셀들을 포함할 수 있다. 일부 실시예들에서, 셀 어레이(11)에 포함된 메모리 셀들은 SRAM(static random access memory), DRAM(dynamic random access memory) 등과 같은 휘발성(volatile) 메모리 셀들일 수 있다. 일부 실시예들에서, 셀 어레이(11)에 포함된 메모리 셀들은 플래시 메모리, RRAM(resistive random access memory) 등과 같은 비휘발성(non-volatile) 메모리 셀들일 수도 있다. 본 개시의 예시적 실시예들은 SRAM 셀을 주로 참조하여 설명될 것이나, 본 개시의 예시적 실시예들이 이에 제한되지 아니하는 점이 유의된다.

[0015] 도 1을 참조하면, 셀 어레이(11)는 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들 각각은 복수의 워드라인들(WLs) 중 하나에 연결될 수 있고, 복수의 비트라인들(BLs) 중 적어도 하나에 연결될 수 있다.

[0016] 로우 드라이버(12)는 복수의 워드라인들(WLs)을 통해서 셀 어레이(11)와 연결될 수 있다. 로우 드라이버(12)는 로우 어드레스(ROW)에 기초하여, 복수의 워드라인들(WLs) 중 하나의 워드라인을 활성화할 수 있다. 이에 따라, 복수의 메모리 셀들 중 활성화된 워드라인에 연결된 메모리 셀들이 선택될 수 있다. 즉, 로우 드라이버(12)는 복수의 워드라인들(WLs) 중 어느 하나의 워드라인을 선택할 수 있다.

[0017] 비트라인 프리차지 회로(13)는 복수의 비트라인들(BLs)을 통해서 셀 어레이(11)와 연결될 수 있다. 비트라인 프리차지 회로(13)는 복수의 비트라인들(BLs)을 프리차지(Precharge)할 수 있다. 복수의 비트라인들(BLs)은 메모리 셀 양단에 연결되는 비트라인 및 비트라인에 상보적인 비트라인 바(Bitline bar)를 포함할 수 있다.

[0018] 컬럼 드라이버(14)는 복수의 비트라인들(BLs)을 통해서 비트라인 프리차지 회로(13)와 연결될 수 있다. 컬럼 드라이버(14)는 컬럼 어드레스(COL)에 기초하여, 복수의 비트라인들(BLs) 중 적어도 하나의 비트라인을 선택할 수 있다. 복수의 비트라인들(BLs) 중 적어도 하나의 비트라인을 선택함에 따라, 복수의 메모리 셀들 중 선택된 비트라인에 연결된 메모리 셀들이 선택될 수 있다. 적어도 하나의 비트라인은 제1 비트라인(SL) 및 제1 비트라인(SL)에 상보적인 제2 비트라인(SLb)을 포함할 수 있다. 제1 비트라인(SL) 및 제2 비트라인(SLb)은 셀 어레이(11)의 메모리 셀 양단에 연결될 수 있다.

[0019] 제어 로직(15)은 커맨드(CMD), 어드레스(ADDR) 및 클락(CLK)을 수신할 수 있고, 로우 어드레스(ROW), 컬럼 어드레스(COL), 제1 제어 신호(CTR1) 및 제2 제어 신호(CTR2)를 생성할 수 있다. 예를 들면, 제어 로직(15)은 커맨드(CMD)를 디코딩함으로써 독출 커맨드를 식별할 수 있고, 셀 어레이(11)로부터 독출 데이터(DATA\_OUT)를 독출하기 위하여 로우 어드레스(ROW), 컬럼 어드레스(COL) 및 제1 제어 신호(CTR1)를 생성할 수 있다. 또한, 제어 로직(15)은 커맨드(CMD)를 디코딩함으로써 기입 커맨드를 식별할 수 있고, 셀 어레이(11)에 데이터(DATA\_IN)를 기입하기 위하여 로우 어드레스(ROW), 컬럼 어드레스(COL) 및 제2 제어 신호(CTR2)를 생성할 수 있다. 제1 제어 신호(CTR1)는 '감지 인에이블 신호'로 지칭될 수 있고, 제2 제어 신호(CTR2)는 '기입 펄스'로 지칭될 수 있다. 제어 로직(15)은 커맨드(CMD)에 포함된 기입 인에이블 신호 및 제어 로직(15) 내부에서 생성된 펄스 신호에 기초하여 기입 펄스를 형성할 수 있다.

[0020] 레벨 시프터(16)는 커맨드(CMD), 어드레스(ADDR) 및 클락(CLK)을 수신할 수 있고, 커맨드(CMD), 어드레스(ADDR) 및 클락(CLK)이 갖는 전압의 레벨을 시프팅(Shifting)하여 제어 로직(15)에 전송할 수 있다. 즉, 레벨 시프터(16)는 상대적으로 낮은 전압을 갖는 입력 신호들을 상대적으로 높은 전압을 갖는 출력 신호로 시프트하는 데 사용될 수 있다. 예를 들어, 이중 레일(dual rail) SRAM의 경우, 저전력으로 동작시키기 위해 저전압에 기초하여 제어 로직(15)을 동작시킬 수 있다. 아울러, 셀 어레이(11)가 고전압에 기초하여 동작할 수 있도록 셀 어레이(11)에 입력되는 신호들 각각에 레벨 시프터를 배치함으로써 이중 레일(dual rail) SRAM의 성능을 개선할 수 있다. 본 실시예에서, 제1 공급 전압에 기초하여 동작하는 회로들에 의해서 메모리 장치(10)가 액세스될 때, 레벨 시프터(16)에 입력되는 입력 신호들(CMD, ADDR, CLK)은 제1 공급 전압의 레벨을 가질 수 있고, 레벨 시프터



(16)에 의해 출력되는 출력 신호들은 제2 공급 전압의 레벨을 가질 수 있다. 따라서, 제어 로직(15)으로 전송되는 입력 신호들은 제2 공급 전압의 레벨을 가질 수 있으므로 제어 로직(15)이 생성하는 출력 신호들, 예를 들어 로우 어드레스(ROW), 컬럼 어드레스(COL), 제1 제어 신호(CTR1) 및 제2 제어 신호(CTR2) 역시 제2 공급 전압의 레벨을 가질 수 있다. 그에 따라, 셀 어레이(11) 및 워드라인들(WLs)에 제2 공급 전압에 기초하여 동작할 수 있다. 반면, 비트라인 프리차지 회로(13)는 제1 공급 전압에 기초하여 동작할 수 있다. 비트라인 프리차지 회로(13)는 제1 공급 전압에 기초하여 동작하고, 셀 어레이(11), 로우 드라이버(12), 컬럼 드라이버(14), 제어 로직(15), 레벨 시프터(16), 독출 회로(17), 출력 드라이버(18) 및 기입 회로(19)는 제2 공급 전압에 기초하여 동작함으로써 메모리 장치(10)의 성능을 개선하고, 에너지 소비를 줄일 수 있다. 또한, 입력 신호들(CMD, ADDR, CLK)이 메모리 장치(10)에 입력될 때 레벨 시프터(16)가 사용되므로, 제2 공급 전압에 기초하여 워드라인들(WLs)을 동작시키기 위해 워드라인들(WLs)에 별도로 연결되는 레벨 시프터들이 생략될 수 있다. 따라서, 메모리 장치(10)의 공간 효율성을 높일 수 있다.

[0021] 독출 회로(17)는 독출 동작시 복수의 비트라인들(BLs)을 통해서 수신되는 전류 및/또는 전압을 감지함으로써, 활성화된 워드라인에 연결된, 즉 선택된 메모리 셀들에 저장된 값들을 식별할 수 있고, 식별된 값들에 기초하여 독출 데이터(DATA\_OUT)를 출력할 수 있다. 독출 회로(17)는 복수의 비트라인들(BLs) 중 적어도 하나의 비트라인을 통해서 컬럼 드라이버(14)와 연결될 수 있다. 적어도 하나의 비트라인은 제1 비트라인(SL) 및 제1 비트라인(SL)에 상보적인 제2 비트라인(SLb)을 포함할 수 있다. 독출 회로(17)는 센스 앰프를 포함할 수 있다. 독출 회로(17)는 제어 로직(15)으로부터 제1 제어 신호(CTR1)를 수신할 수 있다. 제1 제어 신호(CTR1)는 제2 공급 전압의 레벨을 가질 수 있다. 독출 회로(17)는 제1 비트라인(SL) 및 제2 비트라인(SLb) 사이의 전압차를 감지(Sensing)하고, 감지된 전압차를 증폭시킬 수 있다. 본 실시예에서, 독출 회로(17)는 제1 공급 전압 및 접지 전압을 갖는 전압차를 제2 공급 전압 및 접지 전압을 갖는 전압차로 증폭시킬 수 있다. 독출 회로(17)는 제1 공급 전압을 제2 공급 전압으로 시프팅(Shifting)함으로써 센스 앰프 딜레이(Delay)를 개선할 수 있다. 따라서, 메모리 장치의 독출 동작 속도를 빠르게 할 수 있다.

[0022] 출력 드라이버(18)는 독출 회로(17)에서 증폭된 신호들을 수신하여 메모리 장치(10)의 외부로 독출 데이터(DATA\_OUT)를 출력할 수 있다. 출력 드라이버(18)는 제2 공급 전압의 레벨을 갖는 신호를 제1 공급 전압의 레벨을 갖는 독출 데이터(DATA\_OUT)로 변환할 수 있다.

[0023] 기입 회로(19)는 기입 동작시 기입 데이터(DATA\_IN)에 기초하여 전류 및/또는 전압을 복수의 비트라인들(BLs)에 인가할 수 있고, 활성화된 워드라인에 연결된, 즉 선택된 메모리 셀들에 값들을 기입할 수 있다. 기입 회로(19)는 복수의 비트라인들(BLs) 중 적어도 하나의 비트라인을 통해서 컬럼 드라이버(14)와 연결될 수 있다. 적어도 하나의 비트라인은 제1 비트라인(SL) 및 제2 비트라인(SLb)을 포함할 수 있다. 기입 회로(19)는 제2 공급 전압에 기초하여 기입 데이터(DATA\_IN)를 셀 어레이(11)에 기입할 수 있다. 기입 회로(19)는 제어 로직(15)으로부터 제2 공급 전압의 레벨을 갖는 제2 제어 신호(CTR2)를 수신할 수 있다. 본 실시예에서, 기입 회로(19)는 레벨 시프팅 회로 및 기입 드라이버를 포함할 수 있다. 레벨 시프팅 회로 및 기입 드라이버에 관하여는 후술하기로 한다.

[0024] 본 실시예에서, 제1 공급 전압에 기초하여 동작하는 회로들에 의하여 액세스되는 메모리 장치(10)는 제1 공급 전압의 레벨을 갖는 입력 신호들(CMD, ADDR, CLK)을 레벨 시프터(16)를 통하여 제2 공급 전압의 레벨로 시프팅할 수 있다. 따라서, 높은 성능을 안정적으로 제공하는 메모리 장치(10)를 제공할 수 있다. 아울러, 비트라인 프리차지 회로(13)는 제1 공급 전압에 기초하여 동작하므로 메모리 장치(10)의 동작시 전력 소모가 감소될 수 있다.

[0025] 도 2는 본 개시의 예시적 실시예에 따른 독출 회로(170) 및 출력 드라이버(180)를 간략하게 나타내는 회로도이다. 독출 회로(170)와 출력 드라이버(180)는 전기적으로 연결될 수 있다.

[0026] 독출 회로(170)는 센스 앰프를 포함할 수 있다. 독출 회로(170)는 교차 결합(Cross coupled)된 제1 인버터(171) 및 제2 인버터(172)를 포함할 수 있다. 제1 인버터(171) 및 제2 인버터(172)는 제1 트랜지스터(173) 및 제2 트랜지스터(174)와 전기적으로 연결될 수 있다. 제1 트랜지스터(173)는 제2 공급 전압(VDDH)을 제1 인버터(171) 및 제2 인버터(172)에 제공할 수 있다. 제1 트랜지스터(173)는 제2 감지 인에이블 신호(SAEB)에 기초하여 동작할 수 있다. 제2 감지 인에이블 신호(SAEB)는 제1 감지 인에이블 신호(SAE)가 반전된 신호일 수 있다. 제1 트랜지스터(173)는 PFET(p-channel field effect transistor)를 포함할 수 있다. 제2 트랜지스터(174)는 접지 전위를 제1 인버터(171) 및 제2 인버터(172)에 제공할 수 있다. 제2 트랜지스터(174)는 제1 감지 인에이블 신호(SAE)에 기초하여 동작할 수 있다. 제2 트랜지스터(174)는 NFET(n-channel field effect transistor)를 포함할



수 있다. 제1 트랜지스터(173) 및 제2 트랜지스터(174)는 제1 감지 인에이블 신호(SAE)가 활성화되었을 때 턴 온(Turn on)되고, 비활성화되었을 때 턴 오프(Turn off)되므로, 제1 트랜지스터(173) 및 제2 트랜지스터(174)에 의해 독출 회로(170')가 동작하지 않을 때 발생하는 누설 전류가 감소될 수 있다.

[0027] 제1 인버터(171) 및 제2 인버터(172)는 제1 출력 노드(ON1)와 제2 출력 노드(ON2)의 사이에 위치할 수 있다. 제1 출력 노드(ON1)는 제1 패스 트랜지스터(175)와 연결될 수 있고, 제2 출력 노드(ON2)는 제2 패스 트랜지스터(176)와 연결될 수 있다. 제1 인버터(171) 및 제2 인버터(172)는 각각 제1 패스 트랜지스터(175) 및 제2 패스 트랜지스터(176)를 통하여 제1 비트라인(SL) 및 제2 비트라인(SLb)에 연결될 수 있다. 제1 패스 트랜지스터(175) 및 제2 패스 트랜지스터(176) 각각은 두개의 트랜지스터가 결합된 구조를 포함할 수 있다. 제1 패스 트랜지스터(175) 및 제2 패스 트랜지스터(176) 각각은 NFET 및 PFET이 결합된 구성을 포함할 수 있다.

[0028] 출력 드라이버(180)는 독출 회로(170)의 출력으로부터 데이터를 출력할 수 있다. 출력 드라이버(180)는 제1 버퍼(181), 제2 버퍼(182) 및 제3 인버터(183)를 포함할 수 있다. 출력 드라이버(180)는 독출 회로(170)의 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)에 연결될 수 있다. 구체적으로, 제1 버퍼(181)는 제2 출력 노드(ON2)에 연결될 수 있고, 제2 버퍼(182)는 제1 출력 노드(ON1)에 연결될 수 있다. 제3 인버터(183)는 제1 버퍼(181)에 연결될 수 있다.

[0029] 도 3은 본 개시의 예시적 실시예에 따른 독출 회로(170') 및 출력 드라이버(180')를 나타내는 회로도이다. 도 3의 독출 회로(170') 및 출력 드라이버(180')는 도 2에 따른 독출 회로(170) 및 출력 드라이버(180)를 상세하게 나타내는 회로도일 수 있다. 이하에서, 도 3은 도 1 및 도 2를 참조하여 설명될 것이다.

[0030] 독출 회로(170')는 복수의 비트라인들(BLs) 및 복수의 비트라인 바들(BLbs) 중 컬럼 드라이버(14)에 의해 선택된 적어도 하나의 비트라인 및 적어도 하나의 비트라인 바와 연결될 수 있다. 적어도 하나의 비트라인은 제1 비트라인(SL) 및 제1 비트라인(SL)에 상보적인 제2 비트라인(SLb)을 포함할 수 있다.

[0031] 제1 비트라인(SL)은 제1 패스 트랜지스터(175)와 연결될 수 있다. 제1 패스 트랜지스터(175)는 제1 출력 노드(ON1)와 연결될 수 있다. 제1 패스 트랜지스터(175)의 양단은 제1 비트라인(SL) 및 제1 출력 노드(ON1)에 연결될 수 있다. 제2 비트라인(SLb)은 제2 패스 트랜지스터(176)와 연결될 수 있다. 제2 패스 트랜지스터(176)는 제2 출력 노드(ON2)와 연결될 수 있다. 제2 패스 트랜지스터(176)의 양단은 제2 비트라인(SLb) 및 제2 출력 노드(ON2)에 연결될 수 있다.

[0032] 독출 회로(170')는 제1 파워 노드(PN1) 및 제2 파워 노드(PN2)를 포함할 수 있다. 제1 파워 노드(PN1)는 양의 공급 전압이 인가되고, 제2 파워 노드(PN2)는 음의 공급 전압 또는 접지 전위가 인가될 수 있다. 독출 회로(170')는, 도 2의 독출 회로(170)와 같이, 제1 파워 노드(PN1)와 제2 파워 노드(PN2) 사이에서 교차 결합된(cross coupled) 인버터 쌍을 포함할 수 있다. 교차 결합된 인버터 쌍 중 제1 인버터는 제1 PFET(P1) 및 제1 NFET(N1)를 포함할 수 있고, 제2 인버터는 제2 PFET(P2) 및 제2 NFET(N2)를 포함할 수 있다. 제1 PFET(P1) 및 제1 NFET(N1)은 제1 출력 노드(ON1)에 연결될 수 있고, 제2 PFET(P2) 및 제2 NFET(N2)은 제2 출력 노드(ON2)에 연결될 수 있다. 제1 PFET(P1) 및 제1 NFET(N1)의 게이트는 제2 출력 노드(ON2)에 연결되고, 제2 PFET(P2) 및 제2 NFET(N2)의 게이트는 제1 출력 노드(ON1)에 연결될 수 있다.

[0033] 출력 드라이버(180')는 독출 회로(170')의 출력으로부터 데이터 출력을 생성할 수 있다. 출력 드라이버(180')는 독출 회로(170')의 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)와 연결될 수 있다. 출력 드라이버(180')는 제1 버퍼(B1), 제2 버퍼(B2) 및 제3 인버터(IV)를 포함할 수 있다.

[0034] 제1 버퍼(B1)는 제2 공급 전압(VDDH) 및 활성화된 제2 감지 인에이블 신호(SAEb)에 기초하여 제2 출력 노드(ON2)의 전압을 반전할 수 있다. 제1 버퍼(B1)는 제3 PFET(P3), 제4 PFET(P4) 및 제3 NFET(N3)을 포함할 수 있다. 제3 PFET(P3) 및 제3 NFET(N3)에 제2 출력 노드(ON2)의 전압이 인가될 수 있고, 제4 PFET(P4)에 활성화된 제2 감지 인에이블 신호(SAEb)가 인가될 수 있다. 제4 PFET(P4) 및 제3 NFET(N3)의 사이에 제2 버퍼 출력 노드(OUT2)가 위치할 수 있다. 제1 버퍼 출력 노드(OU1)는 제3 인버터(IV)와 전기적으로 연결될 수 있다.

[0035] 제3 인버터(IV)는 제1 공급 전압(VDDL)에 기초하여 제2 버퍼 출력 노드(OUT2)의 전압을 반전할 수 있다. 제3 인버터(IV)는 제7 PFET(IP) 및 제5 NFET(IN)을 포함할 수 있다. 제7 PFET(IP) 및 제5 NFET(IN)은 인버터 출력 노드(OUT3)에 연결될 수 있다. 제7 PFET(IP)에 제1 공급 전압(VDDL)이 인가될 수 있으므로 인버터 출력 노드(OUT3)로 출력되는 최종 데이터는 제1 공급 전압(VDDL) 레벨일 수 있다. 제3 인버터(IV)의 동작은 도 5a 내지 도 5c에서 후술하기로 한다.

[0036] 제2 버퍼(B2)는 제2 공급 전압(VDDH) 및 활성화된 제2 감지 인에이블 신호(SAEb)에 기초하여 제1 출력 노드(ON

1)의 전압을 반전할 수 있다. 제2 버퍼(B2)는 제5 PFET(P5), 제6 PFET(P6) 및 제4 NFET(N4)을 포함할 수 있다. 제5 PFET(P5) 및 제4 NFET(N4)은 제1 버퍼 출력 노드(OUT1)에 연결될 수 있다. 제5 PFET(P5) 및 제4 NFET(N4)에 제1 출력 노드(ON1)의 전압이 인가될 수 있고, 제6 PFET(P6)에 활성화된 제2 감지 인에이블 신호(SAEb)가 인가될 수 있다. 제2 버퍼(B2)를 제1 출력 노드(ON1)에 전기적으로 연결하여 배치함으로써 독출 회로(170')의 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)의 로딩 차이를 감소시킬 수 있다.

[0037] 본 명세서에서, 트랜지스터들은 임의의 구조들을 가질 수 있다. 예를 들면, 트랜지스터들은, 핀(fin) 형태로 연장되는 활성 패턴 및 게이트 전극에 의해서 형성되는 FinFET(fin field effect transistor)을 포함할 수 있다. 트랜지스터들은, 상호 평행하게 연장되는 복수의 나노시트들(nanosheets) 및 게이트 전극에 의해서 형성되는 MBCFET(multi-bridge channel FET)을 포함할 수도 있다. 트랜지스터들은, P형 트랜지스터를 위한 나노시트들 및 N형 트랜지스터를 위한 나노시트들이 유전체 벽(dielectric wall)으로 분리됨으로써 N형 트랜지스터 및 P형 트랜지스터가 보다 근접한 구조를 가지는 ForkFET를 포함할 수도 있다. 트랜지스터들은, CFET(complementary FET), NCFET(negative FET), CNT(carbon nanotube) FET 등과 같은 FET(field effect transistor)뿐만 아니라, 양극성 접합(bipolar junction) 트랜지스터, 기타 3차원 트랜지스터를 포함할 수도 있다.

[0038] 도 4는 본 개시의 예시적 실시예에 따른 독출 동작을 나타내는 타이밍도이다. 구체적으로, 도 4의 타이밍도는 도 3의 독출 회로(170') 및 출력 드라이버(180')의 신호들을 시간의 흐름에 따라 나타낸다. 본 명세서에서, 신호들은, 활성화시 하이 레벨을 가지는 액티브 하이 신호들인 것으로 가정되나, 본 개시의 예시적 실시예들이 이에 제한되지 아니하는 점은 이해될 것이다. 이하에서, 도 4는 도 1 내지 도 3을 참조하여 설명될 것이고, 도 4에 대한 설명 중 중복되는 내용은 생략될 것이다.

[0039] 도 4를 참조하면, 시간 ta1에서 클락 신호(CLK)가 활성화 될 수 있다. 클락 신호(CLK)는 도 1의 메모리 장치(10)의 외부에서 입력되는 신호일 수 있다. 따라서, 클락 신호(CLK)는 제1 공급 전압(VDDL)의 레벨을 가질 수 있다. 시간 ta1은 제1 감지 인에이블 신호(SAE)가 활성화되기 전이므로 제1 패스 트랜지스터(175) 및 제2 패스 트랜지스터(176)는 턴 오프 상태일 수 있다. 따라서, 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)에 프리차지된 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압이 인가될 수 있으므로, 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)에 각각 제1 공급 전압(VDDL)이 인가될 수 있다.

[0040] 시간 ta2에서, 제1 감지 인에이블 신호(SAE)가 활성화될 수 있다. 예를 들면, 도 1의 제1 제어 신호(CTR1)는 제1 감지 인에이블 신호(SAE)를 포함할 수 있고, 제어 로직(15)은 독출 커맨드에 기초하여 제1 감지 인에이블 신호(SAE)를 활성화할 수 있다. 도 1에서 독출 커맨드는 레벨 시프터(16)를 통해 시프팅 되므로 제1 감지 인에이블 신호(SAE)는 제2 공급 전압(VDDH)의 레벨을 가질 수 있다. 제2 감지 인에이블 신호(SAEb)는 제1 감지 인에이블 신호(SAE)가 반전된 신호일 수 있다. 제1 감지 인에이블 신호(SAE)가 활성화됨에 따라, 제1 패스 트랜지스터(175) 및 제2 패스 트랜지스터(176)가 턴 온될 수 있다. 제1 감지 인에이블 신호(SAE)가 활성화됨에 따라, 제1 트랜지스터(173) 및 제2 트랜지스터(174)가 턴 온될 수 있다. 따라서, 도 2의 제1 인버터(171) 및 제2 인버터(172)에 제2 공급 전압(VDDH) 및 접지 전위를 인가할 수 있다. 제1 인버터(171) 및 제2 인버터(172)가 동작하면, 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압에 따라 제1 출력 노드(ON1) 및 제2 출력 노드(ON2)에 하이 신호 또는 로우 신호가 인가될 수 있다. 제1 출력 노드(ON1)와 제2 출력 노드(ON2)의 전압 차이는 제2 공급 전압(VDDH) 레벨에 해당할 수 있다. 제1 출력 노드(ON1)와 제2 출력 노드(ON2)를 통해 출력되는 신호는 각각 제1 버퍼(B1) 및 제2 버퍼(B2)로 전송될 수 있다.

[0041] 시간 ta3에서, 제1 버퍼(B1) 및 제2 버퍼(B2)는 제1 출력 노드(ON1)와 제2 출력 노드(ON2)를 통해 출력된 신호를 수신한 후 반전할 수 있다. 구체적으로, 제1 버퍼(B1)는 제2 출력 노드(ON2)의 전압을 반전한 신호를 제2 버퍼 출력 노드(OUT2)를 통해 출력하고, 제2 버퍼(B2)는 제1 출력 노드(ON1)의 전압을 반전한 신호를 제1 버퍼 출력 노드(OUT1)의 전압으로 출력할 수 있다. 따라서, 제2 버퍼 출력 노드(OUT2)에 하이 신호가 인가될 수 있다. 제1 버퍼 출력 노드(OUT1) 및 제2 버퍼 출력 노드(OUT2)의 전압 차이는 제2 공급 전압(VDDH) 레벨일 수 있다.

[0042] 시간 ta4에서, 인버터 출력 노드(OUT3)에 로우 신호가 인가될 수 있다. 인버터 출력 노드(OUT3)에 인가되는 신호는 제2 버퍼 출력 노드(OUT2)로부터 출력된 신호를 반전한 신호일 수 있다. 도 3의 제3 인버터(IV)는 제1 공급 전압(VDDL)에 기초하여 동작하므로, 인버터 출력 노드(OUT3)로부터 출력되는 데이터는 제1 공급 전압(VDDL)을 가질 수 있다.

[0043] 도 5a 내지 도 5c는 도 3의 제3 인버터(IV)의 동작을 나타내는 도면이다. 도 5a는 제3 인버터(IV)에 인가되는 신호들의 레벨을 도시한 그래프이다. 도 5b는 제3 인버터(IV)에 하이 신호가 인가되었을 때의 동작을 나타낸 회로도이고, 도 5c는 제3 인버터(IV)에 로우 신호가 인가되었을 때의 동작을 나타낸 회로도이다. 제3 인버터(IV)

는 제2 버퍼 출력 노드(OUT2)의 전압을 인버터 출력 노드(OUT3)의 전압으로 변환하여 출력할 수 있다.

[0044] 도 5a 및 도 5b를 참조하면, 시간 tb1에서 제3 인버터(IV)에 하이 신호가 인가될 수 있다. 제3 인버터(IV)는 제1 버퍼(B1)로부터 출력된 신호가 인가되므로 제3 인버터(IV)에 인가되는 하이 신호는 제2 공급 전압(VDDH)을 가질 수 있다. 제3 인버터(IV)에 하이 신호가 인가(OUT2=1) 됨에 따라, 제3 인버터(IV)의 제7 PFET(IP)은 턴 오프될 수 있고, 제5 NFET(IN)은 턴 온될 수 있다. 따라서, 시간 tb2에서 인버터 출력 노드(OUT3)에 로우 신호가 인가될 수 있다. 제3 인버터(IV)는 제1 공급 전압(VDDL)에 기초하여 동작하므로, 로우 신호는 제1 공급 전압(VDDL)의 레벨을 가질 수 있다.

[0045] 도 5a 및 도 5c를 참조하면, 시간 tb3에서 제3 인버터(IV)에 로우 신호가 인가될 수 있다. 제3 인버터(IV)에 로우 신호가 인가(OUT2=0) 됨에 따라, 제3 인버터(IV)의 제7 PFET(IP)은 턴 온될 수 있고, 제5 NFET(IN)은 턴 오프될 수 있다. 따라서, 시간 tb4에서 인버터 출력 노드(OUT3)에 하이 신호가 인가될 수 있다. 제7 PFET(IP)은 제1 공급 전압(VDDL)에 기초하여 작동할 수 있다.

[0046] 본 실시예에 따르면, 시간 tb1에서 제3 인버터(IV)에 하이 신호가 인가(OUT2=1) 될 때, 제5 NFET(IN)은 제2 공급 전압(VDDH)에 의해 제어되므로 데이터를 더 빠르게 출력할 수 있다. 따라서 메모리 장치의 읽기 속도가 증가할 수 있다.

[0047] 도 6은 본 개시의 예시적 실시 예에 따른 메모리 장치의 독출 동작을 나타내는 순서도이다. 구체적으로, 도 6의 순서도는 메모리 장치에서 수행되는 독출 동작의 예시를 나타낸다. 도 6에 도시된 바와 같이, 메모리 장치의 동작 방법은 복수의 단계들(S100, S110, S120, S130)을 포함할 수 있다. 일부 실시예들에서, 도 6의 방법은 도 1의 비트라인 프리차지 회로(13), 독출 회로(17) 및 출력 드라이버(18)에 의해서 수행될 수 있고, 이하에서 도 6은 도 1 내지 도 4를 참조하여 설명될 것이다.

[0048] 도 6을 참조하면, 단계 S100에서 비트라인들이 프리차지 될 수 있다. 비트라인들은 제1 공급 전압에 기초하여 프리차지될 수 있다. 단계 S100은 도 1의 비트라인 프리차지 회로(13)에서 수행될 수 있다.

[0049] 단계 S110에서 감지 인에이블 신호의 활성화 여부가 판단될 수 있다. 예를 들면, 감지 인에이블 신호가 제어 로직(15)을 통해 활성화 되었는지 여부를 판단할 수 있다. 감지 인에이블 신호는 활성화시 하이 레벨을 갖는 제1 감지 인에이블 신호(SAE)를 의미할 수 있다.

[0050] 단계 S120에서, 활성화된 인에이블 신호에 기초하여 프리차지된 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압 차이를 시프팅(Shifting)할 수 있다. 예를 들어, 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압 차이는 제1 공급 전압(VDDL)에서 제2 공급 전압(VDDH)으로 시프팅될 수 있다. 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압 차이가 시프팅됨에 따라 메모리 장치의 독출 동작이 빠르고 안정적으로 이루어질 수 있다. 단계 S110는 도 1의 독출 회로(17)를 통하여 이루어질 수 있다.

[0051] 단계 S130에서, 시프팅된 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압 차이로부터 출력 데이터를 출력할 수 있다. 예를 들어, 출력 데이터는 제2 비트라인(SLb)의 전압 차이를 반전한 후 제1 공급 전압(VDDL) 레벨로 변환한 데이터일 수 있다. 제1 공급 전압(VDDL)은 메모리 장치 외부의 회로들이 동작하는 전압일 수 있다. 단계 S130은 도 1의 독출 드라이버(18)를 통하여 이루어질 수 있다.

[0052] 본 실시예에서, 도 1의 독출 회로(17)를 통해 제1 비트라인(SL) 및 제2 비트라인(SLb)의 전압 차이를 시프팅(Shifting)함으로써 메모리 장치의 독출 동작을 빠르고 안정적으로 수행할 수 있다. 아울러, 제1 공급 전압에 기초하여 비트라인들(BLs)의 프리차지가 수행되므로 에너지 소모를 줄일 수 있다.

[0053] 도 7은 도 1의 기입 회로(19)를 나타내는 회로도이다. 기입 회로(19)를 통하여 도 1의 셀 어레이(11)에 데이터를 기입할 수 있다. 기입 회로(19)는 제2 공급 전압(VDDH)에 기초하여 동작할 수 있고, 레벨 시프팅 회로(LSC) 및 기입 드라이버(WD)를 포함할 수 있다.

[0054] 레벨 시프팅 회로(LSC) 및 기입 드라이버(WD)는 기입 펄스(WCL)에 응답할 수 있다. 기입 펄스(WCL)는 클락 신호(CLK)에 기초하여 생성된 펄스 신호와 기입 인에이블 신호에 기초하여 생성될 수 있다. 도 1에서 제2 제어 신호(CTR2)는 기입 펄스(WCL)를 포함할 수 있다. 기입 펄스(WCL)는 제2 공급 전압(VDDH)의 레벨을 가질 수 있다. 기입 펄스(WCL)는 활성화시 하이 레벨을 가지는 액티브 하이 신호일 수 있다. 반전 기입 펄스(WCLb)는 기입 펄스(WCL)가 반전된 신호일 수 있다.

[0055] 도 1의 기입 데이터(DATA\_IN)에 대응하는 제1 기입 데이터(DIN) 및 기입 데이터(DATA\_IN)의 반전된 버전에 대응하는 제2 기입 데이터(DINb)는 레벨 시프팅 회로(LSC)에 입력될 수 있다. 제2 기입 데이터(DINb)는 제1 기입 데이터(DATA\_IN)의 반전된 버전에 대응한다.

이터(DIN)가 반전된 버전일 수 있다. 제1 기입 데이터(DIN)는 제1 기입 인버터(I1)를 통하여 레벨 시프팅 회로(LSC)에 입력될 수 있고, 제2 기입 데이터(DINb)는 제2 기입 인버터(I2)를 통하여 레벨 시프팅 회로(LSC)에 입력될 수 있다. 제1 기입 인버터(I1) 및 제2 기입 인버터(I2)는 제1 공급 전압(VDDL)에 기초하여 동작할 수 있다.

[0056] 제1 기입 인버터(I1)와 레벨 시프팅 회로(LSC) 사이에 제1 스위치 트랜지스터(SW1)가 위치할 수 있다. 제2 기입 인버터(I2)와 레벨 시프팅 회로(LSC) 사이에 제2 스위치 트랜지스터(SW2)가 위치할 수 있다. 제1 스위치 트랜지스터(SW1) 및 제2 스위치 트랜지스터(SW2)는 기입 펄스(WCL) 및 반전 기입 펄스(WCLb)에 기초하여 동작할 수 있다. 예를 들어, 기입 펄스(WCL)가 활성화되면 제1 스위치 트랜지스터(SW1) 및 제2 스위치 트랜지스터(SW2)가 턴 오프될 수 있다.

[0057] 제1 스위치 트랜지스터(SW1) 및 제2 스위치 트랜지스터(SW2)의 사이에 레벨 시프팅 회로(LSC)가 위치할 수 있다. 레벨 시프팅 회로(LSC)는 제1 스위치 트랜지스터(SW1)와 연결되는 제1 노드(N1) 및 제2 스위치 트랜지스터(SW2)와 연결되는 제1 반전 노드(N1b)를 포함할 수 있다. 기입 펄스(WCL)가 활성화되기 전에는 제1 스위치 트랜지스터(SW1) 및 제2 스위치 트랜지스터(SW2)가 턴 온되므로, 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)가 제1 기입 인버터(I1) 및 제2 기입 인버터(I2)에 의해 반전된 신호가 제1 노드(N1) 및 제1 반전 노드(N1b)에 전송될 수 있다. 기입 펄스(WCL)가 활성화된 후에는 제1 스위치 트랜지스터(SW1) 및 제2 스위치 트랜지스터(SW2)가 턴 오프되므로, 레벨 시프팅 회로(LSC)가 동작하여 제1 노드(N1) 및 제1 반전 노드(N1b)에 전송된 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호 레벨을 시프팅할 수 있다. 따라서, 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호 레벨은 제1 공급 전압(VDDL) 레벨에서 제2 공급 전압(VDDH) 레벨로 시프팅될 수 있다.

[0058] 레벨 시프팅 회로(LSC)는 제1 LS PFET(PL1), 제2 LS PFET(PL2), 제1 LS NFET(NL1) 및 제2 LS NFET(NL2)을 포함할 수 있다. 제1 LS PFET(PL1)과 제1 LS NFET(NL1)의 사이에 제1 노드(N1)가 위치할 수 있고, 제2 LS PFET(PL2)와 제2 LS NFET(NL2)의 사이에 제1 반전 노드(N1b)가 위치할 수 있다. 제1 LS PFET(PL1) 및 제1 LS NFET(NL1) 각각의 게이트는 제1 반전 노드(N1b)에 연결될 수 있고, 제2 LS PFET(PL2) 및 제2 LS NFET(NL2) 각각의 게이트는 제1 노드(N1)에 연결될 수 있다. 따라서, 제1 LS PFET(PL1) 및 제1 LS NFET(NL1)를 포함하는 인버터는 제2 LS PFET(PL2) 및 제2 LS NFET(NL2)를 포함하는 인버터와 교차 결합될 수 있다. 제1 LS PFET(PL1) 및 제2 LS PFET(PL2)은 각각 제2 공급 전압(VDDH)이 인가되는 제2 노드(N2)와 연결될 수 있고, 제1 LS NFET(NL1) 및 제2 LS NFET(NL2)은 접지 전위가 인가되는 제3 노드(N3)와 연결될 수 있다.

[0059] 제2 노드(N2)는 제1 LS 트랜지스터(LH)와 전기적으로 연결될 수 있다. 제1 LS 트랜지스터(LH)는 반전 기입 펄스(WCLb)에 기초하여 동작할 수 있다. 제1 LS 트랜지스터(LH)는 양의 공급 전압을 제2 노드(N2)에 제공할 수 있다. 양의 공급 전압은 제2 공급 전압(VDDH)을 포함할 수 있다. 제1 LS 트랜지스터(LH)는 기입 펄스(WCL)이 활성화될 때만 턴 온되므로 레벨 시프팅 회로(LSC)가 동작하지 않을 때 발생하는 누설 전류를 차단할 수 있다. 제3 노드(N3)는 제2 LS 트랜지스터(LD)와 전기적으로 연결될 수 있다. 제2 LS 트랜지스터(LD)는 기입 펄스(WCL)에 기초하여 동작할 수 있다. 제2 트랜지스터(174)는 음의 공급 전압 또는 접지 전위를 제3 노드(N3)에 제공할 수 있다.

[0060] 레벨 시프팅 회로(LSC)는 제1 공급 전압(VDDL) 또는 접지 전위를 갖는 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호를 제2 공급 전압(VDDH)의 레벨 또는 접지 전위의 레벨을 갖는 신호로 시프팅할 수 있다. 즉, 제1 공급 전압(VDDL)의 레벨 또는 접지 전압을 갖는 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 전압차를 제2 공급 전압(VDDH)의 레벨로 전압차로 시프팅할 수 있다. 제2 공급 전압(VDDH)의 전압차는 기입 펄스(WCL)가 활성화된 이후 제1 노드(N1) 및 제1 반전 노드(N1b)를 통해 출력되는 신호들의 레벨 차이를 의미할 수 있다. 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호를 '제1 차동 신호'라고 지칭할 수 있고, 기입 펄스(WCL)가 활성화된 이후 제1 노드(N1) 및 제1 반전 노드(N1b)를 통해 출력되는 신호들을 '제2 차동 신호'라고 지칭할 수 있다.

[0061] 레벨 시프팅 회로(LSC)로부터 생성된 제2 차동 신호는 기입 드라이버(WD)로 전달될 수 있다. 기입 드라이버(WD)는 복수의 비트라인들(BLs) 및 복수의 비트라인 바들(BLbs) 중 컬럼 드라이버(14)에 의해 선택된 적어도 하나의 비트라인 및 적어도 하나의 비트라인 바와 연결될 수 있다. 적어도 하나의 비트라인은 제1 비트라인(SL)를 포함할 수 있고, 적어도 하나의 비트라인 바는 제2 비트라인(SLb)를 포함할 수 있다. 제2 비트라인(SLb)은 제1 비트라인(SL)과 상보적(complementary)일 수 있다.

[0062] 기입 드라이버(WD)는 제1 WD PFAT(PW1), 제1 WD NFET(NW1), 제2 WD PFAT(PW2) 및 제2 WD NFET(NW2)을 포함할



수 있다. 제1 WD PFAT(PW1), 제1 WD NFET(NW1), 제2 WD PFAT(PW2) 및 제2 WD NFAT(NW2)은 반전 기입 펄스(WCLb)에 기초하여 동작할 수 있다. 예를 들어, 반전 기입 펄스(WCLb)는 기입 펄스(WCL)가 반전된 신호이므로, 기입 펄스(WCL)가 활성화되면 제1 WD PFAT(PW1) 및 제2 WD PFAT(PW2)는 턴 온되고, 제1 WD NFET(NW1) 및 제2 WD NFAT(NW2)은 턴 오프될 수 있다.

[0063] 기입 펄스(WCL)가 활성화되면 제1 WD PFAT(PW1) 및 제2 WD PFAT(PW2)가 턴 온되므로, 기입 펄스(WCL)가 활성화된 이후 제2 차동 신호들이 제4 노드(N4) 및 제4 반전 노드(N4b)에 전송될 수 있다. 따라서 제4 노드(N4) 및 제4 반전 노드(N4b)에 제2 공급 전압(VDDH) 또는 접지 전압이 인가될 수 있다. 제4 노드(N4)는 제3 WD NFET(NW3)와 연결될 수 있고, 제4 반전 노드(N4b)는 제4 WD NFET(NW4)에 연결될 수 있다. 아울러, 제3 WD NFET(NW3)의 게이트는 제4 반전 노드(N4b)에 연결될 수 있고, 제4 WD NFET(NW4)의 게이트는 제4 노드(N4)에 연결될 수 있다.

[0064] 기입 드라이버(WD)는 제3 WD PFET(PW3) 및 제4 WD PFET(PW4)을 포함할 수 있다. 제3 WD PFET(PW3)의 게이트는 제2 비트라인(SLb)에 연결될 수 있고, 제4 WD PFET(PW4)의 게이트는 제1 비트라인(SL)에 연결될 수 있다.

[0065] 기입 드라이버(WD)는 제5 WD NFET(NW5) 및 제6 WD NFET(NW6)을 포함할 수 있다. 제5 WD NFET(NW5)의 게이트는 제4 노드(N4)에 연결될 수 있고, 전류 단자는 제1 비트라인(SL) 및 접지에 연결될 수 있다. 제6 WD NFET(NW6)의 게이트는 제4 반전 노드(N4b)에 연결될 수 있고, 전류 단자는 제 비트라인(SLb) 및 접지에 연결될 수 있다. 제5 WD NFET(NW5) 및 제6 WD NFET(NW6)을 이용하여 제1 비트라인(SL) 및 제2 비트라인(SLb)에 신호를 제공할 수 있다. 제5 WD NFET(NW5) 및 제6 WD NFET(NW6)은 제2 차동 신호들에 기초하여 제1 공급 전압(VDDL) 또는 접지 전위를 갖는 신호를 생성한 후, 제1 비트라인(SL) 및 제2 비트라인(SLb)에 제공할 수 있다. 예를 들어, 제4 노드(N4)에 하이 신호가 인가되고, 제4 반전 노드(N4b)에 로우 신호가 인가되면, 제5 WD NFET(NW5)은 턴 온되고 제6 WD NFET(NW6)은 턴 오프되므로, 제1 비트라인(SL)에 연결된 제4 WD PFET(PW4)은 턴 오프되고, 제2 비트라인(SLb)에 연결된 제3 WD PFET(PW3)은 턴 온되어 제1 비트라인(SL)에 제1 공급 전압(VDDL)이 인가될 수 있다. 제2 차동 신호들에 기초하여 생성된 제1 공급 전압(VDDL) 또는 접지 전위를 갖는 신호들을 '제3 차동 신호'라고 지칭할 수 있다. 제3 차동 신호는 제1 비트라인(SL) 및 제2 비트라인(SLb)에 제공될 수 있다.

[0066] 본 실시예에서, 제5 WD NFET(NW5) 또는 제6 WD NFET(NW6)의 게이트에 제2 공급 전압(VDDH)이 인가되므로 기입 동작이 정확하게 수행될 수 있고, 기입 동작 속도가 빨라질 수 있다.

[0067] 도 8은 본 개시의 예시적 실시예에 따른 기입 동작을 나타내는 타이밍도이다. 구체적으로, 도 8의 타이밍도는 도 7의 기입 회로의 신호들을 시간의 흐름에 따라 나타낸다. 본 명세서에서, 신호들은 활성화시 하이 레벨을 가지는 액티브 하이 신호들인 것으로 가정되나, 본 개시의 예시적 실시예들이 이에 제한되지 아니하는 점은 이해될 것이다. 이하에서, 도 8은 도 1 및 도 7을 참조하여 설명될 것이고, 도 8에 대한 설명 중 중복되는 내용은 생략될 것이다.

[0068] 도 8을 참조하면, 시간  $tw_1$ 에서 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)가 입력될 수 있다. 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)는 제1 기입 인버터(I1) 및 제2 기입 인버터(I2)에 의해 반전된 신호로 입력될 수 있다. 시간  $tw_1$ 에서 기입 펄스(WCL)는 활성화되지 않으므로 제1 노드(N1) 및 제1 반전 노드(N1b)에 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호가 전달될 수 있다. 제1 기입 데이터(DIN) 및 제2 기입 데이터(DINb)의 반전 신호의 레벨 차이는 제1 공급 전압(VDDL)의 레벨일 수 있다.

[0069] 시간  $tw_2$ 에서 기입 펄스(WCL)가 활성화될 수 있다. 예를 들면, 도 1의 제2 제어 신호(CTR2)는 기입 펄스(WCL)를 포함할 수 있고, 제어 로직(15)은 기입 커맨드에 기초하여 기입 펄스(WCL)를 활성화할 수 있다. 기입 펄스(WCL)가 활성화됨에 따라, 레벨 시프팅 회로가 제2 공급 전압(VDDH)에 기초하여 동작할 수 있다. 따라서, 제1 노드(N1) 및 제1 반전 노드(N1b)에 제2 공급 전압(VDDH)의 레벨 또는 접지 전압을 갖는 신호가 인가될 수 있다. 즉, 제1 공급 전압(VDDL)의 레벨 또는 접지 전압을 갖는 신호들의 레벨 차이를 제2 공급 전압(VDDH)의 레벨 또는 접지 전압을 갖는 신호들의 레벨 차이로 시프팅 할 수 있다.

[0070] 시간  $tw_3$ 에서 기입 펄스(WCL)에 응답하여 제4 노드(N4) 및 제4 반전 노드(N4b)에 제2 공급 전압(VDDH)의 레벨 또는 접지 전위를 갖는 신호가 전송될 수 있다. 따라서, 제1 공급 전압(VDDL)의 레벨 또는 접지 전위를 갖는 신호들이 생성되어 제1 비트라인(SL) 및 제2 비트라인(SLb)에 제공될 수 있다.

[0071] 본 실시예에서, 제1 비트라인(SL) 및 제2 비트라인(SLb)에 제1 공급 전압(VDDL)의 레벨 또는 접지 전압을 갖는 신호가 제공되므로 기입 동작시 필요한 전력 소모를 줄일 수 있고, 제1 비트라인(SL) 및 제2 비트라인(SLb)에 제1 공급 전압(VDDL)의 레벨 또는 접지 전압을 갖는 신호를 제공하기 위한 동작은 제2 공급 전압(VDDH)에 기초하여 이루어지므로 기입 동작을 빠르게 수행할 수 있다.

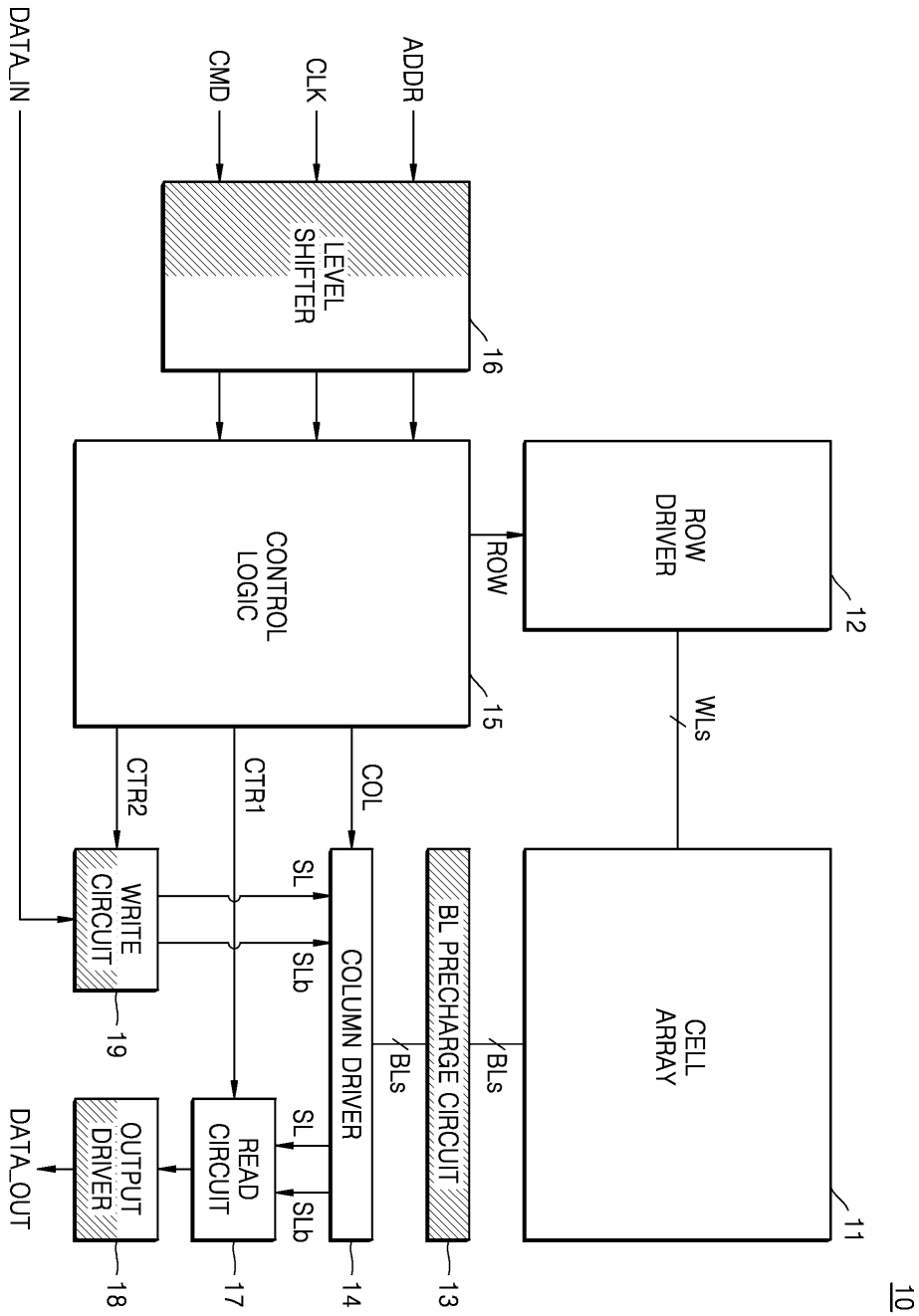
- [0072] 도 9는 본 개시의 예시적 실시 예에 따른 메모리 장치의 기입 동작을 나타내는 순서도이다. 구체적으로, 도 9의 순서도는 메모리 장치에서 수행되는 기입 동작의 예시를 나타낸다. 도 9에 도시된 바와 같이, 메모리 장치의 동작 방법은 복수의 단계들(S200, S210, S220, S230, S240)을 포함할 수 있다. 일부 실시예들에서, 도 9의 방법은 도 1의 기입 회로(19)에 의해서 수행될 수 있고, 이하에서 도 9는 도 1 및 도 7을 참조하여 설명될 것이다.
- [0073] 도 9를 참조하면, 단계 S200에서 기입 데이터(DATA\_IN)를 수신할 수 있다. 기입 데이터(DATA\_IN)에 대응되는 제1 기입 데이터(DIN) 및 기입 데이터(DATA\_IN)의 반전된 버전에 대응되는 제2 기입 데이터(DINb)가 입력될 수 있다. '제1 차동 신호'는 제1 기입 데이터(DIN)와 제2 기입 데이터(DINb) 각각이 반전된 신호를 지칭할 수 있다. 따라서, 제1 차동 신호는 제1 공급 전압(VDDL)의 레벨을 갖는 신호와 접지 전위를 갖는 신호를 가질 수 있다.
- [0074] 단계 S210에서 기입 펄스(WCL)가 활성화될 수 있다. 예를 들면, 기입 펄스(WCL)는 제어 로직(15)을 통해 활성화될 수 있다. 기입 펄스(WCL)는 활성화시 하이 레벨을 갖는 신호를 의미할 수 있다.
- [0075] 단계 S220에서 활성화된 기입 펄스(WCL)에 기초하여 제1 공급 전압(VDDL)의 레벨 또는 접지 전위를 갖는 제1 차동 신호를 제2 공급 전압(VDDH)의 레벨 또는 접지 전위를 갖는 제2 차동 신호로 시프팅(Shifting)할 수 있다. 단계 S220은 도 7의 레벨 시프팅 회로(LSC)를 통하여 이루어질 수 있다.
- [0076] 단계 S230에서 시프팅된 제2 차동 신호로부터 제1 공급 전압(VDDL)의 레벨 또는 접지 전위를 갖는 제3 차동 신호를 생성할 수 있다. 단계 S230은 도 7의 기입 드라이버(WD)를 통하여 이루어질 수 있다.
- [0077] 단계 S240에서 제3 차동 신호를 컬럼 드라이버(14)에 의해 선택된 적어도 하나의 비트라인에 제공할 수 있다. 본 실시예에서, 도 1의 기입 회로(19)를 통해 기입 데이터의 반전 신호를 시프팅(Shifting)함으로써 메모리 장치의 기입 동작을 빠르게 수행할 수 있다. 아울러, 기입 동작시 에너지 소모가 적은 메모리 장치를 제공할 수 있다.
- [0078] 도 10은 본 개시의 예시적 실시예에 따른 시스템-온-칩(100)을 나타내는 블록도이다. 시스템-온-칩(System on Chip; SoC)(100)은 컴퓨팅 시스템이나 다른 전자 시스템의 부품들을 집적한 집적 회로를 지칭할 수 있다. 예를 들면, 시스템-온-칩(100)의 예시로서 어플리케이션 프로세서(application processor; AP)는 프로세서 및 다른 기능들을 위한 부품들을 포함할 수 있다. 도 10에 도시된 바와 같이, 시스템-온-칩(100)은 코어(101), DSP(Digital Signal Processor)(102), GPU(Graphic Processing Unit)(103), 내장 메모리(104), 통신 인터페이스(105) 및 메모리 인터페이스(106)를 포함할 수 있다. 시스템-온-칩(100)의 구성요소들은 버스(107)를 통해서 상호 통신할 수 있다. 시스템-온-칩(100)의 구성요소들은 제1 공급 전압에 기초하여 동작할 수 있다.
- [0079] 코어(101)는 명령어들을 처리할 수 있고, 시스템-온-칩(100)에 포함된 구성요소들의 동작을 제어할 수 있다. 예를 들면, 코어(101)는 일련의 명령어들을 처리함으로써, 운영체제를 구동할 수 있고, 운영체제 상의 어플리케이션들을 실행할 수 있다. DSP(102)는 디지털 신호, 예컨대 통신 인터페이스(105)로부터 제공되는 디지털 신호를 처리함으로써 유용한 데이터를 생성할 수 있다. GPU(103)는 내장 메모리(104) 또는 메모리 인터페이스(106)로부터 제공되는 이미지 데이터로부터 디스플레이 장치를 통해서 출력되는 영상을 위한 데이터를 생성할 수도 있고, 이미지 데이터를 인코딩할 수도 있다. 일부 실시예들에서, 도면들을 참조하여 전송된 메모리 장치는 캐시(cache) 메모리 및/또는 버퍼로서 코어(101), DSP(102) 및/또는 GPU(103)에 포함될 수 있다. 이에 따라, 메모리 장치의 높은 신뢰도 및 효율성에 기인하여, 코어(101), DSP(102) 및/또는 GPU(103) 역시 높은 신뢰도 및 효율성을 가질 수 있다.
- [0080] 내장 메모리(104)는 코어(101), DSP(102) 및 GPU(103)가 동작하는데 필요한 데이터를 저장할 수 있다. 일부 실시예들에서, 내장 메모리(104)는 도면들을 참조하여 전송된 메모리 장치를 포함할 수 있다. 이에 따라, 내장 메모리(104)는 신뢰성 있는 기입 동작을 제공할 수 있고, 감소된 면적 및 전력 소비를 가질 수 있고, 결과적으로, 시스템-온-칩(100)의 동작 신뢰도 및 효율성이 향상될 수 있다.
- [0081] 통신 인터페이스(105)는 통신 네트워크 또는 일대일 통신을 위한 인터페이스를 제공할 수 있다. 메모리 인터페이스(106)는 시스템-온-칩(100)의 외부 메모리, 예컨대 DRAM(Dynamic Random Access Memory), 플래시 메모리 등에 대한 인터페이스를 제공할 수 있다.
- [0082] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

## 부호의 설명

- [0083]
- |                  |             |
|------------------|-------------|
| 11: 셀 어레이        | 12: 로우 드라이버 |
| 13: 비트라인 프리차지 회로 | 14: 컬럼 드라이버 |
| 15: 제어 로직        | 16: 레벨 시프터  |
| 17: 독출 회로        | 18: 출력 드라이버 |
| 19: 기입 회로        |             |

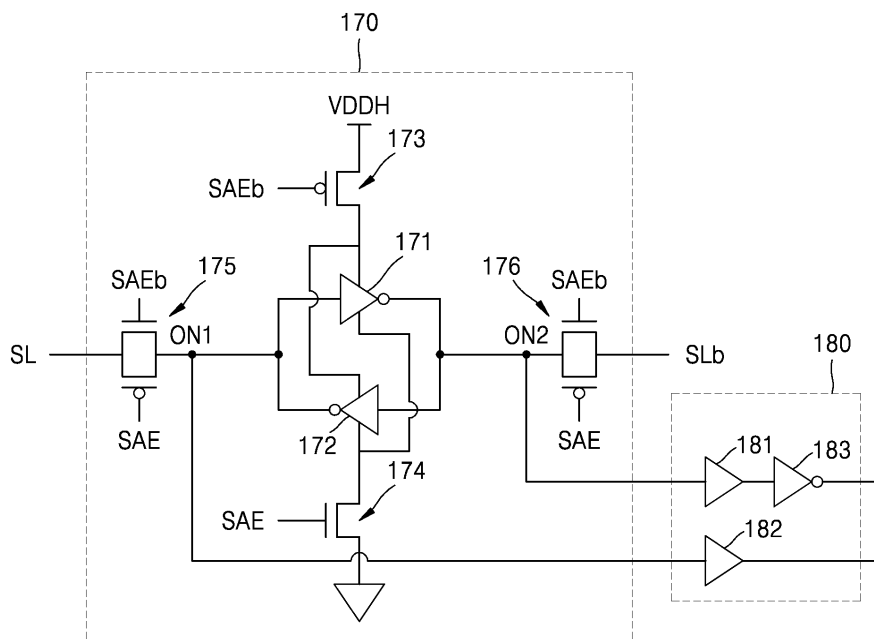
## 도면

### 도면1

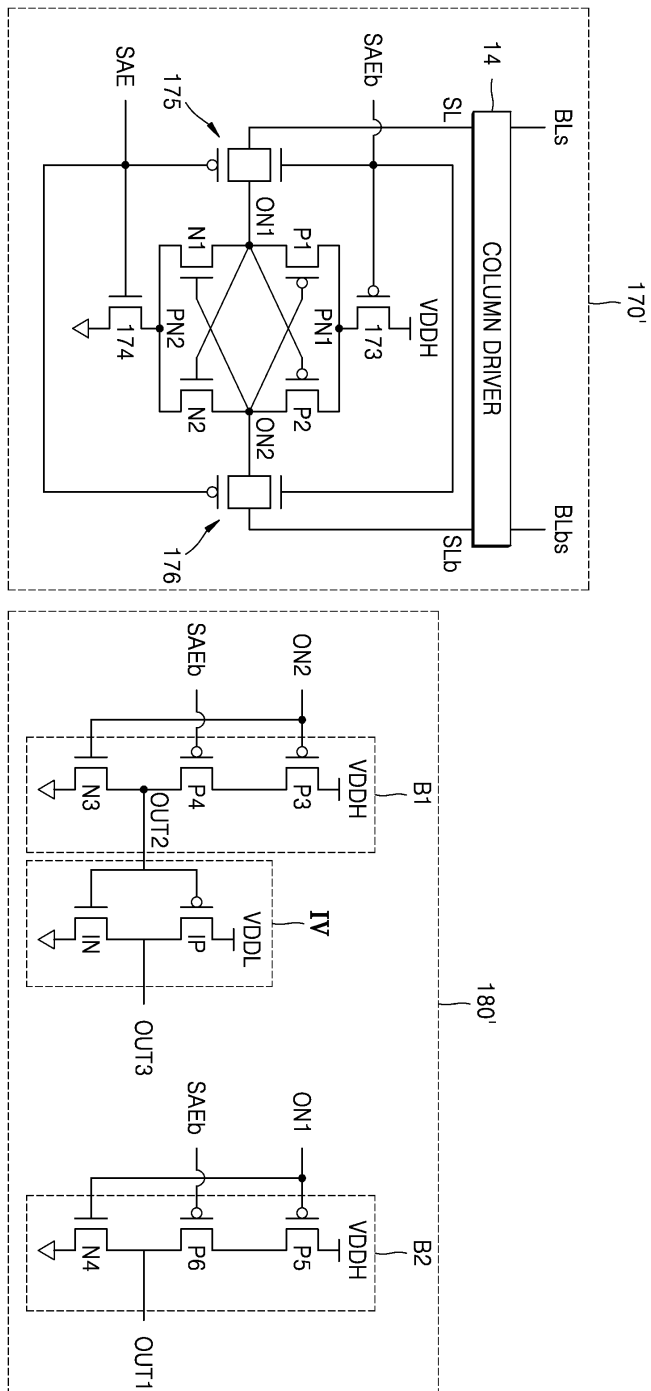




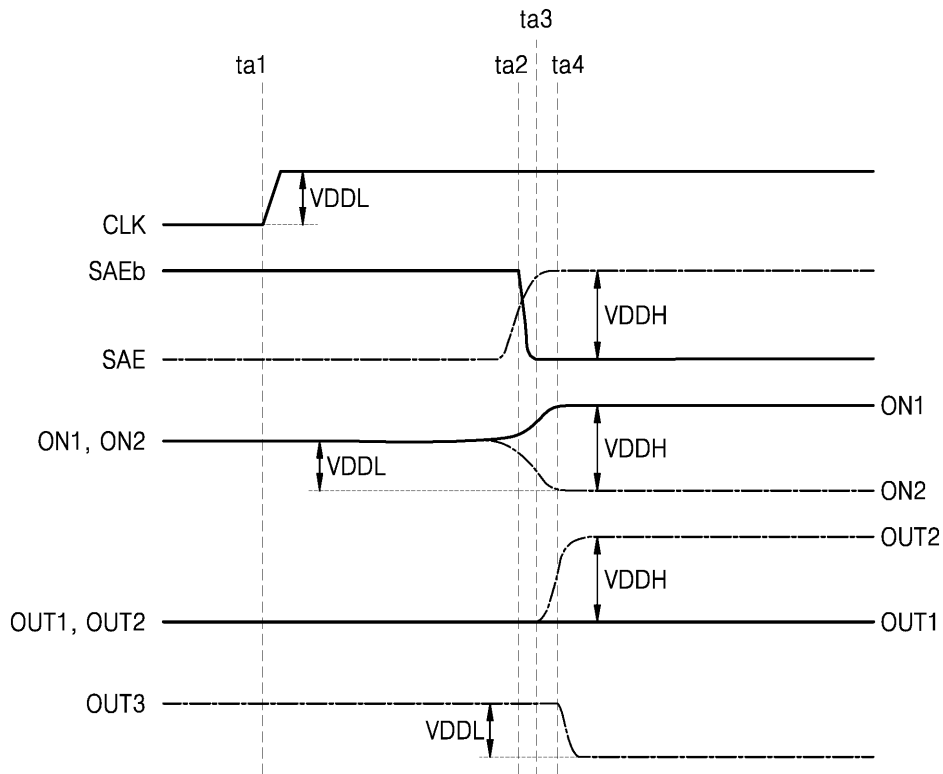
도면2



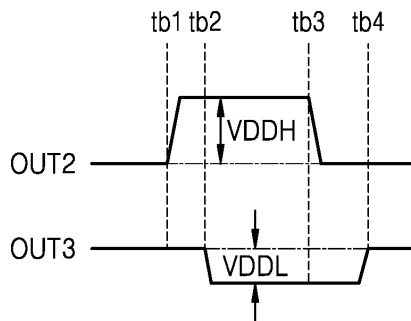
도면3



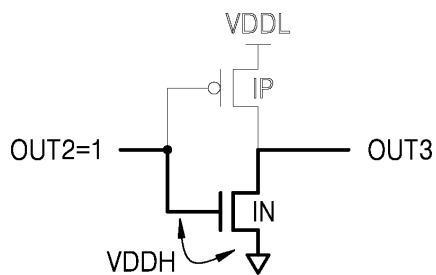
도면4



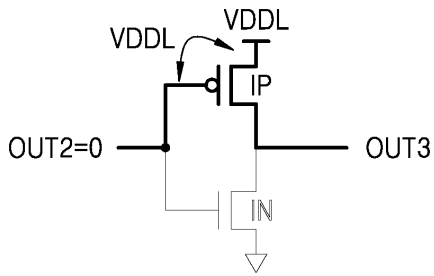
도면5a



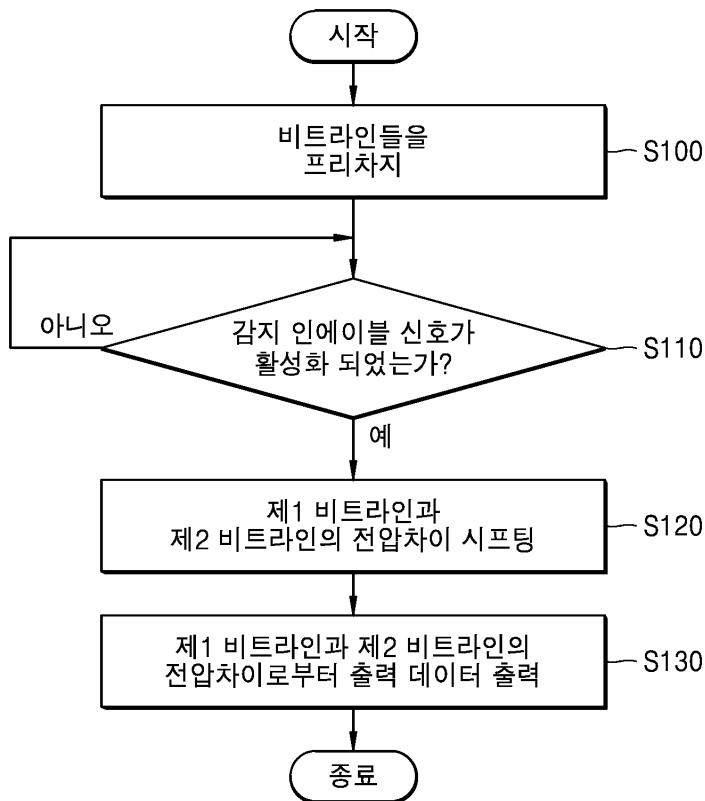
도면5b



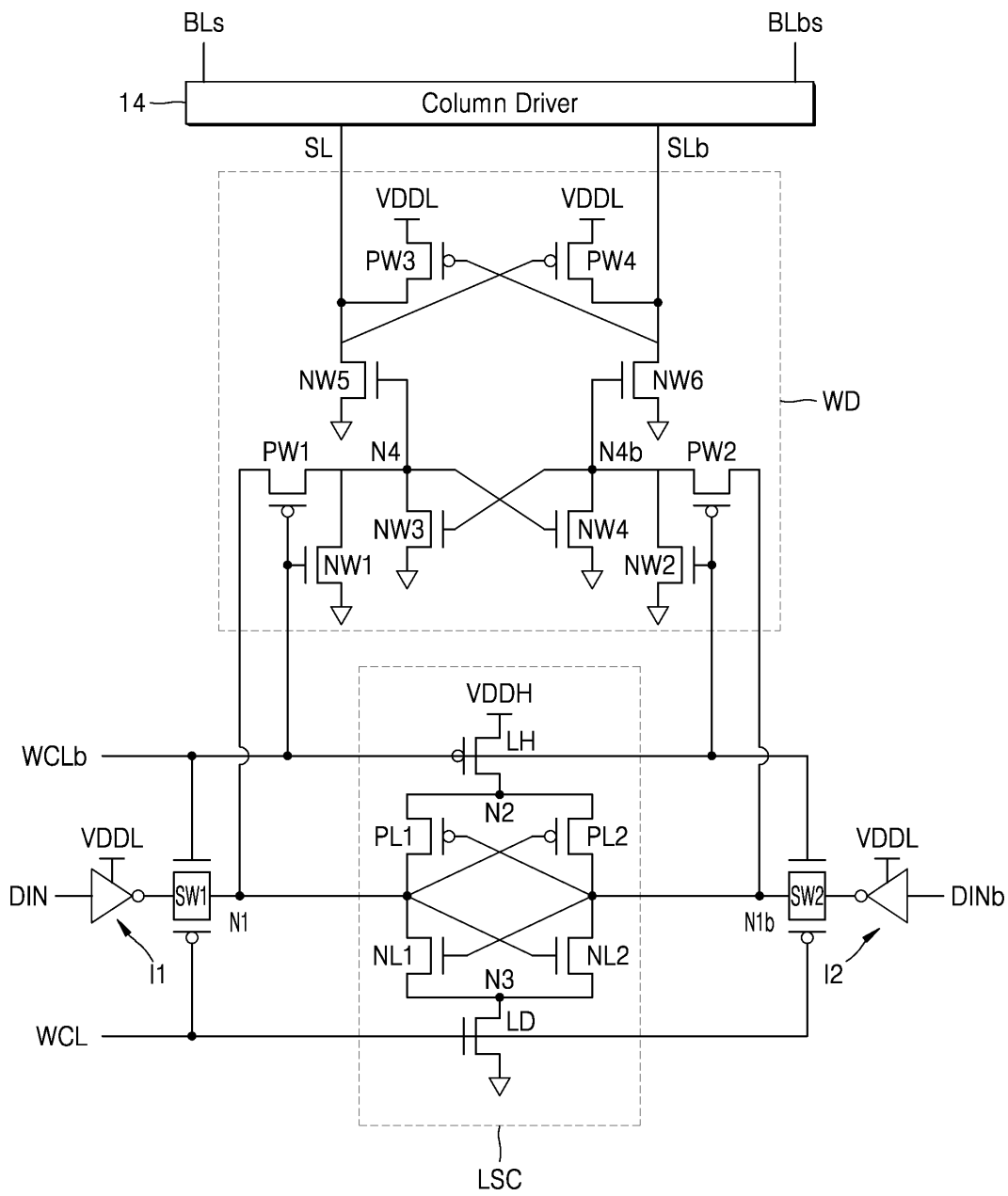
도면5c



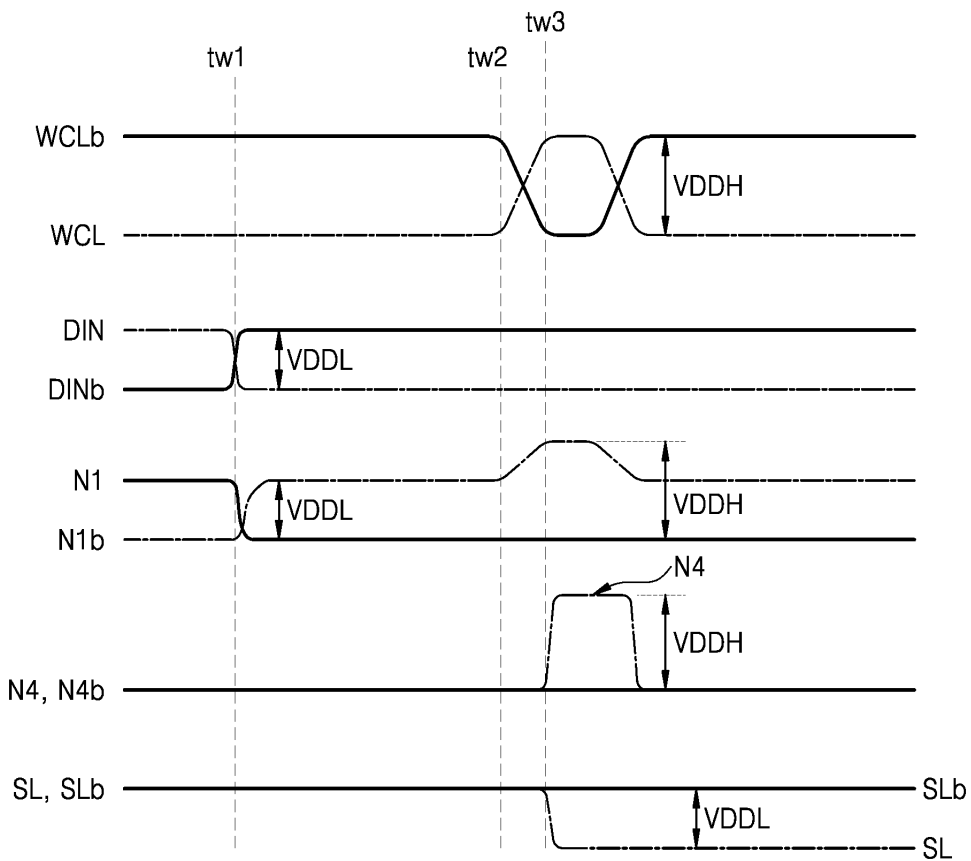
도면6



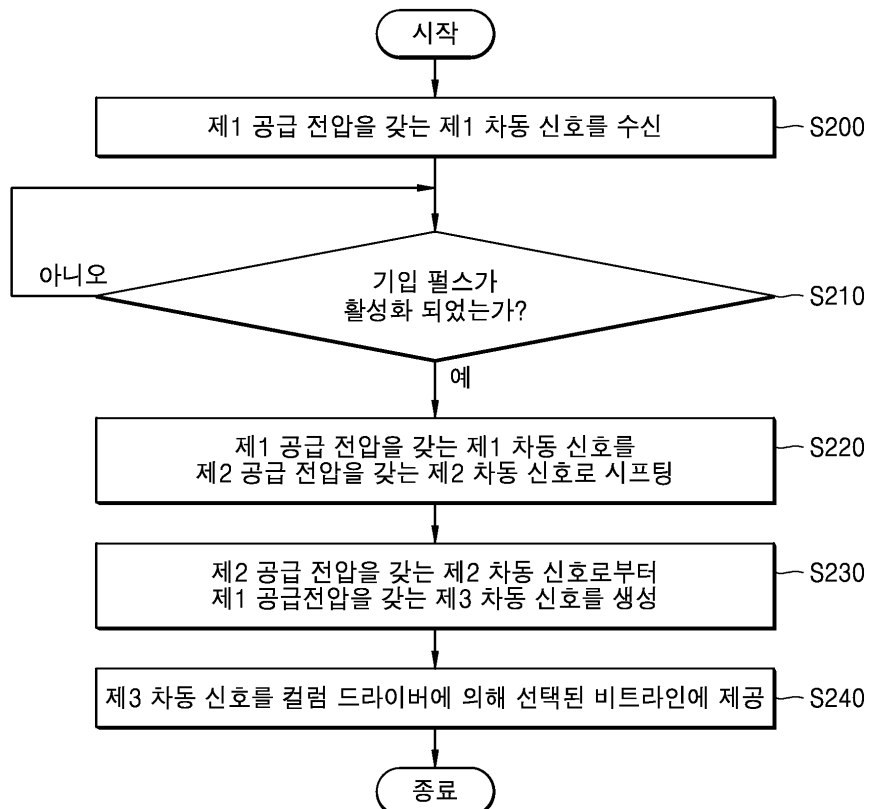
도면7



도면8



도면9



도면10

