



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0017271  
(43) 공개일자 2022년02월11일

(51) 국제특허분류(Int. Cl.)  
H03H 11/26 (2006.01) H01Q 9/02 (2018.01)  
H03K 5/135 (2006.01)  
(52) CPC특허분류  
H03H 11/265 (2013.01)  
H01Q 9/02 (2018.05)  
(21) 출원번호 10-2020-0097556  
(22) 출원일자 2020년08월04일  
심사청구일자 2020년08월04일

(71) 출원인  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
민병욱  
서울특별시 서대문구 연세로 50, B공학관 612 (신촌동, 연세대학교)  
박규태  
서울특별시 강서구 가로공원로 183-46 강서빌라 A동 302호  
(74) 대리인  
오위환, 나성곤, 정기택

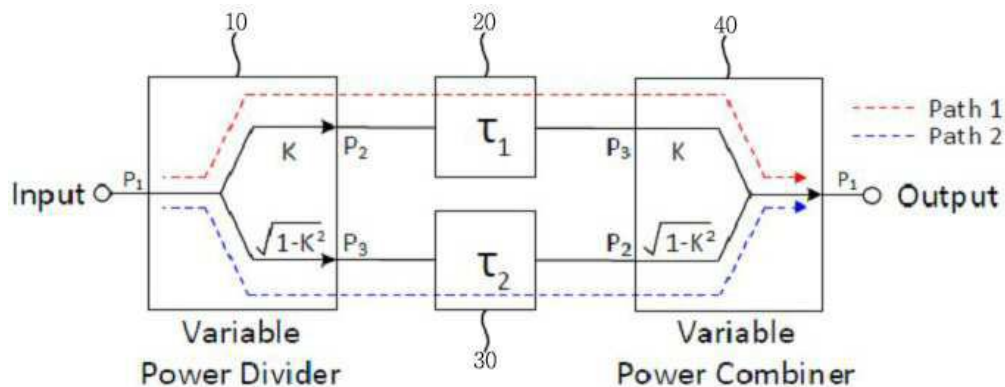
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로

(57) 요약

본 발명은 VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경하여 가변 시간 지연 제어를 할 수 있도록 한 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로에 관한 것으로, 입사 신호를 서로 다른 크기의 전력을 갖는 두 신호로 분리하는 VPD(Variable power divider); 분배된 제1,2 경로의 신호를 받아 서로 다른 지연 시간(time delay)을 갖고 지연하는 T1 지연 셀 및 T2 지연 셀; T1 지연 셀 및 T2 지연 셀을 거친 제1,2 경로의 신호를 동위상으로 합쳐 삽입 손실을 억제하는 VPC(Variable power combiner);를 포함하고, 지연 시간 합 방식을 이용하여 모든 시간 지연 설정(time delay setting)에서 일정한 입력 및 출력 임피던스 정합(impedance matching) 및 출력 위상이 유지되고, 삽입 손실이 0이 되도록 하는 것이다.

대표도 - 도3a



(52) CPC특허분류

**H03K 5/135** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116776
과제번호	2020-0-00218-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	방송통신산업기술개발(R&D)
연구과제명	레티클 스티칭을 통한 확장성을 갖춘 W 대역 웨이퍼 스케일 위상 배열 안테나 송수
신기 개발	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.04.01 ~ 2020.12.31

---

## 명세서

### 청구범위

#### 청구항 1

입사 신호를 서로 다른 크기의 전력을 갖는 두 신호로 분리하는 VPD(Variable power divider);

분배된 제1,2 경로(Path 1)(Path 2)의 신호를 받아 서로 다른 지연 시간(time delay)을 갖고 지연하는 T1 지연 셀 및 T2 지연 셀;

T1 지연 셀 및 T2 지연 셀을 거친 제1,2 경로의 신호를 동위상으로 합쳐 삽입 손실을 억제하는 VPC(Variable power combiner);를 포함하고,

지연 시간 합 방식을 이용하여 모든 시간 지연 설정(time delay setting)에서 일정한 입력 및 출력 임피던스 정합(impedance matching)이 유지되도록 하는 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 2

제 1 항에 있어서, 상기 VPD(Variable power divider)와 VPC(Variable power combiner)의 출력 전력 비율 K를 조절하여 제 1,2 경로(Path 1)(Path 2)를 통하여 T1 지연 셀 및 T2 지연 셀에 분배되는 신호의 크기를 변경하여,

가변 시간 지연(Variable time delay)을 달성하기 위하여 제 1,2 경로(Path 1)(Path 2)가 갖는 시간 지연 뿐만 아니라, 그 사이에 존재하는 모든 time delay를 만들어 연속적인 시간 변화를 제공할 수 있도록 하는 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 3

제 2 항에 있어서, K(Power dividing ratio)를 조절해서 Delay를 변하게 하고, 1,2 경로(Path 1)(Path 2)의 신호를 동위상으로 합쳐 삽입손실(Insertion loss)을 0으로 하는 것을 특징으로 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 4

제 2 항에 있어서, Time delay는 주파수에 대한 위상의 변화율에 -1을 곱한 값으로 정의되고,

T1 지연 셀을 포함하는 제 1 경로(Path 1)는 T2 지연 셀을 포함하는 제 2 경로(Path 2)에 비해 더 큰 time delay를 갖는 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 5

제 4 항에 있어서, K=1 일 때, 모든 입사 신호는 제 1 경로(Path 1)를 통과하므로 Time delay 회로는 최대 time delay를 갖고,

반대의 경우(K=0) 모든 입사 신호는 제 2 경로(Path 2)를 통과하므로 time delay 회로는 최소 Time delay를 갖는 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 6

제 1 항에 있어서, 출력신호의 위상이 Time delay setting과 관계없이 항상 일정한 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

#### 청구항 7

제 1 항에 있어서, 제 1,2 경로(Path 1)(Path 2)를 통과하는 두 신호가 동위상으로 합쳐지기 위해 제 1 경로(Path 1)와 제 2 경로(Path 2)의 위상은 360도의 정수배만큼 차이ना야 하고,

두 신호는 중심 주파수( $f_1$ )에서만 동위상이기 때문에 Band-pass 특성을 갖는 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

## 청구항 8

제 7 항에 있어서, 제 1,2 경로(Path 1)(Path 2)의 time delay 차이가 클수록 주파수에 따른 위상차가 커지기 때문에 frequency bandwidth가 감소하고,

Delay variation range와 frequency bandwidth는 서로 trade-off 관계인 것을 특징으로 하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 가변 시간 지연 회로에 관한 것으로, 구체적으로 VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경하여 가변 시간 지연 제어를 할 수 있도록 한 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로에 관한 것이다.

### 배경 기술

- [0002] 시간 지연 회로의 일종인 TTD 회로(True-Time Delay circuit)는 광대역 위상 배열 회로에 필수적인 회로이다.
- [0003] 이와 같은 TTD 회로는 일부 주파수 대역폭 내에서 가변 시간 지연을 제공하고 광대역 위상 배열, 펄스 기반 레이다 및 이미징 및 추적 센서에 널리 사용되는 회로 블록으로, 전이중 시스템에서 RF 캔슬러를 위해 활용되고 있다.
- [0004] 자체 간섭의 시간 지연은 환경에 따라 다르므로 TTD는 큰 변동 범위와 미세 조정 해상도를 가져야한다.
- [0005] 일반적인 종래 기술의 시간 지연 회로는 다수의 가변 스위치를 이용하여 지연 전송선(delay line)의 경로 및 길이를 변경함으로써 시간 지연을 제어하는 방식을 사용한다.
- [0006] 하지만, 이러한 방식의 경우 스위치 및 지연 전송선의 손실분으로 인한 전체적인 신호 손실이 매우 크다는 단점이 있다.
- [0007] 도 1 및 도 2는 종래 기술의 시간 지연 회로의 일 예를 나타낸 구성도이다.
- [0008] 도 1은 varactor-loaded transmission line(TL) 구조를 나타낸 것이고, 도 2는 switched delay line 구조를 나타낸 것이다.
- [0009] 도 1의 Varactor-loaded 구조는 높은 characteristic impedance line에 varactor diode를 shunt로 연결한 뒤, 이 diode의 capacitance를 변화시킴으로써 variable time delay를 달성한다. 이 구조는 Time delay를 연속적으로 변화시킬 수 있지만, diode의 capacitance가 변하며 time delay 뿐만 아니라 characteristic impedance도 변화시키므로 Time delay variation range가 impedance matching으로 인해 제한된다.
- [0010] 이러한 단점을 해결하여 큰 delay variation range를 만들기 위해선 여러 Unit cell이 필요하므로 전체 회로의 크기가 커지는 단점이 있다.
- [0011] 도 2의 Switched delay line 구조의 경우 Switch를 사용하기 때문에 모든 delay setting에서 impedance matching이 유지되는 장점이 있지만 불연속적인 time delay(Delay step)를 갖는다. Delay step을 줄이기 위해 많은 switch를 사용하는 경우 switch로 인해 insertion loss가 증가하는 단점이 있다.
- [0012] 또한, 종래의 기술들은 Lows-pass 특성을 기반으로 설계된 TTD이기 때문에 Time delay를 가변 시키면 그에 따라 출력 신호의 위상이 변한다. 따라서, 해당 TTD들로 구성된 시스템을 제어하는데 어려움을 겪는다.
- [0013] 따라서, 회로 크기 증가 및 삽입 손실의 증가를 억제하고, 모든 지연 설정에 대해 일정한 입력 및 출력 임피던스 정합이 이루어질 수 있도록 하는 새로운 TTD 설계에 관한 기술 개발이 요구되고 있다.

## 선행기술문헌

### 특허문헌

- [0014] (특허문헌 0001) 대한민국 공개특허 제10-2018-0060612호  
(특허문헌 0002) 대한민국 공개특허 제10-2018-0062702호

## 발명의 내용

### 해결하려는 과제

- [0015] 본 발명은 종래 기술의 가변 시간 지연 회로의 문제점을 해결하기 위한 것으로, VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경하여 가변 시간 지연 제어를 할 수 있도록 한 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로를 제공하는데 그 목적이 있다.
- [0016] 본 발명은 지연 시간 합 방식을 이용하여 모든 time delay setting에서 임피던스 정합(impedance matching)이 유지되도록 하고, 연속적인 time delay를 갖고 삽입 손실이 0이 되는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로를 제공하는데 그 목적이 있다.
- [0017] 본 발명은 VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 제 1,2 경로가 갖는 시간 지연(time delay) 뿐만 아니라, 그 사이에 존재하는 모든 시간 지연을 만들 수 있도록 한 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로를 제공하는데 그 목적이 있다.
- [0018] 본 발명은 큰 delay variation을 만들기 위해 2개의 time delay line 만 필요하므로 전체 회로의 크기가 Varactor-loaded TL에 비해 작고, Varactor-loaded TL 구조의 장점인 연속적인 delay 변화가 가능하도록 한 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로를 제공하는데 그 목적이 있다.
- [0019] 본 발명은 VPD에 의해 나뉜 신호는 항상 동 위상으로 만나기 때문에 출력 신호의 위상이 Time delay settings에 관계없이 항상 일정한 값을 유지하는 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로를 제공하는데 그 목적이 있다.
- [0020] 본 발명의 다른 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 또 다른 목적들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0021] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 입사 신호를 서로 다른 크기의 전력을 갖는 두 신호로 분리하는 VPD(Variable power divider); 분배된 제1,2 경로(Path 1)(Path 2)의 신호를 받아 서로 다른 지연 시간(time delay)을 갖고 지연하는 T1 지연 셀 및 T2 지연 셀; T1 지연 셀 및 T2 지연 셀을 거친 제1,2 경로의 신호를 동위상으로 합쳐 삽입 손실을 억제하는 VPC(Variable power combiner);를 포함하고, 지연 시간 합 방식을 이용하여 모든 시간 지연 설정(time delay setting)에서 일정한 입력 및 출력 임피던스 정합(impedance matching)이 유지되도록 하는 것을 특징으로 한다.
- [0022] 여기서, 상기 VPD(Variable power divider)와 VPC(Variable power combiner)의 출력 전력 비율  $K$ 를 조절하여 제 1,2 경로(Path 1)(Path 2)를 통하여 T1 지연 셀 및 T2 지연 셀에 분배되는 신호의 크기를 변경하여, 가변 시간 지연(Variable time delay)을 달성하기 위하여 제 1,2 경로(Path 1)(Path 2)가 갖는 시간 지연뿐만 아니라, 그 사이에 존재하는 모든 time delay를 만들어 연속적인 시간 변화를 제공할 수 있도록 하는 것을 특징으로 한다.
- [0023] 그리고  $K$ (Power dividing ratio)를 조절해서 Delay를 변하게 하고, 1,2 경로(Path 1)(Path 2)의 신호를 동위상으로 합쳐 삽입손실(Insertion loss)을 0으로 하는 것을 특징으로 한다.
- [0024] 그리고 Time delay는 주파수에 대한 위상의 변화율에  $-1$ 을 곱한 값으로 정의되고, T1 지연 셀을 포함하는 제 1 경로(Path 1)는 T2 지연 셀을 포함하는 제 2 경로(Path 2)에 비해 더 큰 time delay를 갖는 것을 특징으로

한다.

- [0025] 그리고  $K=1$  일 때, 모든 입사 신호는 제 1 경로(Path 1)를 통과하므로 Time delay 회로는 최대 time delay를 갖고, 반대의 경우( $K=0$ ) 모든 입사 신호는 제 2 경로(Path 2)를 통과하므로 time delay 회로는 최소 Time delay를 갖는 것을 특징으로 한다.
- [0026] 그리고 출력신호의 위상이 Time delay setting과 관계없이 항상 일정한 것을 특징으로 한다.
- [0027] 그리고 제 1,2 경로(Path 1)(Path 2)를 통과하는 두 신호가 동위상으로 합쳐지기 위해 제 1 경로(Path 1)와 제 2 경로(Path 2)의 위상은 360도의 정수배만큼 차이거나 하고, 두 신호는 중심 주파수( $f_1$ )에서만 동위상이기 때문에 Band-pass 특성을 갖는 것을 특징으로 한다.
- [0028] 그리고 제 1,2 경로(Path 1)(Path 2)의 time delay 차이가 클수록 주파수에 따른 위상차가 커지기 때문에 frequency bandwidth가 감소하고, Delay variation range와 frequency bandwidth는 서로 trade-off 관계인 것을 특징으로 한다.

### 발명의 효과

- [0029] 이상에서 설명한 바와 같은 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 다음과 같은 효과가 있다.
- [0030] 첫째, VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경하여 효율적으로 가변 시간 지연 제어를 할 수 있도록 한다.
- [0031] 둘째, 지연 시간 합 방식을 이용하여 모든 time delay setting 에서 임피던스 정합(impedance matching)이 유지되도록 하고, 연속적인 time delay를 갖고 삽입 손실이 0이 된다.
- [0032] 셋째, VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율  $K$ 를 조절하여 제 1,2 경로가 갖는 시간 지연(time delay) 뿐만 아니라, 그 사이에 존재하는 모든 시간 지연을 만들 수 있도록 한다.
- [0033] 넷째, 큰 delay variation을 만들기 위해 2개의 time delay line 만 필요하므로 전체 회로의 크기가 Varactor-loaded TL에 비해 작고, Varactor-loaded TL 구조의 장점인 연속적인 delay 변화가 가능하도록 한다.
- [0034] 다섯째, VPD에 의해 나뉜 신호는 항상 동 위상으로 만나기 때문에 출력 신호의 위상은 Time delay settings에 관계없이 항상 일정한 값을 유지한다.

### 도면의 간단한 설명

- [0035] 도 1 및 도 2는 종래 기술의 시간 지연 회로의 일 예를 나타낸 구성도
- 도 3a와 도 3b는 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 구성도 및  $K$  변화에 따른 시간 지연 결과 그래프
- 도 4a와 도 4b는 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 특성을 나타낸 그래프 및 출력 신호 위상 그래프
- 도 5 및 도 6은 본 발명에 따른 지연시간 합 방식 기반의 가변 시간 지연 회로의 삽입 손실 및 시간 지연 특성을 나타낸 그래프
- 도 7은 본 발명에 따른 3dB coupler와 Reflection load(B)를 이용한 VPD/VPC의 일 예를 나타낸 구성도
- 도 8은 제어 전압에 따른 반사기 부하에 대한 단일 버랙터 부하와 공진 부하의 시뮬레이트 된 전력 분배 비율을 나타낸 그래프
- 도 9는 (a) 공진 부하 회로도 및 (b) 직렬 및 병렬 인덕터를 사용한 단일 버랙터 부하 및 공진 부하의 어드미턴스를 나타낸 구성도
- 도 10은 (a)T1 지연 셀, (b)T2 지연 셀의 레이아웃 및 (c) 위상, (d) 응답 지연 특성 그래프
- 도 11은 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 실제 구현의 예를 나타낸 구성도
- 도 12는 본 발명에 따른 (a) 상대 시간 지연, (b) 삽입 손실 및 (c) 리턴 손실의 측정 결과 그래프



**발명을 실시하기 위한 구체적인 내용**

- [0036] 이하, 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 바람직한 실시 예에 관하여 상세히 설명하면 다음과 같다.
- [0037] 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 특징 및 이점들은 이하에서의 각 실시 예에 대한 상세한 설명을 통해 명백해질 것이다.
- [0038] 도 3a와 도 3b는 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 구성도 및 K 변화에 따른 시간 지연 결과 그래프이다.
- [0039] 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율 K를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경하여 가변 시간 지연 제어를 할 수 있도록 한 것이다.
- [0040] 이와 같은 본 발명은 지연 시간 합 방식을 이용하여 모든 time delay setting 에서 임피던스 정합(impedance matching)이 유지되도록 하고, 연속적인 time delay를 갖는다.
- [0041] 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 도 3a에서와 같이, 입사 신호를 서로 다른 크기의 전력을 갖는 두 신호로 분리하는 VPD(Variable power divider)(10)와, 분배된 제 1,2 경로의 신호를 받아 서로 다른 지연 시간(time delay)을 갖고 지연하는 T1 지연 셀(20) 및 T2 지연 셀(30)과, T1 지연 셀 및 T2 지연 셀을 거친 제1,2 경로의 신호를 동위상으로 합쳐 삽입 손실을 억제하는 VPC(Variable power combiner)(40)를 포함하고, 지연 시간 합 방식을 이용하여 모든 시간 지연 설정(time delay setting)에서 일정한 입력 및 출력 임피던스 정합(impedance matching)이 유지되도록 한다.
- [0042] 이와 같은 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 VPD(Variable power divider)(10)와 VPC(Variable power combiner)(40)의 출력 전력 비율 K를 조절하여 제 1,2 경로(Path 1)(Path 2)를 통하여 T1 지연 셀(20) 및 T2 지연 셀(30)에 분배되는 신호의 크기를 변경하여 가변 시간 지연(Variable time delay)을 달성하기 위하여 제 1,2 경로(Path 1)(Path 2)가 갖는 시간 지연 뿐만 아니라, 그 사이에 존재하는 모든 time delay를 만들 수 있도록 한다.
- [0043] 이와 같은 구성을 갖는 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 도 3b에서와 같이, K(Power dividing ratio)를 조절해서 Delay를 변하게 하고, 삽입손실(Insertion loss)을 0으로 하기 위해 제 1,2 경로(Path 1)(Path 2)의 신호를 동위상으로 합쳐 삽입 손실을 억제하는 것이다.
- [0044] 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 VPD(Variable power divider)(10)를 이용해 입사 신호를 서로 다른 크기의 전력을 갖는 두 신호로 분리한 뒤 T1 지연 셀(20) 및 T2 지연 셀(30)로 분배한다.
- [0045] 분배된 두 신호는 각 T1 지연 셀(20) 및 T2 지연 셀(30)에서 서로 다른 time delay를 겪은 뒤 VPC(Variable power combiner)(40)에 의해 하나의 출력 신호로 합쳐진다. 두 신호는 동위상으로 합쳐지고 VPD(10)와 VPC(40)가 동일한 Power dividing/combining ratio(K)를 갖으므로 출력 신호는 0의 삽입손실을 갖는다.
- [0046] 이와 같이 본 발명은 VPD/VPC의 K를 조절하여 각 Fixed delay cell에 분해되는 신호의 크기를 변경함으로써 Variable time delay를 달성한다.
- [0047] 도 4a와 도 4b는 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 특성을 나타낸 그래프 및 출력 신호 위상 그래프이고, 도 5 및 도 6은 본 발명에 따른 지연시간 합 방식 기반의 가변 시간 지연 회로의 삽입 손실 및 시간 지연 특성을 나타낸 그래프이다.
- [0048] 도 4a는 본 발명에서 Variable time delay를 만드는 방법을 나타낸 것이다.
- [0049] Time delay는 주파수에 대한 위상의 변화율에 -1을 곱한 값으로 정의한다.
- [0050] 따라서, 도 3a에서 T1 지연 셀(20)을 포함하는 제 1 경로(Path 1)는 T2 지연 셀(30)을 포함하는 제 2 경로(Path 2)에 비해 더 큰 time delay를 갖는다.
- [0051] 따라서, K=1 일 때, 모든 입사 신호는 Path 1을 통과하므로 Time delay 회로는 최대 time delay를 갖는다.
- [0052] 반대의 경우(K=0) 모든 입사 신호는 Path 2를 통과하므로 time delay 회로는 최소 Time delay를 갖는다. 본 발

명에서 K는 0부터 1까지 변할 수 있기 때문에, Path 1과 Path 2가 갖는 time delay 뿐 만 아니라, 그 사이에 존재하는 모든 time delay를 만든다. 이는 도 5 및 도 6에서 확인할 수 있다.

- [0053] 본 발명에서 제 1,2 경로(Path 1)(Path 2)를 통과하는 두 신호가 동위상으로 합쳐지려면 제 1 경로(Path 1)와 제 2 경로(Path 2)의 위상은 360도의 정수배만큼 차이거나 한다. 두 신호는 중심 주파수( $f_1$ )에서만 동위상이기 때문에 Band-pass 특성을 가진다.
- [0054] 두 Path의 time delay 차이가 클수록 주파수에 따른 위상차가 커지기 때문에 frequency bandwidth가 감소한다. 즉, Delay variation range와 frequency bandwidth는 서로 trade-off 관계다.
- [0055] 또한, 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 characteristic impedance가 K에 따라 변하지 않으므로 모든 time delay 상황에서도 Input/output impedance matching이 유지된다.
- [0056] 특히, 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 도 4b에서와 같이, 출력신호의 위상이 Time delay setting과 관계없이 항상 일정하다.
- [0057] 도 7은 본 발명에 따른 3dB coupler와 Reflection load(B)를 이용한 VPD/VPC의 일 예를 나타낸 구성도이다.
- [0058] 본 발명의 일 실시 예에서는 3dB branch-line coupler와 Resonant load를 이용한 방식을 사용했지만, Coupled-line coupler와 varactor를 이용하는 방법도 가능하다.
- [0059] 하지만, Reflection load로 사용되는 single varactor diode의 경우 제한된 Capacitance variation range로 인해 VPD/VPC의 power dividing/combining ratio가 제한되는 단점을 갖는다. 따라서, Single varactor load를 Resonant load로 대체함으로써 VPD/VPC가 1:무한대의 전력비를 갖게 한다.
- [0060] 도 8은 제어 전압에 따른 반사기 부하에 대한 단일 버랙터 부하와 공진 부하의 시뮬레이션 된 전력 분배 비율을 나타낸 그래프이다.
- [0061] 그리고 도 9는 (a) 공진 부하 회로도 및 (b) 직렬 및 병렬 인덕터를 사용한 단일 버랙터 부하 및 공진 부하의 어드미턴스를 나타낸 구성도이다.
- [0062] 본 발명의 일 실시 예에서 VPD/VPC는 2개의 3dB 하이브리드 커플러와 2 개의 셉트 리플렉터 구성된다.
- [0063] 셉트 리플렉터는 순수한 허수 어드미턴스로 모델링되어 전력의 일부 (도 7의 점선)를 반영하고 나머지는 전송한다(도 7의 실선).
- [0064] 서셉턴스(susceptance)(B)를 변경함으로써, 전력 분배비(K)를 변화시킬 수 있다.
- [0065] 단일 버랙터 다이오드는 일반적으로 셉트 리플렉터로 사용되는데, 버랙터 전용 셉트 리플렉터는 제한된 캐패시턴스 튜닝 비율로 인해 제한된 K 범위를 제공한다.
- [0066] 예를 들어, 커패시턴스가 0.69pF에서 13.30pF로 변하는 버랙터의 경우, 버랙터 전용 셉트로드는 2.4GHz에서 K를 0.4dB에서 10dB로 변경할 수 있다(도 8의 점선). 결과적으로 TTD의 시간 변동 범위가 제한된다.
- [0067] 본 발명에서는 K의 튜닝 범위를 증가시키기 위해 공진 부하(resonant load)가 셉트 리플렉터로 사용된다.
- [0068] 도 9의 (a)는 직렬 및 병렬 연결된 인덕터가 있는 버랙터 다이오드로 구성된 공진 부하의 토폴로지를 나타낸 것이다.
- [0069] 직렬 인덕터와 병렬 인덕터는 버랙터 다이오드의 최대 및 최소 정전 용량을 공진하여 셉트 리플렉터를 각각 단락 및 개방 회로로 만든다.(도 9의 (b))
- [0070] 공진 부하로 VPD/VPC는 2.4GHz에서 K를 0에서 45dB로 변경할 수 있으며(도 8의 실선) 제안된 TTD는 두 시간 지연 셀의 전체 지연 차이를 활용할 수 있다.
- [0071] 도 10은 (a)T1 지연 셀, (b)T2 지연 셀의 레이아웃 및 (c) 위상, (d) 응답 지연 특성 그래프이다.
- [0072] 도 10에서와 같이, 지연 셀은 마이크로-스트립 전송 라인으로서 구현되고, VPD 및 VPC에 대한 임피던스 정합을 유지하기 위해 TL의 특성 임피던스는 50 $\Omega$ 으로 선택된다.
- [0073] 지연 셀에는 VPD 및 VPC의 바이어스를 개별적으로 제어하기 위한 DC 블록 커패시터가 있다.
- [0074] 두 지연 셀 사이의 시뮬레이션 된 지연 및 위상 차이는 2.4GHz에서 832ps와 720° 이고(도 10의 (c) 및 도 10의



(d)), 긴 지연 셀의 크기를 줄이기 위해, 지연 셀 1이 사행된다

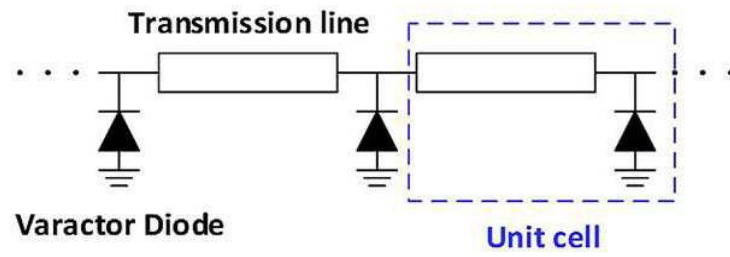
- [0075] 실제로, 포트 2 및 포트 3에서의 VPD/VPC의 삽입 단계는 하이브리드 커플러로 인해  $90^\circ$  만큼 다르며, 전력 분배 비율에 따라 각 포트의 시간 지연이 변하는데, 이는 지연 에러로 지칭될 수있다.
- [0076] 도 3의 (a)에서와 같이, VPD의 P2와 VPC의 P3 사이에 지연 셀 1을 연결함으로써, 위상차 및 지연 에러가 보상된다.
- [0077] 지연 셀 1에 대해 동일한 전력 분배/결합 비율을 유지하기 위해 VPD 및 VPC에 서로 다른 제어 전압이 적용된다.
- [0078] 제어 전압 분리는 VPD 및 VPC 버랙터 쌍 중 하나를 고품질 계수(Q)로 작동하여 모든 지연 설정에 대해 낮은 삽입 손실 및 손실 변동을 제공한다.
- [0079] 모든 지연 설정에서 시뮬레이션 삽입 손실은 2.4GHz에서  $1.6 \pm 0.05\text{dB}$ 이다.
- [0080] 그리고 도 11은 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로의 실제 구현의 예를 나타낸 구성도이고, 도 12는 본 발명에 따른 (a) 상대 시간 지연, (b) 삽입 손실 및 (c) 리턴 손실의 측정 결과 그래프이다.
- [0081] 도 12의 (a)는 상대 시간 지연 응답을 나타낸 것으로, 총 가변 지연 시간은 843ps이며, 목표 지연 시간인 832ps보다 약간 더 길다.
- [0082] 시간 지연 차이는 VPD/VPC 지연 오류로 인해 발생하고, VPD 및 VPC는 전력 분배비의 관점에서 제한된 대역폭을 가지므로 지연 평탄도가 저하된다.
- [0083] 이는 VPD/VPC를 광대역 VPD/VPC로 교체하여 평탄도를 향상시킬 수 있다.
- [0084] 도 12의 (b)와 같이 측정된 삽입 손실은 2.4GHz에서  $2.3 \pm 0.25\text{dB}$ 이고 RMS 손실 변동은 2.3 -2.5GHz에서  $<0.6\text{dB}$ 이다.
- [0085] 모든 지연 설정에 대해 측정된 반사 계수는  $<10\text{ dB}$ 이다.
- [0086] 이상에서 설명한 바와 같이, 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 2.4GHz에서 지속적으로 제어되는 832ps 시간 지연을 달성하는 것을 확인할 수 있다.
- [0087] 공진 부하는 VPD/VPC의 제한된 전력 분배 비율을 확장하고 두 지연 셀의 시간 지연 차이인 시간 지연의 제어 범위를 최대화하기 위해 활용된다.
- [0088] 또한 제안된 TTD는 컴바이너로 분배기의 손실 변동을 보상함으로써 낮은 손실 변동을 달성한다. 측정된 삽입 손실은  $2.3 \pm 0.25\text{dB}$ 이며 매우 작은 변화이고, 모든 지연 설정에 대해 일정한 입력 및 출력 임피던스 정합이 이루어지는 것을 확인할 수 있다.
- [0089] 이상에서 설명한 본 발명에 따른 저 삽입 손실 특성을 갖는 지연시간 합 방식 기반의 가변 시간 지연 회로는 VPD(Variable Power Divider)/VPC(Variable Power Combiner)의 출력 전력 비율 K를 조절하여 각 Fixed delay cell에 분배되는 신호의 크기를 변경하여 가변 시간 지연 제어를 할 수 있도록 한 것이다.
- [0090] 이상에서의 설명에서와 같이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 본 발명이 구현되어 있음을 이해할 수 있을 것이다.
- [0091] 그러므로 명시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 하고, 본 발명의 범위는 전술한 설명이 아니라 특허청구 범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

## 부호의 설명

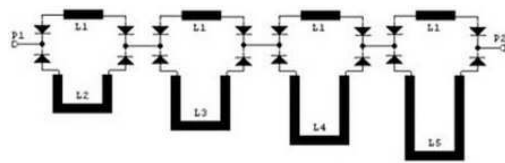
- [0092] 10. VPD(Variable power divider)  
20. T1 지연 셀  
30. T2 지연 셀  
40. VPC(Variable power combiner)

도면

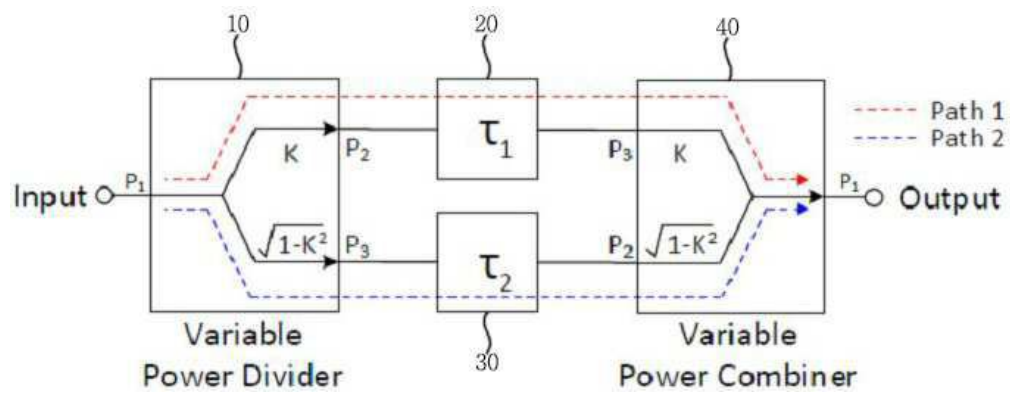
도면1



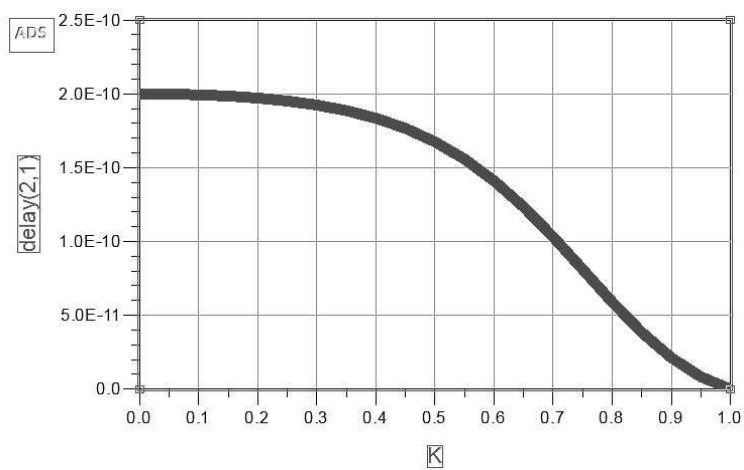
도면2



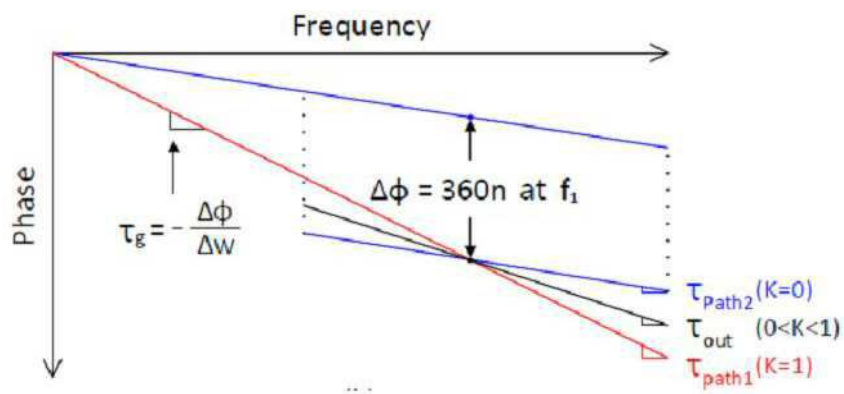
도면3a



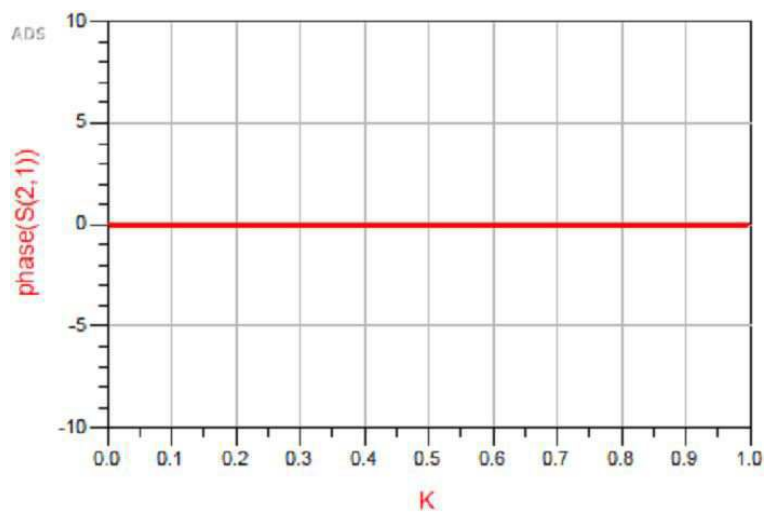
도면3b



도면4a



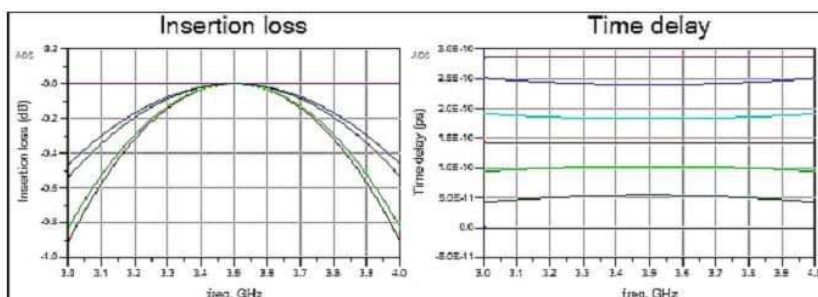
도면4b



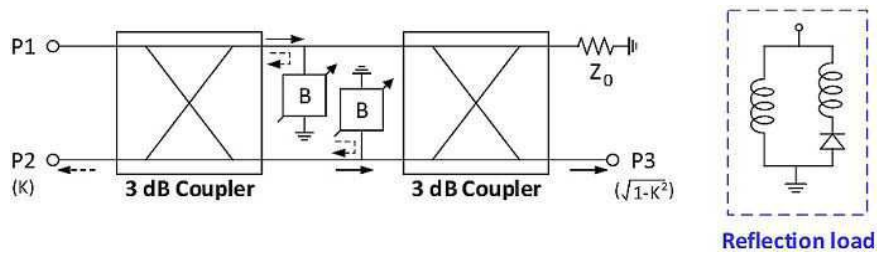
도면5



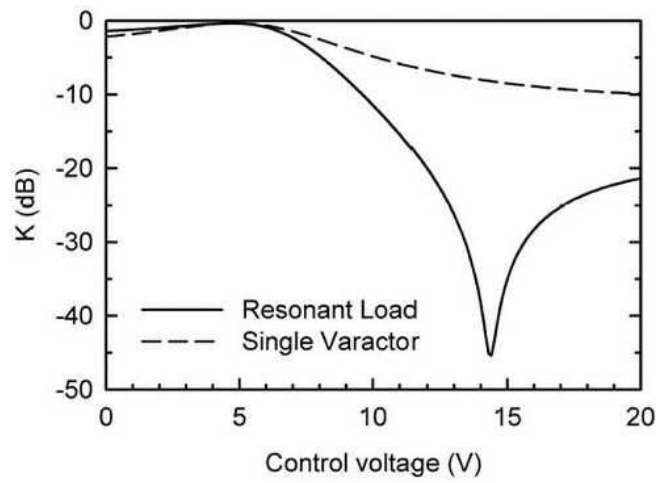
도면6



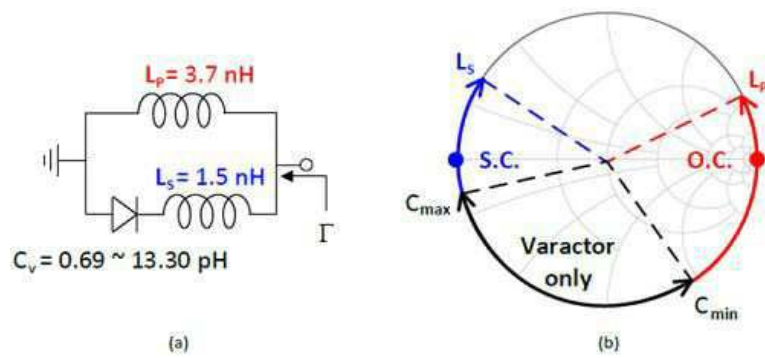
도면7



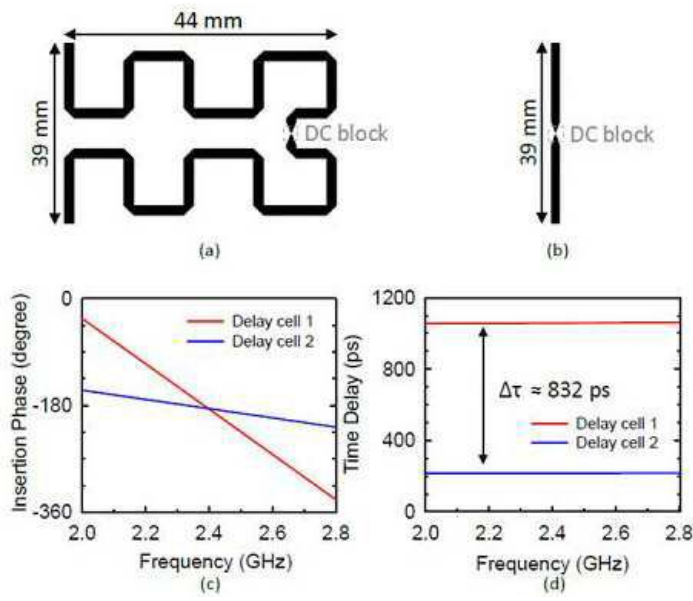
도면8



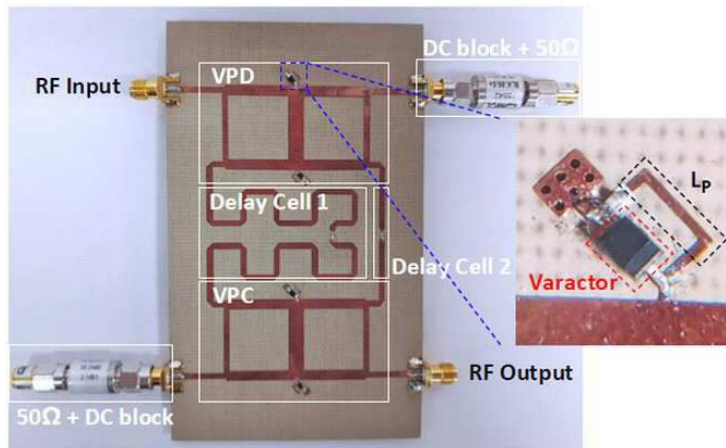
도면9



도면10



도면11



도면12

