



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0094051
(43) 공개일자 2022년07월05일

(51) 국제특허분류(Int. Cl.)
G01S 7/28 (2006.01) G01S 13/10 (2006.01)
G01S 7/288 (2006.01) G01S 7/40 (2006.01)
H03M 1/50 (2006.01)

(52) CPC특허분류
G01S 7/28 (2013.01)
G01S 13/103 (2013.01)

(21) 출원번호 10-2020-0185326
(22) 출원일자 2020년12월28일
심사청구일자 2020년12월28일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자
김태욱
서울특별시 서대문구 연희로28길 49, 505호 (연희동, 화이트빌)

유민재
서울특별시 동대문구 고미술로 71, 411호 (답십리동, 현대썬앤빌 청계)

이근행
서울특별시 서대문구 연세로5나길 41-2, 202호 (창천동)

(74) 대리인
특허법인(유한)아이시스

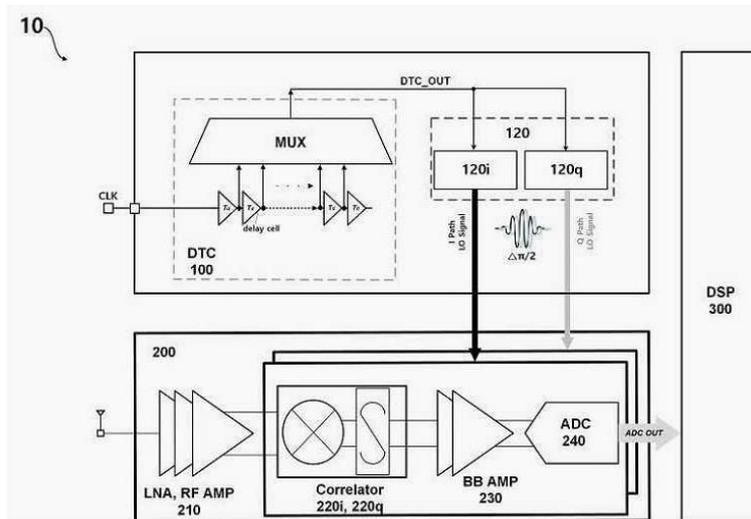
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 거리 측정 장치 및 임펄스 IQ 신호 부정합 교정 장치

(57) 요약

본 실시예에 의한 타겟에 임펄스 신호를 제공하여 타겟에서 반사된 신호를 이용하여 타겟과의 거리를 측정하는 장치는: 클럭 신호를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter)와, DTC가 출력한 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 생성부와, DTC가 출력한 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 생성부와, 타겟에서 반사된 신호와 I 템플릿 임펄스 신호로 복조하는 I 코릴레이터와, 타겟에서 반사된 신호와 Q 템플릿 임펄스 신호로 복조하는 Q 코릴레이터 및 복조 결과를 디지털 코드로 변환하여 타겟과의 거리를 측정한다.

대표도



(52) CPC특허분류

G01S 7/2886 (2021.05)

G01S 7/4021 (2013.01)

H03M 1/50 (2019.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711103239
과제번호	2017-0-00418-004
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송연구개발사업
연구과제명	초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이더 SoC (System On a Chip)
설계 연구	
기여율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

타겟에 임펄스 신호를 제공하여 상기 타겟에서 반사된 신호를 이용하여 상기 타겟과의 거리를 측정하는 장치로, 상기 장치는:

클록 신호를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter);

상기 DTC가 출력한 상기 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 생성부;

상기 DTC가 출력한 상기 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 생성부;

상기 타겟에서 반사된 신호와 상기 I 템플릿 임펄스 신호로 복조하는 I 코릴레이터와, 상기 타겟에서 반사된 신호와 상기 Q 템플릿 임펄스 신호로 복조하는 Q 코릴레이터 및

상기 복조 결과를 디지털 코드로 변환하여 상기 타겟과의 거리를 측정하는 거리 측정 장치.

청구항 2

제1항에 있어서,

상기 I 템플릿 형성부는,

상기 DTC가 출력하는 상기 펄스를 지연하는 신호 지연부를 포함하며,

상기 신호 지연부는,

캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과,

상기 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며,

상기 I 템플릿 생성부가 형성하는 상기 I 템플릿 신호의 위상이 상기 Q 템플릿 생성부가 형성하는 상기 Q 템플릿 신호의 위상과 90도 차이나도록 상기 DTC가 출력하는 상기 펄스를 지연하는 거리 측정 장치.

청구항 3

제1항에 있어서,

상기 Q 템플릿 형성부는,

상기 DTC가 출력하는 상기 펄스를 지연하는 신호 지연부를 포함하며,

상기 신호 지연부는,

캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과,

각 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며,

상기 Q 템플릿 생성부가 형성하는 상기 Q 템플릿 신호의 위상이 상기 I 템플릿 생성부가 형성하는 상기 I 템플릿 신호의 위상과 90도 차이나도록 상기 DTC가 출력하는 상기 펄스를 지연하는 거리 측정 장치.

청구항 4

제2항 및 제3항 중 어느 한 항에 있어서,

상기 제어 가능한 지연부는,

스위치와,

상기 스위치와 직렬로 연결된 커패시터를 포함하며,

상기 스위치는 제어 신호에 의하여 도통 및 차단이 제어되는 거리 측정 장치.

청구항 5

제4항에 있어서,

상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 동일한 거리 측정 장치.

청구항 6

제4항에 있어서,

상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 상이한 거리 측정 장치.

청구항 7

제4항에 있어서,

상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 어느 한 커패시터의 커패시턴스는 다른 하나의 커패시터의 커패시턴스에 2배 차이나는 거리 측정 장치.

청구항 8

제2항 및 제3항 중 어느 한 항에 있어서,

상기 거리 측정 장치는,

상기 복조 결과를 디지털 코드로 변환하는 아날로그-디지털 변환기(ADC, Analog to digital converter) 및

상기 디지털 코드를 이용하여 타겟과의 거리를 연산하는 처리 장치(processor)를 포함하는 거리 측정 장치.

청구항 9

제8항에 있어서,

상기 처리 장치는

상기 I 템플릿 임펄스 신호와 상기 Q 템플릿 임펄스 신호가 90도 위상차를 가질 때의 진폭 및 위상각과

상기 I 템플릿 생성부가 생성한 I 템플릿 임펄스 신호의 진폭 및 위상각과 상기 Q 템플릿 생성부가 생성한 Q 템플릿 임펄스 신호의 진폭 및 위상각을 비교하여 상기 제어 가능한 지연부(controllable delay unit)를 제어하는 거리 측정 장치.

청구항 10

제1항에 있어서,

상기 I 코릴레이터는 상기 타겟에서 반사된 신호와 상기 I 템플릿 임펄스 신호를 믹싱하는 믹서와, 믹서의 출력을 누적하는 적분기를 포함하고,

상기 Q 코릴레이터는 상기 타겟에서 반사된 신호와 상기 Q 템플릿 임펄스 신호를 믹싱하는 믹서와, 믹서의 출력을 누적하는 적분기를 포함하는 거리 측정 장치.

청구항 11

디지털 -시간 변환기(DTC, digital time converter)가 출력한 펄스를 제공받고 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 신호 생성부;

상기 DTC가 출력한 상기 펄스를 제공받고 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 신호 생성부; 및

상기 I 템플릿 임펄스 신호와 상기 Q 템플릿 임펄스 신호가 90도의 위상차이를 가지도록 상기 DTC가 출력한 펄

스를 지연하는 지연부를 포함하는 템플릿 신호 생성기.

청구항 12

제11항에 있어서,
 상기 I 템플릿 형성부는,
 상기 DTC가 출력하는 상기 펄스를 지연하는 신호 지연부를 포함하며,
 상기 신호 지연부는,
 캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과,
 상기 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며,
 상기 I 템플릿 생성부가 형성하는 상기 I 템플릿 신호의 위상이 상기 Q 템플릿 생성부가 형성하는 상기 Q 템플릿 신호의 위상과 90도 차이하도록 상기 DTC가 출력하는 상기 펄스를 지연하는 템플릿 신호 생성기.

청구항 13

제11항에 있어서,
 상기 Q 템플릿 형성부는,
 상기 DTC가 출력하는 상기 펄스를 지연하는 신호 지연부를 포함하며,
 상기 신호 지연부는,
 캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과,
 각 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며,
 상기 Q 템플릿 생성부가 형성하는 상기 Q 템플릿 신호의 위상이 상기 I 템플릿 생성부가 형성하는 상기 I 템플릿 신호의 위상과 90도 차이하도록 상기 DTC가 출력하는 상기 펄스를 지연하는 템플릿 신호 생성기.

청구항 14

제12항 및 제13항 중 어느 한 항에 있어서,
 상기 제어 가능한 지연부는,
 스위치와,
 상기 스위치와 직렬로 연결된 커패시터를 포함하며,
 상기 스위치는 제어 신호에 의하여 도통 및 차단이 제어되는 템플릿 신호 생성기.

청구항 15

제14항에 있어서,
 상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 동일한 템플릿 신호 생성기.

청구항 16

제14항에 있어서,
 상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 상이한 템플릿 신호 생성기.

청구항 17

제14항에 있어서,
 상기 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 어느 한 커패시터의 커패시턴스는 다른 하나의 커패시터의 커패시턴스와 상이한 템플릿 신호 생성기.

패시터의 커패시턴스에 2배 차이나는 템플릿 신호 생성기.

청구항 18

제14항에 있어서,

상기 처리 장치는

상기 I 템플릿 임펄스 신호와 상기 Q 템플릿 임펄스 신호가 90도 위상차를 가지도록 스위치의 도통 및 차단이 제어되는 템플릿 신호 생성기.

청구항 19

클록 신호를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter);

상기 DTC가 출력한 상기 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 생성부;

상기 DTC가 출력한 상기 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 생성부;

상기 I 템플릿 임펄스 신호와 상기 Q 템플릿 임펄스 신호가 90도 위상차를 가질 때의 진폭 및 위상각과 상기 I 템플릿 생성부가 생성한 I 템플릿 임펄스 신호의 진폭 및 위상각과 상기 Q 템플릿 생성부가 생성한 Q 템플릿 임펄스 신호의 진폭 및 위상각을 비교하여 상기 DTC가 출력한 상기 펄스의 지연 시간을 제어하는 프로세서를 포함하는 템플릿 신호 부정합 교정 장치.

발명의 설명

기술 분야

[0001] 본 기술은 거리 측정 장치 및 임펄스 IQ 신호 부정합 교정 장치와 관련된다.

배경 기술

[0002] 신호를 송출한 후, 되돌아온 신호의 비행 시간(TOF, time of flight)을 측정하고 이로부터 타겟과의 거리를 측정하는 기술이 활용되고 있다. 이러한 기술은 RF 신호를 방사하여 타겟에서 반사된 신호를 검출하여 타겟과의 거리 및 도플러 효과를 이용하여 타겟의 속도를 측정하는 레이더(RADAR) 기술 및 광 신호를 제공하고, 타겟에서 반사된 신호를 검출하는 라이더(LiDAR) 기술 등에서 활용되고 있다.

발명의 내용

해결하려는 과제

[0003] 임펄스 신호를 이용하여 거리를 측정하는 장치가 개발되고 있다. 임펄스 송신기에서 임펄스 신호를 형성하여 타겟에 제공하고, 타겟에서 반사된 신호를 입력 받고 처리하여 타겟과의 거리 및/또는 타겟의 이동 속도를 검출한다. 그러나, 임펄스 신호의 처리 과정에서 타겟의 위치에 대한 정확한 정보를 처리하기 위한 필요성이 증대되고 있다.

[0004] 본 기술로 해결하고자 하는 과제 중 하나는 상기한 종래 기술의 난점을 해소하기 위한 것이다. 즉, 타겟과의 거리를 정밀하게 측정하고, 임펄스 템플릿 신호의 위상차를 정밀하게 제어하는 기술을 제공하는 것이 본 기술로 해결하고자 하는 과제 중 하나이다.

과제의 해결 수단

[0005] 본 실시예에 의한 타겟에 임펄스 신호를 제공하여 타겟에서 반사된 신호를 이용하여 타겟과의 거리를 측정하는 장치는: 클록 신호를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter)와, DTC가 출력한 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 생성부와, DTC가 출력한 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 생성부와, 타겟에서 반사된 신호와 I 템플릿 임펄스 신호로 복조하는 I 코릴레이터와, 타겟에서 반사된 신호와 Q 템플릿 임펄스 신호로 복조하는 Q 코릴레이터 및 복조 결과를 디지털 코드로 변환하여 타겟과의 거리를 측정한다.

- [0006] 본 실시예의 일 태양에 의하면, I 템플릿 형성부는, DTC가 출력하는 펄스를 지연하는 신호 지연부를 포함하며, 신호 지연부는, 캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과, 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며, I 템플릿 생성부가 형성하는 I 템플릿 신호의 위상이 Q 템플릿 생성부가 형성하는 Q 템플릿 신호의 위상과 90도 차이하도록 DTC가 출력하는 펄스를 지연한다.
- [0007] 본 실시예의 일 태양에 의하면, Q 템플릿 형성부는, DTC가 출력하는 펄스를 지연하는 신호 지연부를 포함하며, 신호 지연부는, 캐스케이드(cascade)로 연결된 복수의 버퍼(buffer)들과, 각 버퍼의 출력과 기준 전압 사이에 연결된 제어 가능한 지연부(controllable delay unit)를 포함하며, Q 템플릿 생성부가 형성하는 Q 템플릿 신호의 위상이 I 템플릿 생성부가 형성하는 I 템플릿 신호의 위상과 90도 차이하도록 DTC가 출력하는 펄스를 지연한다.
- [0008] 본 실시예의 일 태양에 의하면, 제어 가능한 지연부는, 스위치와, 스위치와 직렬로 연결된 커패시터를 포함하며, 스위치는 제어 신호에 의하여 도통 및 차단이 제어된다.
- [0009] 본 실시예의 일 태양에 의하면, 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 동일하다.
- [0010] 본 실시예의 일 태양에 의하면, 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 각 커패시터의 커패시턴스는 서로 상이하다.
- [0011] 본 실시예의 일 태양에 의하면, 각 버퍼의 출력에 연결된 제어 가능한 지연부에 포함된 어느 한 커패시터의 커패시턴스는 다른 하나의 커패시터의 커패시턴스에 2의 거듭 제곱배 차이난다.
- [0012] 본 실시예의 일 태양에 의하면, 거리 측정 장치는, 복조 결과를 디지털 코드로 변환하는 아날로그-디지털 변환기(ADC, Analog to digital converter) 및 디지털 코드를 이용하여 타겟과의 거리를 연산하는 처리 장치(processor)를 포함한다.
- [0013] 본 실시예의 일 태양에 의하면, 처리 장치는 I 템플릿 임펄스 신호와 Q 템플릿 임펄스 신호가 90도 위상차를 가질 때의 진폭 및 위상각과 I 템플릿 생성부가 생성한 I 템플릿 임펄스 신호의 진폭 및 위상각과 Q 템플릿 생성부가 생성한 Q 템플릿 임펄스 신호의 진폭 및 위상각을 비교하여 제어 가능한 지연부(controllable delay unit)를 제어한다.
- [0014] 본 실시예의 일 태양에 의하면, I 코릴레이터는 타겟에서 반사된 신호와 I 템플릿 임펄스 신호를 믹싱하는 믹서와, 믹서의 출력을 누적하는 적분기를 포함하고, Q 코릴레이터는 타겟에서 반사된 신호와 Q 템플릿 임펄스 신호를 믹싱하는 믹서와, 믹서의 출력을 누적하는 적분기를 포함한다.
- [0015] 본 실시예에 의한 템플릿 임펄스 신호 생성 회로는 디지털-시간 변환기(DTC, digital time converter)가 출력한 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 신호 생성부와, DTC가 출력한 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 신호 생성부 및 I 템플릿 임펄스 신호와 Q 템플릿 임펄스 신호가 90도의 위상차이를 가지도록 DTC가 출력한 펄스를 지연하는 지연부를 포함한다.
- [0016] 본 실시예에 의한 템플릿 신호 부정합 교정 장치는 클럭 신호를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter)와 DTC가 출력한 펄스로 트리거되어 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 생성부와, DTC가 출력한 펄스로 트리거되어 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 생성부 및 I 템플릿 임펄스 신호와 Q 템플릿 임펄스 신호가 90도 위상차를 가질 때의 진폭 및 위상각과 I 템플릿 생성부가 생성한 I 템플릿 임펄스 신호의 진폭 및 위상각과 Q 템플릿 생성부가 생성한 Q 템플릿 임펄스 신호의 진폭 및 위상각을 비교하여 DTC가 출력한 펄스의 지연 시간을 제어하는 프로세서를 포함한다.

발명의 효과

- [0017] 본 실시예에 의하면 타겟과의 거리를 정밀하게 측정할 수 있고, I 임펄스 템플릿 신호와 Q 임펄스 템플릿 신호의 위상차이를 정밀하게 조절할 수 있다는 장점이 제공된다. 또한, I 임펄스 템플릿 신호와 Q 임펄스 템플릿 신호의 위상차이를 정밀하게 제어하여 아날로그-디지털 변환기(ADC, Analog to digital converter) 복조 과정에서 해상도를 증가시켜 타겟과의 거리를 정밀하게 측정할 수 있다는 장점이 제공된다.

도면의 간단한 설명

- [0018] 도 1은 본 실시예에 의한 거리 측정 장치(10)의 개요를 도시한 블록도이다.
- 도 2는 템플릿 신호 생성부(120)의 개요를 도시한 블록도이다.
- 도 3은 I 경로(I path)와 Q 경로(Q path)에 포함된 신호 지연부(122i, 122q)중 어느 한 신호 지연부(122)의 개요를 도시한 도면이다.
- 도 4는 코릴레이터(220i, 220q)에서의 신호 처리를 예시한 도면이다.
- 도 5(a)는 임펄스 신호의 형태를 가지는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 0에 인접할 때 진폭을 도시한 도면이다. 도 5(b)는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 45도일 때 진폭을 도시한 도면이다. 도 5(c)는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 90도 일때의 시간에 I 템플릿 신호와 Q 템플릿 신호의 진폭 변화를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는 첨부된 도면들을 참조하여 본 실시예를 설명한다. 도 1은 본 실시예에 의한 거리 측정 장치(10)의 개요를 도시한 블록도이다. 도 1을 참조하면, 본 실시예의 타겟에 임펄스 신호를 제공하여 타겟(미도시)에서 반사된 신호를 이용하여 타겟과의 거리를 측정하는 장치(10)는: 클럭 신호(CLK)를 제공받고, 제공된 코드에 상응하는 펄스를 출력하는 디지털-시간 변환기(DTC, digital to time converter, 100)와, DTC(100)가 출력한 펄스(DTC_OUT)를 제공받고 I(in-phase) 템플릿 임펄스 신호를 형성하는 I 템플릿 신호 생성부(120i)와, DTC(100)가 출력한 펄스(DTC_OUT)를 제공받고 Q(quadrature) 템플릿 임펄스 신호를 형성하는 Q 템플릿 신호 생성부(120q)와, 타겟에서 반사된 신호와 I 템플릿 신호로 복조하는 I 코릴레이터(220i)와, 타겟에서 반사된 신호와 Q 템플릿 신호로 복조하는 Q 코릴레이터(220q) 및 복조 결과를 디지털 코드로 변환하여 타겟과의 거리를 측정한다.
- [0020] DTC(100)에는 클럭 신호(CLK)와 제어 코드(미도시)가 입력된다. DTC(100)는 입력된 클럭 신호를 미리 정해진 지연 시간(Td) 만큼 지연하는 지연 셀(delay cell)들을 복수개 포함한다. 지연 셀(delay cell)들은 서로 캐스케이드(cascade)로 연결되며, 각 지연 셀(delay cell)의 출력은 다중화기(MUX)에 입력된다. 일 실시예로, 제어 코드(미도시)는 디지털 신호 처리부(DSP, 300)가 제공할 수 있다.
- [0021] DTC(100)는 입력된 제어 코드(미도시)에 따라 다중화기(MUX)를 제어하여 목적하는 지연 시간 만큼 지연된 신호를 DTC 출력 펄스(DTC_OUT)로 출력한다. DTC(100)의 출력 펄스(DTC_OUT)은 템플릿 신호 생성부(120)에 입력된다.
- [0022] 도 2는 템플릿 신호 생성부(120)의 개요를 도시한 블록도이다. 도 2를 참조하면, 템플릿 신호 생성부(120)는 I 템플릿 신호 생성부(120i)와 Q 템플릿 신호 생성부(120q)를 포함한다. 도 2는 I 템플릿 신호 생성부(120i)와 Q 템플릿 신호 생성부(120q)는 각각 신호 지연부(122i, 122q)를 포함하는 것으로 예시되어 있다. 그러나, 도시되지 않은 실시예는 I 경로(I path) 및 Q 경로(Q path)중 어느 하나에만 신호 지연부를 포함할 수 있다.
- [0023] 도 2를 참조하면, DTC(100)의 출력 펄스(DTC_OUT)는 I 경로(I path)의 신호 지연부(122i)를 통하여 지연되고, I 템플릿 신호를 형성하도록 임펄스 생성기(124i)를 트리거한다. 또한, DTC(100)의 출력 펄스(DTC_OUT)는 Q 템플릿 신호를 형성하도록 임펄스 생성기(124q)를 트리거한다. 신호 지연부(122i)와 신호 지연부(122q)에 의하여 지연된 출력 펄스(DTC_OUT)는 I 템플릿 신호 생성기(124i)가 생성한 I 템플릿 신호와 Q 템플릿 신호 생성기(124q)가 생성한 Q 템플릿 신호가 서로 90도의 위상차이를 가지도록 지연되고, 각각의 임펄스 생성기(124i, 124q)에 입력될 수 있다.
- [0024] 도시되지 않은 실시예에서, 템플릿 신호 생성 회로(120)는 I 경로와 Q 경로 중 어느 하나의 경로에만 신호 지연부를 포함할 수 있으며, 이러한 경우에는 신호 지연부를 통해 지연된 출력 펄스는 I 템플릿 신호 생성기가 생성한 I 템플릿 신호와 Q 템플릿 신호 생성기가 생성한 Q 템플릿 신호가 서로 90도의 위상차이를 가지도록 지연되고, 각각의 임펄스 생성기에 입력될 수 있다.
- [0025] 도 3은 I 경로(I path)와 Q 경로(Q path)에 포함된 신호 지연부(122i, 122q)중 어느 한 신호 지연부(122)의 개요를 도시한 도면이다. 도 3으로 예시된 실시예에서, 신호 지연부(122i)는 거친 지연부(coarse delay unit, 1222i)와 미세 지연부(fine delay unit, 1224i)를 200포함하고, 신호 지연부(122q)는 거친 지연부(coarse delay unit, 1222q)와 미세 지연부(fine delay unit, 1224q)를 포함할 수 있다.
- [0026] 거친 지연부(1222i)와 거친 지연부(1222q)는 I 템플릿 생성기(124i, 도 2 참조)와 Q 템플릿 생성기(124q, 도 2

참조)가 생성하는 I 템플릿 신호와 Q 템플릿 신호의 위상차는 대략 90도에 가깝도록 출력 펄스(DTC_OUT)를 지연한다. 일 실시예로, 거친 지연부(1222i)와 거친 지연부(1222q)는 입력된 출력 펄스(DTC_OUT)를 미리 정해진 지연 시간만큼 지연하여 출력하는 버퍼(buffer)일 수 있다.

- [0027] 미세 지연부(1224i, 1224q)는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 90도가 되도록 출력 펄스(DTC_OUT)의 지연을 미세하게 조절한다. 집적회로를 설계할 때 잡음을 비롯한 PVT(process, voltage, temperature) 변화에 따라 회로의 동작 타이밍이 달라진다. 이러한 변화에 의해서 예상하지 못한 위치에 I, Q 신호의 위상차가 90도를 벗어날 가능성 있다. 신호의 지속시간이 짧은 임펄스 신호를 이용한 I, Q 변조를 할 때 위상차의 부정합이 발생한다면 인식 해상도에 나쁜 영향을 줄 수 있으므로 I 템플릿 신호와 Q 템플릿 신호의 위상차를 정확하게 제어하여야 한다.
- [0028] 미세 지연부(1224i, 1224q)는 서로 캐스케이드(cascade)로 연결된 복수의 버퍼들(B1, B2, ..., Bn)과 각 버퍼들의 출력에 연결된 제어 가능한 지연 소자들을 포함한다. 일 실시예로, 제어 가능한 지연 소자들은 커패시터들(C1, C2, ...Cn)과 각 커패시터와 직렬로 연결된 스위치(SW1, SW2, ..., SWn)를 포함할 수 있다. 제어 가능한 지연 소자들은 각 버퍼의 출력과 기준 전압 사이에 연결될 수 있다. 도시된 실시예에서 미세 지연부(1224i, 1224q)는 버퍼들(B1, B2, ..., Bn)을 예시하였으나, 인버터(inverter)를 채택할 수 있다.
- [0029] 제어 가능한 지연 소자들에 포함된 각 스위치들(SW1, SW2, ..., SWn)은 일 전극과 타 전극 사이의 도통 및/또는 차단이 제어 전극에 제공되는 전기적 신호에 의하여 제어되는 소자일 수 있다. 일 예로, 스위치(SW1, SW2, ..., SWn)는 NMOS 트랜지스터, PMOS 트랜지스터, NPN 바이폴라 트랜지스터, PNP 바이폴라 트랜지스터 중 어느 하나일 수 있다. 각 스위치(SW1, SW2, ..., SWn)는 DSP(300)가 제공하는 제어 신호(con_i[1:n], con_q[1:n])에 의하여 도통과 차단이 제어될 수 있다.
- [0030] 제어 가능한 지연 소자들에 포함된 각 커패시터들은 일 예로, 모두 동일한 커패시턴스를 가질 수 있다. 연결된 커패시터의 개수에 따라 지연 시간이 선형적으로 변화하므로, 본 실시예에 의하면 목적하는 지연 시간에 따라 연결되어야 하는 커패시터의 개수를 간단하게 연산할 수 있다는 장점이 제공된다.
- [0031] 다른 예로, 제어 가능한 지연 소자들에 포함된 각 커패시터들은 서로 다른 커패시턴스를 가질 수 있다. 일 예로, 커패시터의 커패시턴스는 $C_{n+1} = 2^n C_1$ 의 관계식에 따를 수 있다. 즉, 각 커패시터들은 C1 커패시턴스의 2의 거듭제곱으로 표시된 값에 따를 수 있다. 커패시턴스를 이와 같이 형성함으로써 목적하는 지연 시간에 따라 연결되어야 하는 커패시터를 정밀하게 연산할 수 있다는 장점이 제공된다. 또 다른 예로, 커패시터의 커패시턴스들은 서로 다른 커패시턴스를 가질 수 있다.
- [0032] 도시된 실시예는 I 경로와 Q 경로 모두에 신호 지연부(122i, 122q)를 포함하나, I 경로와 Q 경로 중 어느 하나에만 신호 지연부가 형성될 수 있음은 설명한 바와 같다. 위와 같이 신호 지연부를 형성하여 I 템플릿 신호와 Q 템플릿 신호 생성기가 생성한 Q 템플릿 신호가 서로 90도의 위상차이를 가지도록 DTC(100)의 출력 펄스(100)를 지연하여 임펄스 생성기에 입력한다.
- [0033] 다시 도 1 및 도 2를 참조하면, 임펄스 생성기(124i, 124q)는 DTC(100)의 출력 펄스(100)를 제공받고, I 템플릿 신호와 Q 템플릿 신호를 생성하여 수신회로(200)에 제공한다. 수신 회로(200)는 송출된 임펄스 신호가 타겟에서 반사되어 형성된 신호를 입력받는다. 입력된 신호는 저잡음 증폭기(LNA, low noise amplifier)와 RF 증폭기를 포함하는 초단 회로부(210, front end)에서 처리되어 코릴레이터에 제공된다. 코릴레이터는 I 코릴레이터(220i), Q 코릴레이터(220q)를 포함할 수 있으며, I 코릴레이터(220i)와 Q 코릴레이터(220q)는 각각 믹서(mixer)와 적분기(integrator)를 포함할 수 있다.
- [0034] 도 4는 코릴레이터(220i, 220q)에서의 신호 처리를 예시한 도면이다. 타겟에서 반사된 신호는 초단 회로부(210)에서 처리되어 코릴레이터(220i, 220q)에 입력된다. 지연된 출력 펄스(DTC_OUT)의 트리거에 의해 I 템플릿 신호와 Q 템플릿 신호가 발생되며, 코릴레이터(220i, 220q)에 입력된다. I 템플릿 신호와 Q 템플릿 신호는 타겟에 송출된 임펄스 신호와 동일한 주파수를 가진다. I 템플릿 신호와 반사되어 돌아온 임펄스의 신호가 겹쳐지는 위치에 따라서 상관 연산을 통하여 특정한 전압값을 띄게 된다. 이는 거리를 측정하는데 필요한 연산을 위한 정보로 사용한다.
- [0035] 템플릿 신호와 수신된 신호와의 시간차가 각각 case 1, case 2 및 case 3과 같을 때, 템플릿 신호와 수신된 신호를 믹스하고, 누적하여 연산된 상관 연산(correlation) 결과를 기저 대역 증폭기(BB AMP, baseband amplifier, 230)로 증폭한 결과는 도 4의 아래에 도시된 것과 같다. 아날로그 디지털 변환기(ADC, analog-

digital converter, 240)는 기저대역에서 증폭된 신호를 제공받고 디지털로 변환하여 디지털 신호 처리부(DSP, 300)에 제공한다. DSP(300)는 제공된 코드를 이용하여 타겟과의 거리를 연산할 수 있다.

[0036] 도 5는 DSP(300)가 I 템플릿 신호와 Q 템플릿 신호의 위상 차이를 연산하는 과정을 설명하기 위한 도면이다. 도 5(a)는 임펄스 신호의 형태를 가지는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 0에 인접할 때 진폭을 도시한 도면이다. 도 5(a)를 참조하면, 일정한 시간차를 두고 위상차이가 0도에 인접한 I 템플릿 신호와 Q 템플릿 신호의 진폭을 도시하면, I 템플릿 신호와 Q 템플릿 신호의 진폭은 직선 상에서 변화하는 것처럼 보인다. 도 5(b)는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 45도일 때 진폭을 도시한 도면이다. 도 5(b)를 참조하면, I 템플릿 신호와 Q 템플릿 신호의 위상차가 45도 일 때 시간에 따른 진폭은 일직선에서 벗어나 점차 나선의 형태를 가지며 시간이 경과함에 따라 진폭은 0으로 수렴하는 것을 확인할 수 있다. 도 5(c)는 I 템플릿 신호와 Q 템플릿 신호의 위상차가 90도 일때의 시간에 I 템플릿 신호와 Q 템플릿 신호의 진폭 변화를 도시한 도면이다. 도 5(c)를 참조하면, I 템플릿 신호와 Q 템플릿 신호의 위상차가 90도일 때, 동일한 시간 간격의 측정점에서 위상각의 변화는 일정한 것을 알 수 있다. 또한, 시간이 경과함에 따라 원점에서의 거리가 감소하는 것을 확인할 수 있다.

[0037] DSP(300)는 상기한 I 템플릿 신호와 Q 템플릿 신호의 위상차이가 90도 일 때, 원점과 각 측정점 사이의 위상각, 원점과 각 측정점 사이의 거리 정보를 저장한다. I 템플릿 신호와 Q 템플릿 신호의 위상각 측정을 수행하여 원점과 각 측정점 사이의 위상각과 원점과 각 측정점 사이의 거리 정보를 측정하여 위상차이가 90도 나는 경우와 비교를 수행한다.

[0038] 일 예로, DSP(300)는 저장된 위상차이가 90도 나는 경우와 측정된 I 템플릿 신호와 Q 템플릿 신호의 위상 차이 및 진폭 측정하여 비교한다. 이어서, 필요한 지연 시간을 연산하고, 연산결과로부터 목적하는 지연 시간을 연산한다.

[0039] DSP(300)는 연산된 지연 시간으로부터 미세 지연부(1224i), 미세 지연부(1224q)에 형성되어야 하는 커패시턴스를 연산하고, 미세 지연부(1224i), 미세 지연부(1224q)에 포함된 스위치들(SW1, SW2, ..., SWn)을 제어하는 제어 신호($con_i[1:n]$, $con_q[1:n]$)를 형성하고, 스위치들에 제어하여 I 템플릿 신호와 Q 템플릿 신호의 위상차를 제어한다.

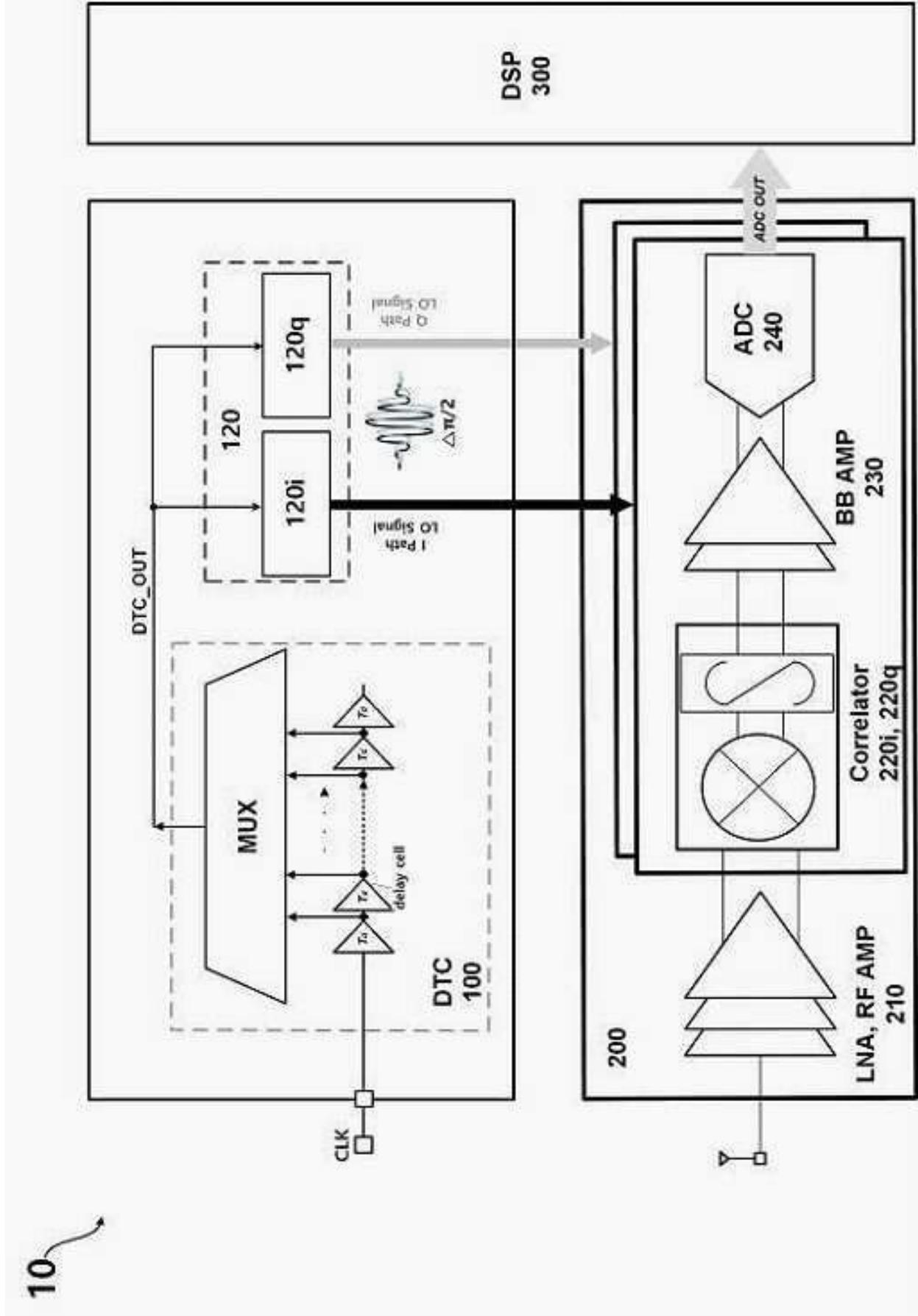
[0041] 본 실시예에 의하면 I 템플릿 신호와 Q 템플릿 신호의 위상 차이를 정밀하게 조절하여 공정 상의 다양한 변수에 영향을 최소화하고 두 신호의 위상차이가 90°를 갖는 향상된 해상도를 가진 측위 시스템을 구현할 수 있다. 나아가, 높은 향상된 해상도로 타겟과의 거리를 측정할 수 있으며, 비트 수가 낮은 ADC를 활용할 수 있어 비용적인 측면에서 이득을 가진다.

[0043] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

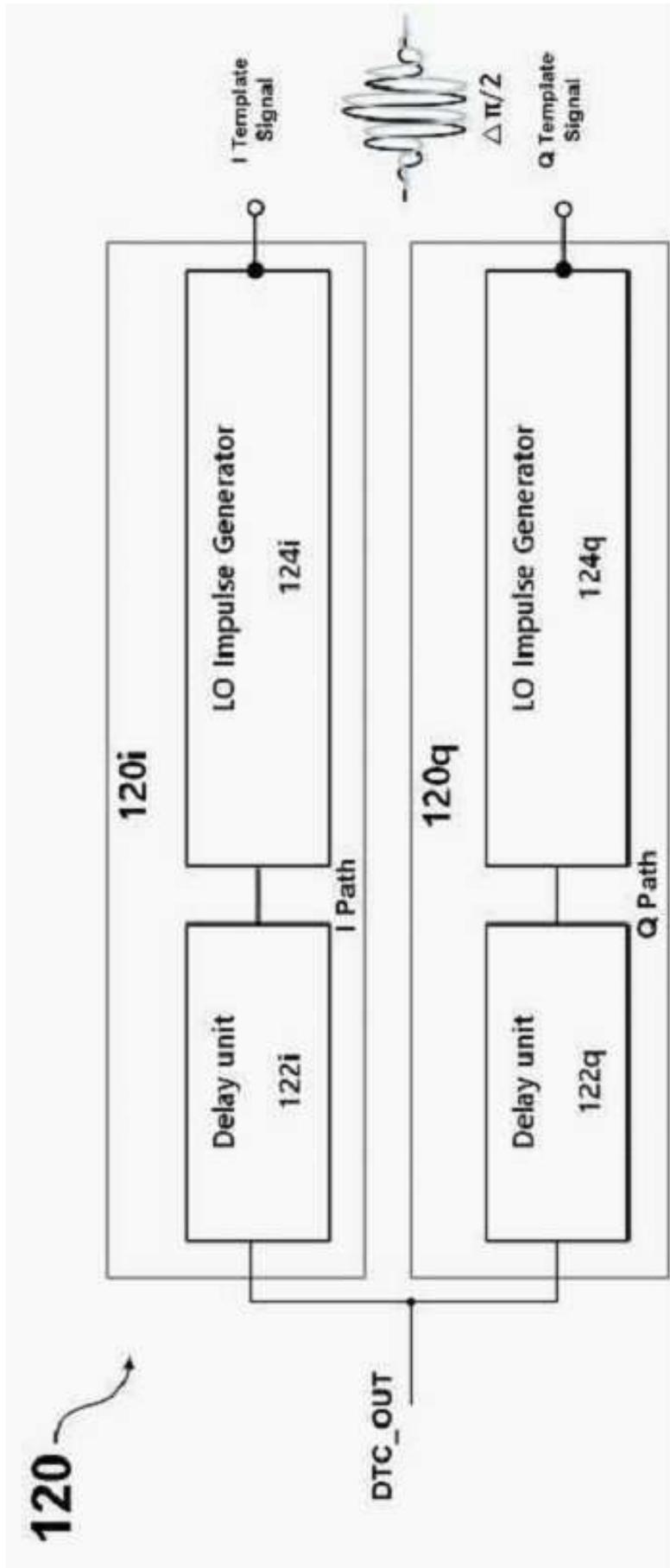
- [0044] 10: 거리 측정 장치 100: DTC
- 120: 템플릿 신호 생성 회로
- 120i, 120q: I 템플릿 신호 생성부, Q 템플릿 신호 생성부
- 122i, 122q: 신호 지연부 124i, 124q: 임펄스 생성기
- 1222i, 1222q: 거친 지연부 1224i, 1224q: 미세 지연부
- 200: 수신회로 210: 초단 회로부
- 220i, 220q: 코릴레이터 230: 기저 대역 증폭기
- 240: 아날로그 디지털 변환기 300: 프로세서

도면
도면1

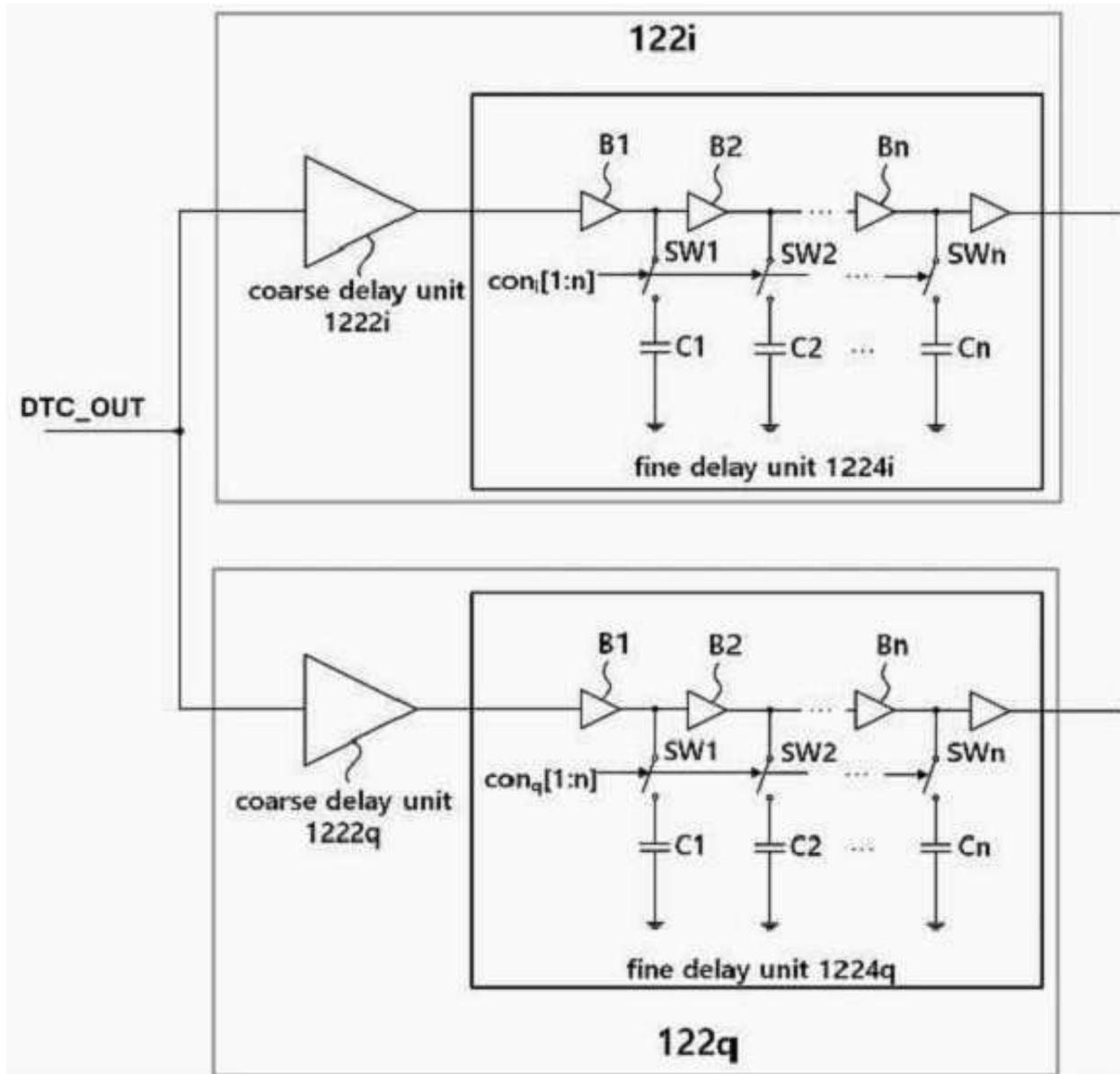


10

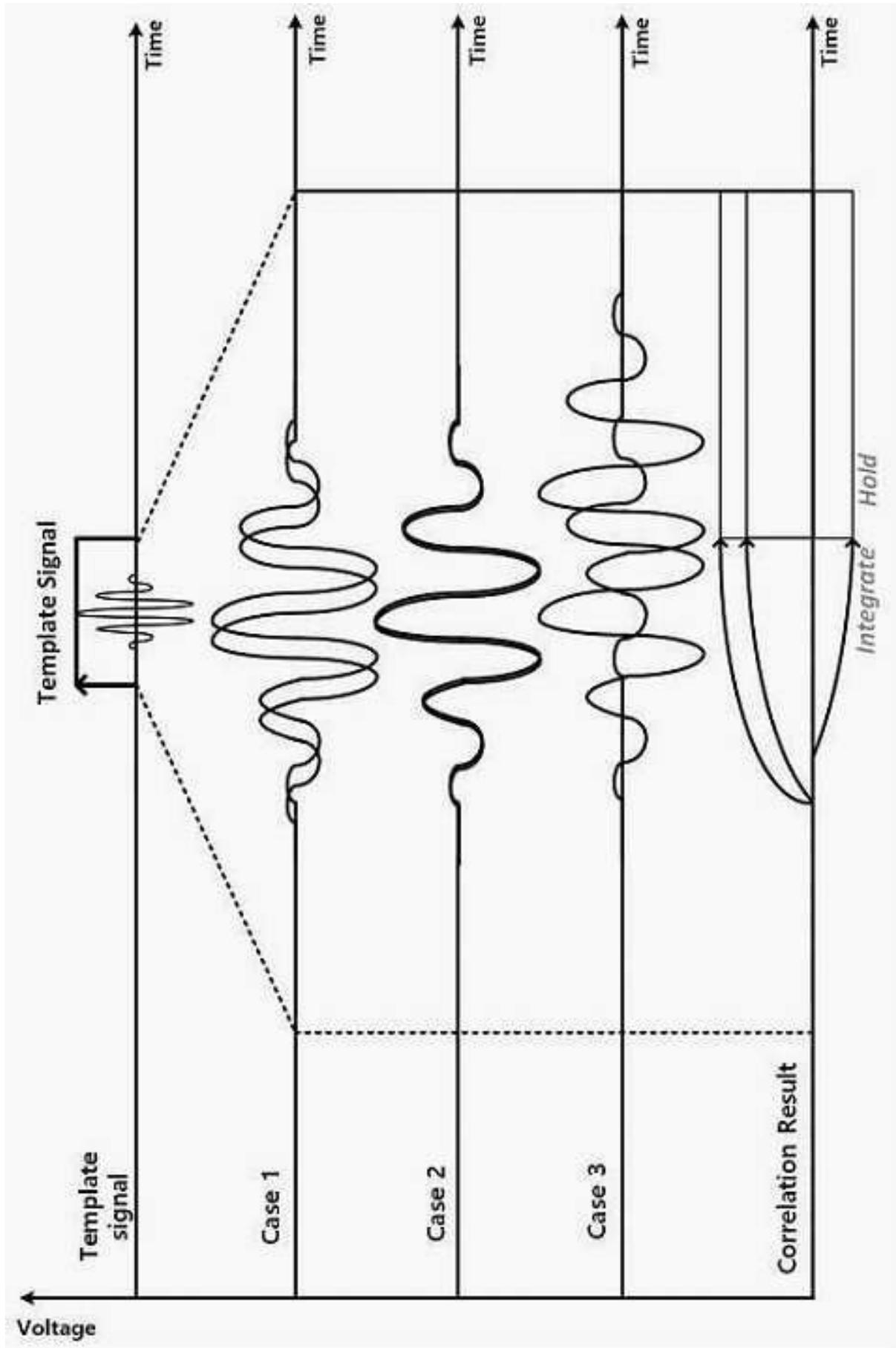
도면2



도면3



도면4



도면5

