

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0161983

(43) 공개일자 2022년12월07일

(51) 국제특허분류(Int. Cl.)

H03K 3/356 (2006.01) G11C 11/22 (2006.01)

H03K 19/1776 (2020.01) H03K 19/185 (2006.01)

(52) CPC특허분류

H03K 3/356008 (2013.01)

G11C 11/223 (2013.01)

(21) 출원번호 10-2021-0070409

(22) 출원일자 2021년05월31일

심사청구일자 2021년05월31일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 제3공학관 7층 712호(신촌동, 연세대학교)

김세건

서울특별시 서대문구 연세로 50, 제3공학관 7층 712호(신촌동, 연세대학교)

(뒷면에 계속)

(74) 대리인

특허법인우인

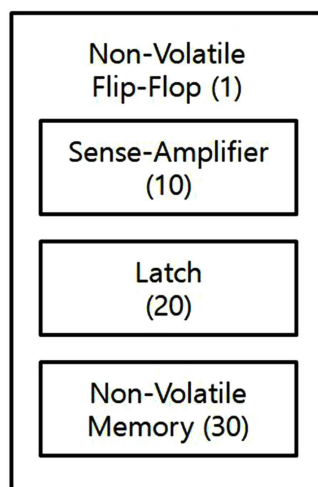
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 강유전체 메모리 소자를 포함하는 감지 증폭기 기반 비휘발성 플립플롭

## (57) 요약

본 실시예들은 작은 하드웨어 면적, 적은 제어 신호 사용, 별도의 쓰기 회로가 없고, 작은 쓰기 전력 소모, 작은 읽기 시간 및 전력 소모가 가능하며, 저전력 동작이 요구되는 모바일 장치에 적용 가능한 비휘발성 메모리 소자가 적용된 감지증폭기 기반의 플립플롭을 제공한다.

대표도 - 도18



(52) CPC특허분류

*H03K 19/1776* (2013.01)

*H03K 19/185* (2013.01)

*H03K 3/356104* (2013.01)

(72) 발명자

**오태우**

서울특별시 서대문구 연세로 50, 제3공학관 7층  
712호(신촌동, 연세대학교)

**임세희**

서울특별시 서대문구 연세로 50, 제3공학관 7층  
712호(신촌동, 연세대학교)

**고동한**

서울특별시 서대문구 연세로 50, 제3공학관 7층  
712호(신촌동, 연세대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130292
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	신소자핵심선도기술
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2021.01.01 ~ 2021.12.31

---

## 명세서

### 청구범위

#### 청구항 1

데이터 입력 신호 및 데이터 바 입력 신호가 입력되고 세트 바(set bar) 신호 및 리셋 바(reset bar) 신호를 출력하는 감지증폭기;

상기 감지증폭기에 연결되며 상기 세트 바 신호 및 상기 리셋 바 신호가 입력되고 데이터 출력 신호 및 데이터 바 출력 신호를 출력하는 래치; 및

상기 감지증폭기 또는 상기 래치에 연결되며 강유전체 트랜지스터가 적용된 비휘발성 저장소자를 포함하는 비휘발성 플립플롭.

#### 청구항 2

제1항에 있어서,

상기 비휘발성 플립플롭은 상기 강유전체 트랜지스터의 상태 변화를 이용하여 별도의 백업 모드 없이 일반 모드, 대기 모드, 리스토어 모드로 동작하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 3

제2항에 있어서,

상기 비휘발성 저장소자는 복수의 강유전체 트랜지스터를 포함하며,

상기 복수의 강유전체 트랜지스터는 서로 반대의 상태를 갖고, 상기 상태는 저저항 상태(Low Resistance State, LRS) 또는 고저항 상태(High Resistance State, HRS)를 나타내는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 4

제3항에 있어서,

상기 비휘발성 저장소자는 상기 감지증폭기에 연결되며,

상기 비휘발성 저장소자는,

상기 세트 바 신호가 출력되는 노드 및 상기 리셋 바가 출력되는 노드에 연결된 제1 유형의 제1 강유전체 트랜지스터 및 제1 유형의 제2 강유전체 트랜지스터를 포함하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 5

제4항에 있어서,

상기 제1 유형의 제1 강유전체 트랜지스터의 제1 단자는 상기 세트 바 신호가 출력되는 노드에 연결되고,

상기 제1 유형의 제1 강유전체 트랜지스터의 제어 단자는 상기 리셋 바 신호가 출력되는 노드에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 6

제4항에 있어서,

상기 제1 유형의 제2 강유전체 트랜지스터의 제1 단자는 상기 리셋 바 신호가 출력되는 노드에 연결되고,

상기 제1 유형의 제2 강유전체 트랜지스터의 제어 단자는 상기 세트 바 신호가 출력되는 노드에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 7

제4항에 있어서,

상기 비휘발성 저장소자는,

상기 제1 유형의 제1 강유전체 트랜지스터에 연결되며 리스토어 신호에 의해 제어되는 제1 유형의 제1 추가 트랜지스터를 포함하고,

상기 제1 유형의 제2 강유전체 트랜지스터에 연결되며 상기 리스토어 신호에 의해 제어되는 제1 유형의 제2 추가 트랜지스터를 포함하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 8

제7항에 있어서,

상기 비휘발성 저장소자는,

상기 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되며 일반 모드 신호에 의해 제어되는 제1 유형의 제3 추가 트랜지스터를 포함하고,

상기 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되며 상기 일반 모드 신호에 의해 제어되는 제1 유형의 제4 추가 트랜지스터를 포함하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 9

제8항에 있어서,

상기 제1 유형의 제1 추가 트랜지스터의 제1 단자는 상기 제1 유형의 제1 강유전체 트랜지스터에 연결되고, 상기 제1 유형의 제1 추가 트랜지스터의 제2 단자는 상기 제1 유형의 제3 추가 트랜지스터에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 10

제8항에 있어서,

상기 제1 유형의 제2 추가 트랜지스터의 제1 단자는 상기 제1 유형의 제2 강유전체 트랜지스터에 연결되고, 상기 제1 유형의 제2 추가 트랜지스터의 제2 단자는 상기 제1 유형의 제4 추가 트랜지스터에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 11

제8항에 있어서,

상기 제1 유형의 제3 추가 트랜지스터의 제1 단자는 상기 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되고,

상기 제1 유형의 제4 추가 트랜지스터의 제1 단자는 상기 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되고,

상기 제1 유형의 제3 추가 트랜지스터의 제2 단자 및 상기 제1 유형의 제4 추가 트랜지스터의 제2 단자는 클록 신호에 의해 제어되는 트랜지스터에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 12

제7항에 있어서,

상기 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간 및 하나의 클록 사이클을 소요하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 13

제3항에 있어서,

상기 비휘발성 저장소자는 상기 래치에 연결되며,

상기 비휘발성 저장소자는,

상기 데이터 출력 신호가 출력되는 노드 및 상기 데이터 바 출력 신호가 출력되는 노드에 연결된 제2 유형의 제1 강유전체 트랜지스터 및 제2 유형의 제2 강유전체 트랜지스터를 포함하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 14

제13항에 있어서,

상기 제2 유형의 제1 강유전체 트랜지스터의 제1 단자는 상기 데이터 출력 신호가 출력되는 노드에 연결되고,

상기 제2 유형의 제1 강유전체 트랜지스터의 제어 단자는 상기 데이터 바 출력 신호가 출력되는 노드에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 15

제13항에 있어서,

상기 제2 유형의 제2 강유전체 트랜지스터의 제1 단자는 상기 데이터 바 출력 신호가 출력되는 노드에 연결되고,

상기 제2 유형의 제2 강유전체 트랜지스터의 제어 단자는 상기 데이터 출력 신호가 출력되는 노드에 연결되는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 16

제13항에 있어서,

상기 비휘발성 저장소자는,

상기 제2 유형의 제1 강유전체 트랜지스터에 연결되며 리스토어 신호에 의해 제어되는 제2 유형의 제1 추가 트랜지스터를 포함하고,

상기 제2 유형의 제2 강유전체 트랜지스터에 연결되며 상기 리스토어 신호에 의해 제어되는 제2 유형의 제2 추가 트랜지스터를 포함하는 것을 특징으로 하는 비휘발성 플립플롭.

#### 청구항 17

제16항에 있어서,

상기 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간을 소요하는 것을 특징으로 하는 비휘발성 플립플롭.

### 발명의 설명

#### 기술 분야

[0001] 본 발명이 속하는 기술 분야는 비휘발성 플립플롭에 관한 것이다.

#### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 배터리 기반 모바일 장치들 (사물인터넷 장치, 휴대폰, 전기차 등)의 급격한 성장으로 저전력 동작이 동작 속도보다 중요한 지표가 되고 있다.

[0004] 저전력 동작을 위한 효과적이면서 간단한 방법은 SoC(system-on-chip)의 구동 전압 ( $V_{DD}$ )를 낮춰 전력 소모를 줄이는 방법이 있다.  $V_{DD}$ 가 낮아지게 되면 트랜지스터의 속도는 지수적으로(exponentially) 감소하고, 프로세스 변화량(process variation)도 증가해 성능 측면에서 악영향이 있다.

[0005] SoC는 순차 논리 회로와 조합 논리 회로로 이루어져 있고 이 사이의 데이터를 저장할 수 있는 플립플롭이 많은

비중을 차지한다. 작은  $V_{DD}$  이용에 따른 악영향을 최소화하기 위해서 작은  $V_{DD}$ 에서 최대한 성능 저하가 작은 플립플롭을 사용하는 것이 중요하다.

[0006] 점차 트랜지스터의 크기가 작아지며 집적도가 향상되면서 SoC의 구동 전압이 낮아지면서 임계 전압도 같이 낮아지게 되어 꺼져있는 트랜지스터에서의 누설 전류의 크기가 커지는 문제가 있다. 이러한 누설전류의 상당 부분을 전력 게이팅(power gating)을 통해 전력 공급을 차단하여 줄일 수 있고 많은 디지털 회로에서 사용되고 있다.

[0007] 기존의 휘발성 시스템은 전력 공급이 사라지면 가지고 있던 데이터를 잃어버리게 되어 다시 연산을 하기 위해 부팅할 때 콜드 상태(cold state)에서 이전의 데이터를 복원하기 위한 시간과 전력이 많이 필요하다. 데이터를 유지하기 위해서는 전력을 완전히 차단하지 못해 누설 전류가 계속 발생하게 되어 전력을 계속 사용하게 되는 문제가 있다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) KR 10-2154352 (2020.09.10)

(특허문헌 0002) KR 10-0482996 (2005.04.15)

(특허문헌 0003) US 6,924,663 (2005.08.02)

## 발명의 내용

### 해결하려는 과제

[0009] 본 발명의 실시예들은 비휘발성 메모리 소자가 적용된 감지증폭기 기반의 플립플롭에 관한 것으로 작은 하드웨어 면적, 적은 제어 신호 사용, 별도의 쓰기 회로가 없고, 작은 쓰기 전력 소모, 작은 읽기 시간 및 전력 소모가 가능하며, 저전력 동작이 요구되는 모바일 장치에 적용하는데 발명의 주된 목적이 있다.

[0010] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

### 과제의 해결 수단

[0011] 본 실시예의 일 측면에 의하면, 데이터 입력 신호 및 데이터 바 입력 신호가 입력되고 세트 바(set bar) 신호 및 리셋 바(reset bar) 신호를 출력하는 감지증폭기; 상기 감지증폭기에 연결되며 상기 세트 바 신호 및 상기 리셋 바 신호가 입력되고 데이터 출력 신호 및 데이터 바 출력 신호를 출력하는 래치; 및 상기 감지증폭기 또는 상기 래치에 연결되며 강유전체 트랜지스터가 적용된 비휘발성 저장소자를 포함하는 비휘발성 플립플롭을 제공한다.

[0012] 상기 비휘발성 플립플롭은 상기 강유전체 트랜지스터의 상태 변화를 이용하여 별도의 백업 모드 없이 일반 모드, 대기 모드, 리스토어 모드로 동작할 수 있다.

[0013] 상기 비휘발성 저장소자는 복수의 강유전체 트랜지스터를 포함하며, 상기 복수의 강유전체 트랜지스터는 서로 반대의 상태를 갖고, 상기 상태는 저저항 상태(Low Resistance State, LRS) 또는 고저항 상태(High Resistance State, HRS)를 나타낼 수 있다.

[0014] 상기 비휘발성 저장소자는 상기 감지증폭기에 연결되며, 상기 비휘발성 저장소자는, 상기 세트 바 신호가 출력되는 노드 및 상기 리셋 바가 출력되는 노드에 연결된 제1 유형의 제1 강유전체 트랜지스터 및 제1 유형의 제2 강유전체 트랜지스터를 포함할 수 있다.

[0015] 상기 제1 유형의 제1 강유전체 트랜지스터의 제1 단자는 상기 세트 바 신호가 출력되는 노드에 연결되고, 상기 제1 유형의 제1 강유전체 트랜지스터의 제2 단자는 상기 리셋 바 신호가 출력되는 노드에 연결될 수 있다.

[0016] 상기 제1 유형의 제2 강유전체 트랜지스터의 제1 단자는 상기 리셋 바 신호가 출력되는 노드에 연결되고, 상기 제1 유형의 제2 강유전체 트랜지스터의 제2 단자는 상기 세트 바 신호가 출력되는 노드에 연결될 수 있다.

- [0017] 상기 비휘발성 저장소자는, 상기 제1 유형의 제1 강유전체 트랜지스터에 연결되며 리스토어 신호에 의해 제어되는 제1 유형의 제1 추가 트랜지스터를 포함하고, 상기 제1 유형의 제2 강유전체 트랜지스터에 연결되며 상기 리스토어 신호에 의해 제어되는 제1 유형의 제2 추가 트랜지스터를 포함할 수 있다.
- [0018] 상기 비휘발성 저장소자는, 상기 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되며 일반 모드 신호에 의해 제어되는 제1 유형의 제3 추가 트랜지스터를 포함하고, 상기 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되며 상기 일반 모드 신호에 의해 제어되는 제1 유형의 제4 추가 트랜지스터를 포함할 수 있다.
- [0019] 상기 제1 유형의 제1 추가 트랜지스터의 제1 단자는 상기 제1 유형의 제1 강유전체 트랜지스터에 연결되고, 상기 제1 유형의 제1 추가 트랜지스터의 제2 단자는 상기 제1 유형의 제3 추가 트랜지스터에 연결될 수 있다.
- [0020] 상기 제1 유형의 제2 추가 트랜지스터의 제1 단자는 상기 제1 유형의 제2 강유전체 트랜지스터에 연결되고, 상기 제1 유형의 제2 추가 트랜지스터의 제2 단자는 상기 제1 유형의 제4 추가 트랜지스터에 연결될 수 있다.
- [0021] 상기 제1 유형의 제3 추가 트랜지스터의 제1 단자는 상기 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되고, 상기 제1 유형의 제4 추가 트랜지스터의 제1 단자는 상기 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되고, 상기 제1 유형의 제3 추가 트랜지스터의 제2 단자 및 상기 제1 유형의 제4 추가 트랜지스터의 제2 단자는 클록 신호에 의해 제어되는 트랜지스터에 연결될 수 있다.
- [0022] 상기 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간 및 하나의 클록 사이클을 소요할 수 있다.
- [0023] 상기 비휘발성 저장소자는 상기 래치에 연결되며, 상기 비휘발성 저장소자는, 상기 데이터 출력 신호가 출력되는 노드 및 상기 데이터 바 출력 신호가 출력되는 노드에 연결된 제2 유형의 제1 강유전체 트랜지스터 및 제2 유형의 제2 강유전체 트랜지스터를 포함할 수 있다.
- [0024] 상기 제2 유형의 제1 강유전체 트랜지스터의 제1 단자는 상기 데이터 출력 신호가 출력되는 노드에 연결되고, 상기 제2 유형의 제1 강유전체 트랜지스터의 제어 단자는 상기 데이터 바 출력 신호가 출력되는 노드에 연결될 수 있다.
- [0025] 상기 제2 유형의 제2 강유전체 트랜지스터의 제1 단자는 상기 데이터 바 출력 신호가 출력되는 노드에 연결되고, 상기 제2 유형의 제2 강유전체 트랜지스터의 제어 단자는 상기 데이터 출력 신호가 출력되는 노드에 연결될 수 있다.
- [0026] 상기 비휘발성 저장소자는, 상기 제2 유형의 제1 강유전체 트랜지스터에 연결되며 리스토어 신호에 의해 제어되는 제2 유형의 제1 추가 트랜지스터를 포함하고, 상기 제2 유형의 제2 강유전체 트랜지스터에 연결되며 상기 리스토어 신호에 의해 제어되는 제2 유형의 제2 추가 트랜지스터를 포함할 수 있다.
- [0027] 상기 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간을 소요할 수 있다.

### 발명의 효과

- [0028] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 비휘발성 메모리 소자가 적용된 감지증폭기 기반의 플립플롭에 관한 것으로 작은 하드웨어 면적, 적은 제어 신호 사용, 별도의 쓰기 회로가 없고, 작은 쓰기 전력 소모, 작은 읽기 시간 및 전력 소모가 가능하며, 저전력 동작이 요구되는 모바일 장치에 적용할 수 있는 효과가 있다.
- [0029] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

### 도면의 간단한 설명

- [0030] 도 1은 플립플롭을 예시한 도면이다.
- 도 2 및 도 3은 플립플롭의 동작에 관한 예시적인 타이밍도이다.
- 도 4는 감지증폭기 기반의 플립플롭에 관한 예시적인 회로도이다.
- 도 5 및 도 7은 감지증폭기 기반의 플립플롭의 동작을 설명하기 위한 예시적인 회로도이다.
- 도 6 및 도 8은 감지증폭기 기반의 플립플롭의 동작을 설명하기 위한 예시적인 타이밍도이다.

도 9는 휘발성 시스템을 예시한 도면이다.

도 10은 휘발성 시스템의 소모 전력을 예시한 도면이다.

도 11은 비휘발성 시스템을 예시한 도면이다.

도 12는 비휘발성 시스템의 소모 전력을 예시한 도면이다.

도 13은 비휘발성 플립플롭의 동작 모드를 예시한 도면이다.

도 14은 비휘발성 플립플롭의 동작 모드에서 데이터 흐름을 예시한 도면이다.

도 15 및 도 16은 강유전체 기반의 트랜지스터의 구조를 예시한 도면이다.

도 17은 강유전체 기반의 트랜지스터의 상태를 예시한 도면이다.

도 18은 본 발명의 일 실시예에 따른 비휘발성 플립플롭을 예시한 도면이다.

도 19은 본 발명의 다른 실시예에 따른 제1 유형의 비휘발성 플립플롭을 예시한 도면이다.

도 20, 도 22, 도 24, 도 26, 도 28, 도 30, 도 32, 도 34는 본 발명의 다른 실시예에 따른 제1 유형의 비휘발성 플립플롭의 동작에 관한 예시적인 회로도이다.

도 21, 도 23, 도 25, 도 27, 도 29, 도 31, 도 33, 도 35, 도 36은 본 발명의 다른 실시예에 따른 제1 유형의 비휘발성 플립플롭의 동작에 관한 예시적인 타이밍도이다.

도 37은 본 발명의 또 다른 실시예에 따른 제2 유형의 비휘발성 플립플롭을 예시한 도면이다.

도 38, 도 40, 도 42는 본 발명의 또 다른 실시예에 따른 제2 유형의 비휘발성 플립플롭의 동작에 관한 예시적인 회로도이다.

도 39, 도 41, 도 43, 도 44는 본 발명의 또 다른 실시예에 따른 제2 유형의 비휘발성 플립플롭의 동작에 관한 예시적인 타이밍도이다.

도 45는 본 발명의 실시예들을 비교 요약한 표이다.

### 발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0032] 도 1은 플립플롭을 예시한 도면이고, 도 2 및 도 3은 플립플롭의 동작에 관한 예시적인 타이밍도이다.
- [0033] 플립플롭(flip-flop)은 1 비트의 정보를 보관, 유지(latch)할 수 있는 순차 회로의 기본 요소이다. 조합 논리 사이에 존재하며 클럭(CLK) 신호와 맞물려 데이터를 보관하고 갱신한다. CLK 신호의 순간 엣지에서 인풋 값(D)을 아웃풋 값(Q)으로 내보내며 그 데이터를 다음 CLK 엣지까지 유지(latch)한다.
- [0034] 플립플롭의 성능 지표로는 (i)  $t_{CQ}$ , (ii)  $t_{setup}$ , (iii)  $t_{hold}$ 가 있다.
- [0035]  $t_{CQ}$ (CLK-to-Q delay)는 CLK 엣지부터 Q가 출력될 때까지의 시간이고, 값이 작을수록 좋다.
- [0036]  $t_{setup}$ (Setup time)는 CLK 엣지 전 D값이 준비되어야 하는 최소한의 시간이다. Q가 안정되게 출력되기 위한 시간이고, 값이 작을수록 좋다.
- [0037]  $t_{hold}$ (Hold time)은 CLK 엣지 후 D값이 유지되어야 하는 최소한의 시간이다. Q가 안정되게 출력되기 위한 시간이고, 값이 작을수록 좋다.
- [0038] 에너지가 제한된 배터리 기반 모바일 SoC 장치들의 성장으로 인하여, 저전력 동작이 동작 속도보다 중요한 지표가 되었다. 저전력 동작을 위해 작은 구동 전압( $V_{DD}$ )을 이용할 수 있다.
- [0039] 작은  $V_{DD}$ 에 의한 큰 성능 저하 및 누설 전류의 비중이 증가한다. 이를 최소화 위해 플립플롭 사이에 적은 조합 논리를 이용하여 누설 전류가 흐르는 작동하고 있지 않은 idle 상태의 조합 논리를 줄여 전력 효율성을 높인다.

플립플롭 비중이 더 많아지고, 저전력 동작, 빠른  $t_{CQ}$ , 그리고 작은 CLK load를 가지는 플립플롭이 필요하다.

- [0040] 프로세스 변화량(Process variation) 영향이 커지고, 작은  $V_{DD}$ 에서 트랜지스터의 구동 세기 변화량(driving strength variation)이 매우 커지는데 이에 영향을 최소한 받는 플립플롭이 필요하다.
- [0041] 긴 샘플링 폭(sampling width)는 긴  $t_{hold}$ 에 관련된다. 짧은 샘플링 폭은 짧은  $t_{hold}$ 에 관련되지만, D를 캐치하는데 실패할 수 있다.
- [0042] 도 4는 감지증폭기 기반의 플립플롭에 관한 예시적인 회로도이고, 도 5 및 도 7은 감지증폭기 기반의 플립플롭의 동작을 설명하기 위한 예시적인 회로도이고, 도 6 및 도 8은 감지증폭기 기반의 플립플롭의 동작을 설명하기 위한 예시적인 타이밍도이다.
- [0043] 감지증폭기 기반의 플립플롭(Sense-amplifier-based flip-flop, SAFF)은 CLK = 1 동안 D를 잡아 Q로 내보낸다. 작은  $V_{DD}$ 에서  $t_{setup}$  영향 없다. Q가 바뀐 후 D를 잡지 않아 사이즈 문제를 해결할 수 있다. 작은 (심지어 음수의)  $t_{setup}$ 을 가지고 있다. true single phase CLK 이용하여, 작은 CLK load에 의한 작은 CLK 전력 소모가 가능하다. SR latch의 딜레이가 크거나 Transistor mismatch 문제는 향상된 회로 기술을 통해 극복 가능하다.
- [0044] 도 4를 참조하면, 감지증폭기는 제1 트랜지스터(101), 제2 트랜지스터(102), 제3 트랜지스터(103), 제4 트랜지스터(104), 제5 트랜지스터(105), 제6 트랜지스터(106), 제7 트랜지스터(107), 제8 트랜지스터(108), 제9 트랜지스터(109)를 포함할 수 있다.
- [0045] 제1 트랜지스터(101), 제2 트랜지스터(102), 제3 트랜지스터(103), 제4 트랜지스터(104)는 PMOS 트랜지스터로 구현될 수 있고, 제5 트랜지스터(105), 제6 트랜지스터(106), 제7 트랜지스터(107), 제8 트랜지스터(108), 제9 트랜지스터(109)는 NMOS 트랜지스터로 구현될 수 있다.
- [0046] 제1 트랜지스터(101) 및 제4 트랜지스터(104)는 클럭 신호에 의해 제어될 수 있고, 제8 트랜지스터(108)는 데이터 입력 신호에 의해 제어될 수 있고, 제9 트랜지스터(109)는 데이터 바 입력 신호에 의해 제어될 수 있다.
- [0047] 세트 바 신호 및 리셋 바 신호가 래치로 전달될 수 있다.
- [0048] 도 5 및 도 6을 참조하면, 감지증폭기 스테이지(Sense amplifier (SA) stage)에서 프리차지 페이즈(Precharge phase)에서 CLK = 0이고, /S = /R = 1이다. 래치 스테이지(SR latch stage)에서 프리차지 페이즈(Precharge phase)에서 CLK = 0이고, Q, /Q값 유지된다.
- [0049] 도 7 및 도 8을 참조하면, 감지증폭기 스테이지(Sense amplifier (SA) stage)에서 이벨류에이션 페이즈(Evaluation phase)에서 CLK = 1이고, /S, /R 중 하나 디스차지(discharge)된다. 래치 스테이지(SR latch stage)에서 이벨류에이션 페이즈(Evaluation phase)에서 CLK = 1이고, /S, /R 중 하나가 디스차지(discharge)되어 Q, /Q값을 결정한다.
- [0050] 도 9는 휘발성 시스템을 예시한 도면이고, 도 10은 휘발성 시스템의 소모 전력을 예시한 도면이다.
- [0051] 휘발성 시스템(Volatile system)은 트랜지스터 집적도 향상과 함께 system-on-chip (SoC)의 구동 전압 ( $V_{DD}$ )과 임계 전압 ( $V_{TH}$ )이 낮아져 누설 전류의 영향이 커지게 된다. Internet-of-things (IoT)장치들과 같은 normally-off instantly-on 장치들은 대부분의 시간을 동작하지 않고 꺼져 있는 상태로 보낸다. 꺼져 있는 상태에서 누설 전류를 줄이는 것이 중요하다. 꺼져 있을 때 power gating을 통해 전력을 차단해 상당한 누설 전류를 줄일 수 있다. 하지만, 기존의 volatile system은 전력 공급이 끊기면 연산 중인 데이터 소실이 있고, 데이터를 유지하기 위해 전력을 완전히 차단하지 못해 누설 전류가 발생한다.
- [0052] 도 11은 비휘발성 시스템을 예시한 도면이고, 도 12는 비휘발성 시스템의 소모 전력을 예시한 도면이다.
- [0053] 비휘발성 시스템(Nonvolatile system)으로 비휘발성 플립플롭 (nonvolatile flip-flop, NVFF)는 파이프라인에서 순차적 연산 중인 데이터를 저장하는 플립플롭에 비휘발성 메모리(nonvolatile memory, NVM)를 집적해 전력을 차단해도 데이터가 소실되지 않게 한다.
- [0054] 비휘발성 메모리에 데이터를 저장하고 복원하는데 필요한 에너지와 시간이 있지만, 꺼져 있는 시간동안 누설 전류가 발생하지 않기 때문에 많은 전력을 절약 가능하다.
- [0055] 특히 energy-harvesting 장치들은 태양광, 진동 및 무선 주파수 (RF)와 같은 불안정한 전력 공급원을 가지고 있

어 갑작스러운 전력 차단이 수시로 일어나 그때마다 데이터를 잃을 수 있다. NVFF를 통해 이 문제점을 해결할 수 있다.

- [0056] 도 13은 비휘발성 플립플롭의 동작 모드를 예시한 도면이고, 도 14은 비휘발성 플립플롭의 동작 모드에서 데이터 흐름을 예시한 도면이다.
- [0057] 일반 모드(Normal mode)에서는 플립플롭 역할을 수행한다.
- [0058] 백업 모드(Backup mode)에서는 플립플롭의 데이터를 비휘발성 소자, NVM에 저장한다. 일종의 쓰기 모드이다. 저장된 데이터 (logic 1/0)에 따라 NVM의 상태가 결정된다.
- [0059] 대기 모드(Standby mode)는 전력이 완전히 차단되어 누설 전류가 발생하지 않고, NVM에 저장된 데이터는 유지된다.
- [0060] 리스토어 모드(Restore mode)에서는 NVM에 저장된 데이터를 복원한다. 일종의 읽기 모드이다. 모든 노드들이 0V에서 시작하며  $V_{DD}$ 가 점차 올라오면서 NVM에 저장된 데이터 (logic 1/0)를 플립플롭에 복원된다.
- [0061] 도 15 및 도 16은 강유전체 기반의 트랜지스터의 구조를 예시한 도면이고, 도 17은 강유전체 기반의 트랜지스터의 상태를 예시한 도면이다.
- [0062] 기존 MOSFET 구조에서 게이트 층과 절연체 층 사이에 강유전체 (Ferroelectric) 층이 추가된 구조로 차세대 비휘발성 소자로 활용될 수 있다.
- [0063] 강유전체는 분극을 유지하며 이에 따라 FeFET의 상태가 결정된다. 분극 상태는 특정 전압 ( $V_c$ )보다 큰 gate-to-source 전압 ( $V_{GS}$ ) 또는 gate-to-drain 전압 ( $V_{GD}$ )에 의해 변할 수 있다.
- [0064] FeFET 상태는 저저항 상태(Low Resistance State, LRS)와 고저항 상태(High Resistance State, HRS)로 구분된다.
- [0065] LRS에서는  $V_{GS} > V_c$ 를 가하면 강유전체의 분극이 채널을 향한다. 이때 전자 채널 형성을 도와 낮은 저항 값을 가지게 되어  $V_{GS} = 0$ 일 때 전류가 흐르게 된다( $I_{on}$ ).
- [0066] HRS에서는  $V_{GS} < -V_c$ 를 가하면 강유전체의 분극이 게이트 층을 향한다. 이때 전자 채널 형성을 방해하여 큰 저항 값을 가지게 되어  $V_{GS} = 0$ 일 때 전류가 안 흐르게 된다( $I_{off}$ ).
- [0067] STT-MTJ, ReRAM의 경우 2-터미널 소자로 전류 기반의 쓰기 동작을 수행하고, static current에 의한 큰 쓰기 전력 소모한다. 2-터미널 소자로 읽기/쓰기 경로를 공유하고, 읽기/쓰기 구분하기 위한 추가 회로 (logic gate) 필요하다. 회로 사이즈가 크다. 작은  $I_{on}/I_{off}$  비율을 갖고, 읽기 동작시 작은  $I_{on}/I_{off}$  구별하기 위해 sense amplifier 필요로 한다.
- [0068] FeFET 기반 NVFF는 3-터미널 소자로 전기장 기반의 쓰기 동작을 수행하고, charging/discharging을 위한 작은 쓰기 전력만 소모한다. 3-터미널 소자로 읽기/쓰기 경로 독립적으로 존재하고, 추가 회로 필요하지 않다. 회로 사이즈가 작다. 큰  $I_{on}/I_{off}$  비율 ( $\sim 10^6$ )을 갖고, 읽기 동작시 sense amplifier 필요 없다.
- [0069] 도 18은 본 발명의 일 실시예에 따른 비휘발성 플립플롭을 예시한 도면이다.
- [0070] 비휘발성 플립플롭(1)은 감지증폭기(10), 래치(20), 비휘발성 저장소자(30)를 포함한다.
- [0071] 감지증폭기(10)는 데이터 입력 신호 및 데이터 바 입력 신호가 입력되고 세트 바(set bar) 신호 및 리셋 바(reset bar) 신호를 출력한다.
- [0072] 래치(20)는 감지증폭기(10)에 연결되며 세트 바 신호 및 리셋 바 신호가 입력되고 데이터 출력 신호 및 데이터 바 출력 신호를 출력한다.
- [0073] 비휘발성 저장소자(30)는 감지증폭기(10) 또는 래치(20)에 연결되며 강유전체 트랜지스터가 적용된다. 도 19 내지 도 36에서는 비휘발성 저장소자가 감지증폭기에 연결된 제1 유형의 연결 구조를 도시하고, 도 37 내지 도 44에서는 비휘발성 저장소자가 래치에 연결된 제2 유형의 연결 구조를 도시한다.
- [0074] 비휘발성 플립플롭(1)은 강유전체 트랜지스터의 상태 변화를 이용하여 별도의 백업 모드 없이 일반 모드, 대기

모드, 리스토어 모드로 동작한다.

- [0075] 비휘발성 저장소자(30)는 복수의 강유전체 트랜지스터를 포함한다. 복수의 강유전체 트랜지스터는 서로 반대 상태를 갖는다. 상태는 저저항 상태(Low Resistance State, LRS) 또는 고저항 상태(High Resistance State, HRS)를 나타낸다.
- [0076] 도 19은 본 발명의 다른 실시예에 따른 제1 유형의 비휘발성 플립플롭을 예시한 도면이다.
- [0077] SA 스테이지에 2 FeFETs를 추가한 구조(SA-merged)이다. 추가 트랜지스터 및 소자는 4 TRs + 2 FeFETs이며 작은 면적을 차지한다. 제어 신호는 RE(restore), NM(normal mode)이다. 별도의 백업 모드가 필요없고 FeFET의  $V_{GD}$ 를 통해 상태가 변화된다. 리스토어 모드는 1 CLK cycle 통해 데이터를 읽는다.
- [0078] 비휘발성 저장소자는 감지증폭기에 연결된다.
- [0079] 비휘발성 저장소자는, 세트 바 신호가 출력되는 노드 및 리셋 바가 출력되는 노드에 연결된 제1 유형의 제1 강유전체 트랜지스터(311) 및 제1 유형의 제2 강유전체 트랜지스터(312)를 포함할 수 있다. 트랜지스터의 제1 단자는 드레인 또는 소스를 나타낼 수 있고, 트랜지스터의 제2 단자는 드레인 또는 소스를 나타낼 수 있다.
- [0080] 제1 유형의 제1 강유전체 트랜지스터(311)의 제1 단자는 세트 바 신호가 출력되는 노드에 연결되고, 제1 유형의 제1 강유전체 트랜지스터(311)의 제어 단자는 리셋 바 신호가 출력되는 노드에 연결될 수 있다.
- [0081] 제1 유형의 제2 강유전체 트랜지스터(312)의 제1 단자는 리셋 바 신호가 출력되는 노드에 연결되고, 제1 유형의 제2 강유전체 트랜지스터(312)의 제어 단자는 세트 바 신호가 출력되는 노드에 연결될 수 있다.
- [0082] 비휘발성 저장소자는, 제1 유형의 제1 강유전체 트랜지스터(311)에 연결되며 리스토어 신호에 의해 제어되는 제1 유형의 제1 추가 트랜지스터(321)를 포함하고, 제1 유형의 제2 강유전체 트랜지스터(312)에 연결되며 리스토어 신호에 의해 제어되는 제1 유형의 제2 추가 트랜지스터(322)를 포함할 수 있다. 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간 및 하나의 클록 사이클을 소요할 수 있다.
- [0083] 비휘발성 저장소자는, 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되며 일반 모드 신호에 의해 제어되는 제1 유형의 제3 추가 트랜지스터(323)를 포함하고, 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되며 일반 모드 신호에 의해 제어되는 제1 유형의 제4 추가 트랜지스터(324)를 포함할 수 있다.
- [0084] 제1 유형의 제1 추가 트랜지스터(321)의 제1 단자는 제1 유형의 제1 강유전체 트랜지스터(311)에 연결되고, 제1 유형의 제1 추가 트랜지스터(321)의 제2 단자는 제1 유형의 제3 추가 트랜지스터(323)에 연결될 수 있다.
- [0085] 제1 유형의 제2 추가 트랜지스터(322)의 제1 단자는 제1 유형의 제2 강유전체 트랜지스터(312)에 연결되고, 제1 유형의 제2 추가 트랜지스터(322)의 제2 단자는 제1 유형의 제4 추가 트랜지스터(324)에 연결될 수 있다.
- [0086] 제1 유형의 제3 추가 트랜지스터(323)의 제1 단자는 데이터 입력 신호에 의해 제어되는 트랜지스터에 연결되고, 제1 유형의 제4 추가 트랜지스터(324)의 제1 단자는 데이터 바 입력 신호에 의해 제어되는 트랜지스터에 연결되고, 제1 유형의 제3 추가 트랜지스터(323)의 제2 단자 및 제1 유형의 제4 추가 트랜지스터(324)의 제2 단자는 클록 신호에 의해 제어되는 트랜지스터에 연결될 수 있다.
- [0087] 일반 모드(+백업 모드)에서  $Q = 0$ 에서  $Q = 1$ 로 변화하는 동작을 설명한다.
- [0088] 도 20 및 도 21을 참조하면,  $V_{GD} = 0V$ 이고, FeFET state를 유지한다.  $Q = 0$ ,  $/Q = 1$  래치한다.
- [0089] 도 22 및 도 23을 참조하면,  $D = 1$ 로 바뀌어  $/S = 0$  디스차지되고,  $Q = 1$ ,  $/Q = 0$ 으로 트랜지션한다.
- [0090] 도 24 및 도 25를 참조하면,  $V_{GD}$ 에 따라 FeFET state가 자동적으로 변화한다. (기존 STT-MTJ, ReRAM의 경우 별도의 백업 모드가 존재)
- [0091]  $Q = 1$ ,  $/Q = 0$ 이면, F1은 LRS로 변화하고( $V_{GD} = V_{DD}$ ), F2는 HRS로 변화한다( $V_{GD} = -V_{DD}$ ).
- [0092] 일반 모드(+백업 모드)에서  $Q = 1$ 에서  $Q = 0$ 으로 변화하는 동작을 설명한다.
- [0093] 도 26 및 도 27을 참조하면,  $V_{GD} = 0V$ 이고 FeFET state 유지한다.  $Q = 1$ ,  $/Q = 0$  래치한다.
- [0094] 도 28 및 도 29를 참조하면,  $D = 1$ 로 바뀌어  $/S = 0$  디스차지된다.  $Q = 1$ ,  $/Q = 0$ 으로 트랜지션한다.

- [0095] 도 30 및 도 31을 참조하면,  $V_{GD}$ 에 따라 FeFET state가 자동적으로 변화한다. (기존 STT-MTJ, ReRAM의 경우 별도의 backup mode 존재)
- [0096]  $Q = 0$ ,  $/Q = 1$ 이면, F1은 HRS로 변화하고( $V_{GD} = -V_{DD}$ ), F2는 LRS로 변화한다( $V_{GD} = V_{DD}$ ).
- [0097] 리스토어 모드에서 동작을 설명한다.
- [0098] 도 32 및 도 33을 참조하면,  $/S$ ,  $/R$  프리차지한다.
- [0099] 도 34 및 도 35를 참조하면, LRS FeFET이 연결된 노드는 디스차지된다.  $/S = 0$ ,  $/R = 1$ 이고,  $Q = 1$ ,  $/Q = 0$  복원된다.
- [0100] 도 36은 제1 유형의 비휘발성 플립플롭의 전체 동작 모드에서 시간에 따른 신호를 도시한다.
- [0101] Q (플립플롭에 저장되는 데이터)에 따라 두 개의 FeFET, F1과 F2의 상태가 변화하며 데이터를 저장한다. 리스토어 모드에서  $V_{DD}$ 가 올라옴에 따라 Q 값은 0 또는  $V_{DD}$ 로 무작위로 복원되지만 (metastability), 1 CLK cycle을 통해 SA에 병합된 FeFET의 상태에 따른 데이터를 복원할 수 있다.
- [0102] 도 37은 본 발명의 또 다른 실시예에 따른 제2 유형의 비휘발성 플립플롭을 예시한 도면이다.
- [0103] 래치 스테이지에 2 FeFETs를 추가한 구조(latch-merged)이다. 추가 트랜지스터 및 소자는 2 TRs + 2 FeFETs이며 작은 면적을 차지한다. 제어 신호는 RE (restore)이다. 별도의 백업 모드가 필요없고 FeFET의  $V_{GD}$ 를 통해 상태가 변화된다. 리스토어 모드는  $V_{DD}$  상승과 동시에 데이터 복원하므로, 작은 읽기 전력 및 시간을 소모한다.
- [0104] 비휘발성 저장소자는 래치에 연결된다.
- [0105] 비휘발성 저장소자는, 데이터 출력 신호가 출력되는 노드 및 데이터 바 출력 신호가 출력되는 노드에 연결된 제2 유형의 제1 강유전체 트랜지스터(331) 및 제2 유형의 제2 강유전체 트랜지스터(332)를 포함할 수 있다.
- [0106] 제2 유형의 제1 강유전체 트랜지스터(331)의 제1 단자는 데이터 출력 신호가 출력되는 노드에 연결되고, 제2 유형의 제1 강유전체 트랜지스터(331)의 제어 단자는 데이터 바 출력 신호가 출력되는 노드에 연결될 수 있다.
- [0107] 제2 유형의 제2 강유전체 트랜지스터(332)의 제1 단자는 데이터 바 출력 신호가 출력되는 노드에 연결되고, 제2 유형의 제2 강유전체 트랜지스터(332)의 제어 단자는 데이터 출력 신호가 출력되는 노드에 연결될 수 있다.
- [0108] 비휘발성 저장소자는, 제2 유형의 제1 강유전체 트랜지스터(331)에 연결되며 리스토어 신호에 의해 제어되는 제2 유형의 제1 추가 트랜지스터(341)를 포함하고, 제2 유형의 제2 강유전체 트랜지스터(332)에 연결되며 리스토어 신호에 의해 제어되는 제2 유형의 제2 추가 트랜지스터(342)를 포함할 수 있다. 리스토어 신호에 의해 활성화되는 리스토어 모드는 구동 전압의 상승 시간을 소요할 수 있다.
- [0109] 일반 모드(+백업 모드)에서 동작을 설명한다.
- [0110] 도 38 및 도 39를 참조하면, Q,  $/Q$ 값에 따라 FeFET state가 자동적으로 변화한다.  $Q = 1$ ,  $/Q = 0$ 이면, F1은 HRS로 변화하고( $V_{GD} = -V_{DD}$ ), F2는 LRS로 변화한다( $V_{GD} = V_{DD}$ ).  $Q = 0$ ,  $/Q = 1$ 이면, F1은 LRS로 변화하고( $V_{GD} = V_{DD}$ ), F2는 HRS로 변화한다( $V_{GD} = -V_{DD}$ ).
- [0111] 리스토어 모드에서 동작을 설명한다.
- [0112] 도 40 및 도 41을 참조하면,  $V_{DD}$ 가 올라옴과 같이 데이터를 복원한다. LRS FeFET이 연결된 노드는 0V로 고정된다.  $Q = 1$ ,  $/Q = 0$  복원된다.
- [0113] 도 42 및 도 43을 참조하면,  $V_{DD}$ 가 올라옴과 같이 데이터를 복원한다. LRS FeFET이 연결된 노드는 0V로 고정된다.  $Q = 0$ ,  $/Q = 1$  복원된다.
- [0114] 도 44은 제2 유형의 비휘발성 플립플롭의 전체 동작 모드에서 시간에 따른 신호를 도시한다.
- [0115] Q (플립플롭에 저장되는 데이터)에 따라 두 개의 FeFET, F1과 F2의 상태가 변화하며 데이터를 저장한다. 리스토어 모드에서  $V_{DD}$ 가 올라옴에 따라 latch에 병합된 FeFET의 상태에 따른 Q 값을 복원할 수 있다.
- [0116]  $V_{DD} > V_c$ 이고, 매 CLK cycle 마다 Q 값에 따라 FeFET의 상태가 변화해 데이터 저장하여 별도의 백업 모드가 필요

없다. 불안정한 전력을 갖는 energy-harvesting device의 경우 수시로 데이터를 잃어버리는데 CLK 사이클마다 데이터를 저장함으로써 이득을 얻을 수 있다.

[0117] 도 45는 본 발명의 실시예들을 비교 요약한 표이다.

[0118] 비휘발성 플립플롭이 적용된 전자장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.

[0119] 비휘발성 플립플롭이 적용된 전자장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

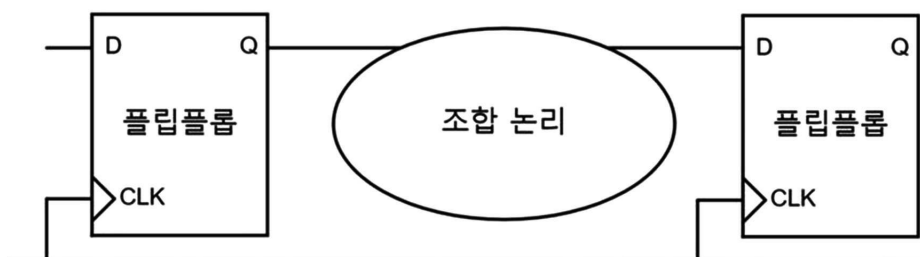
[0120] 비휘발성 플립플롭이 적용된 전자장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.

[0121] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

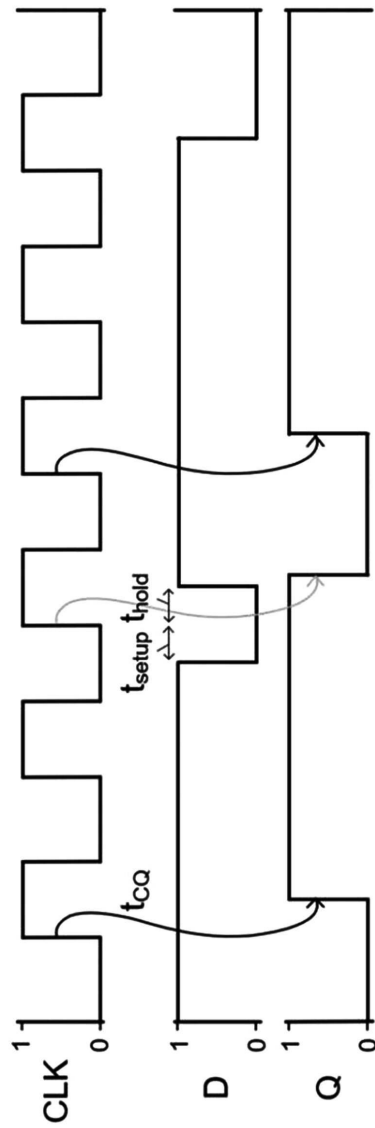
[0122] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 도면

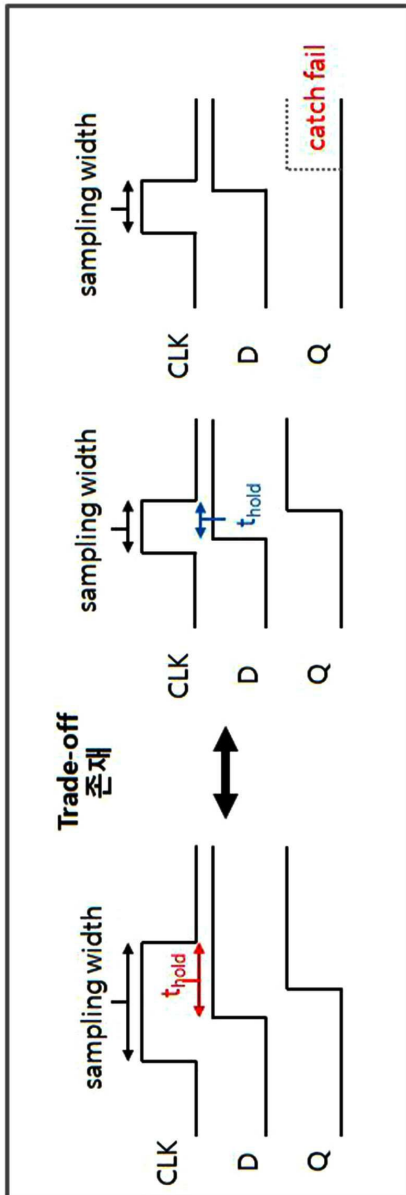
### 도면1



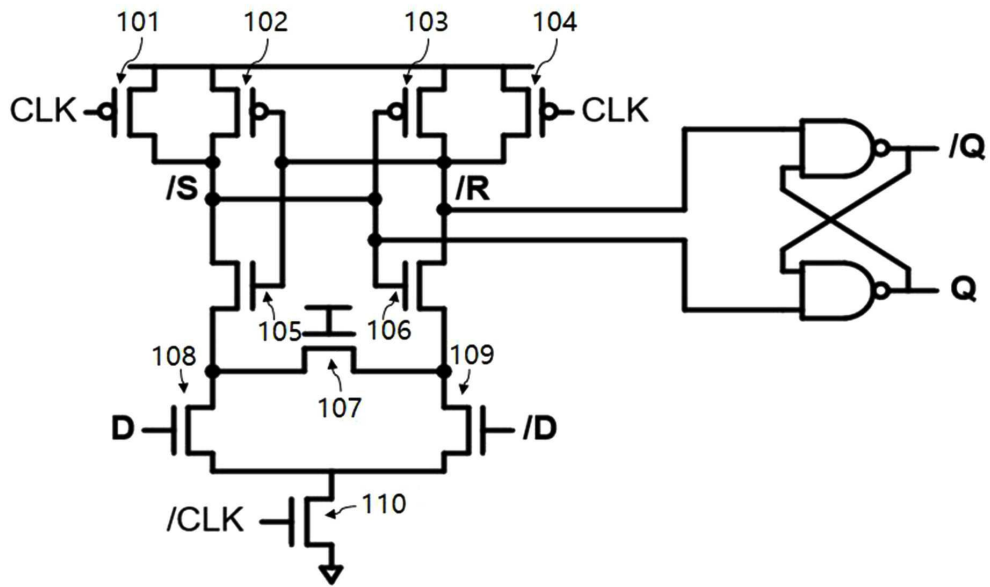
도면2



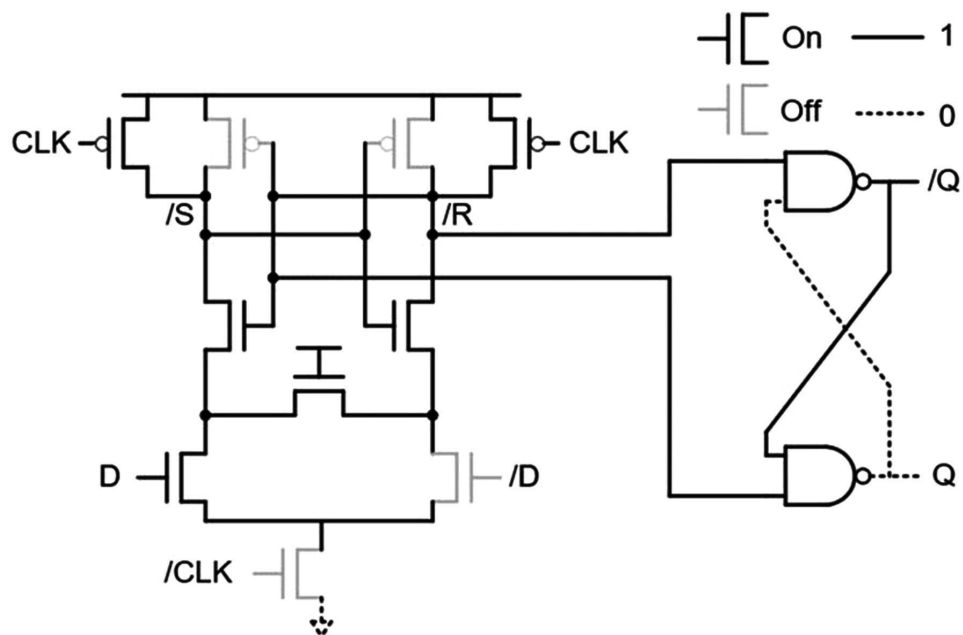
도면3



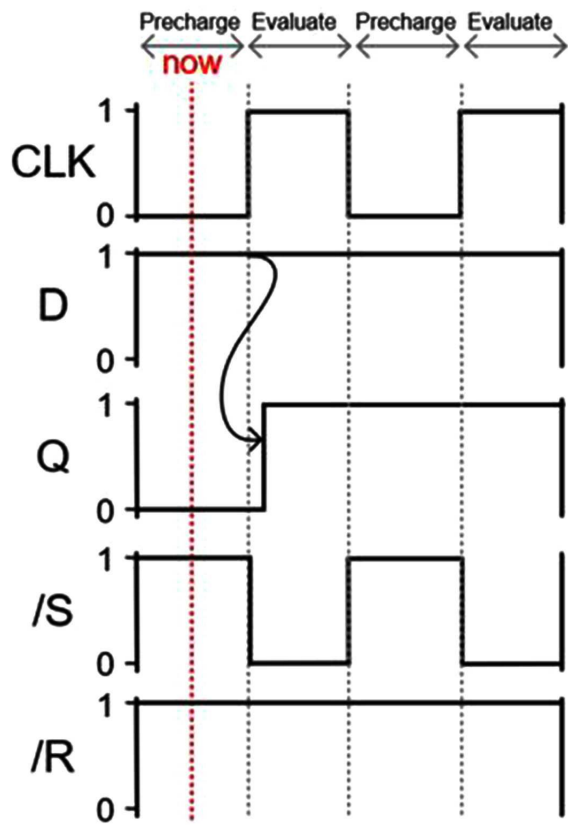
도면4



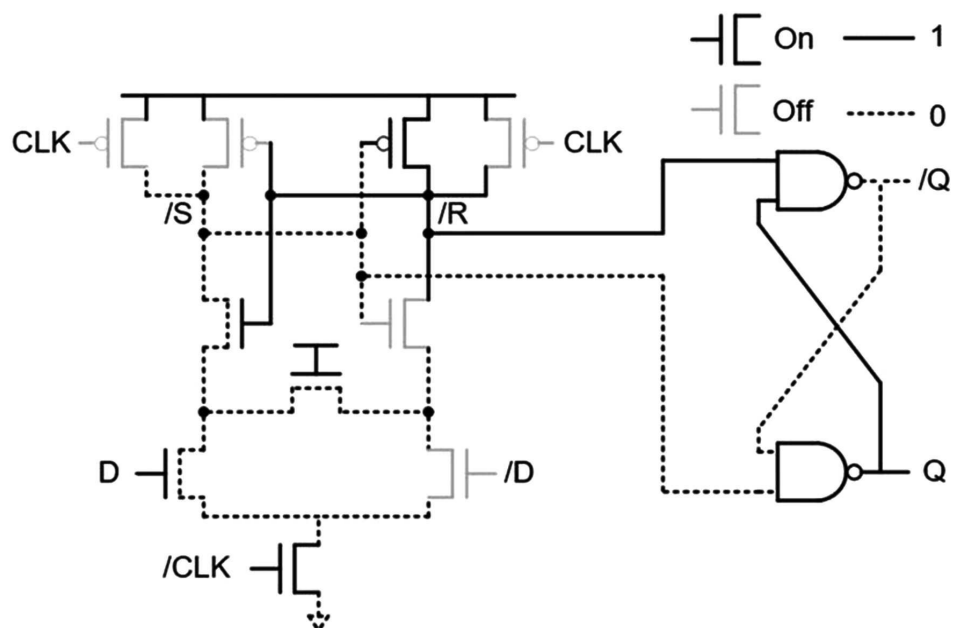
도면5



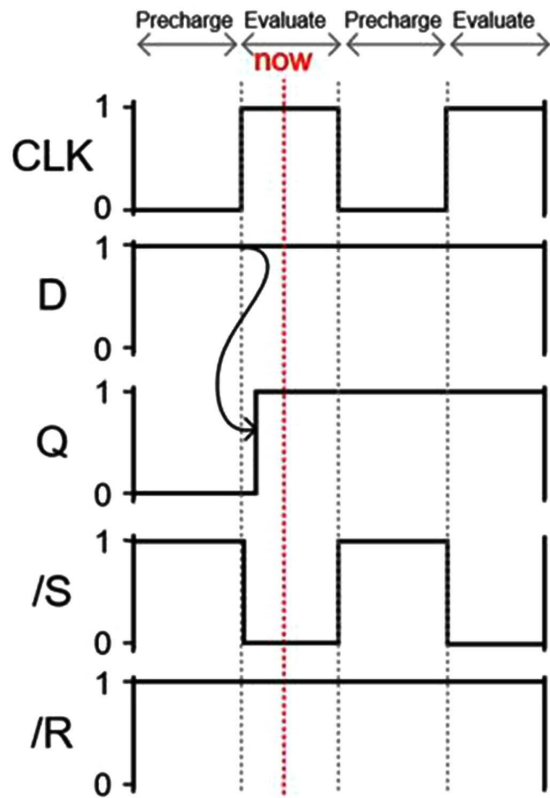
도면6



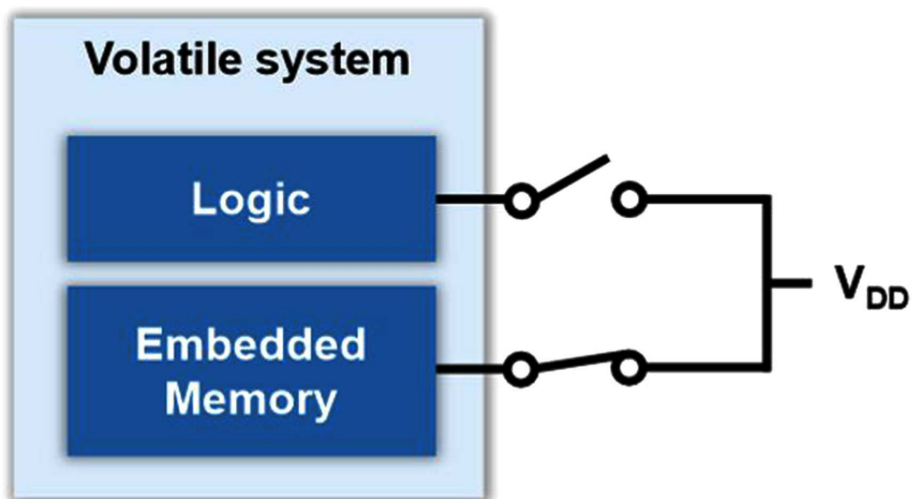
도면7



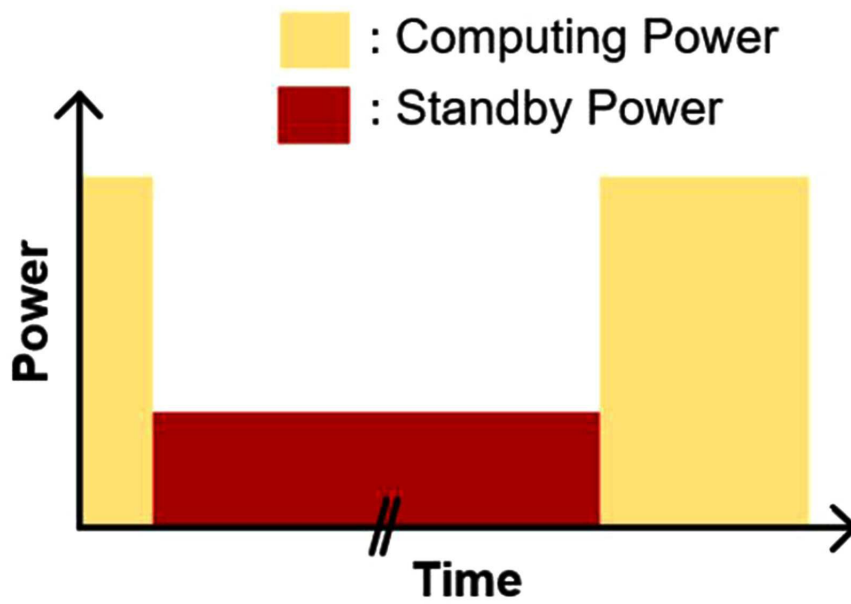
도면8



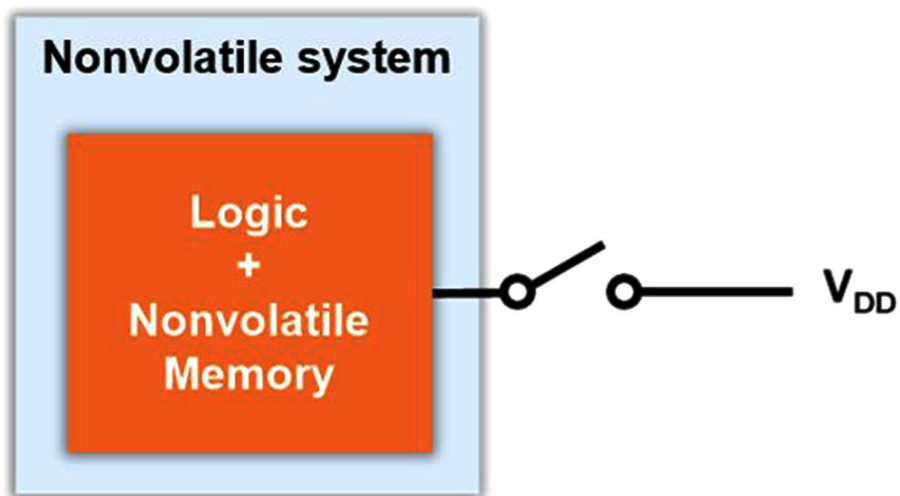
도면9



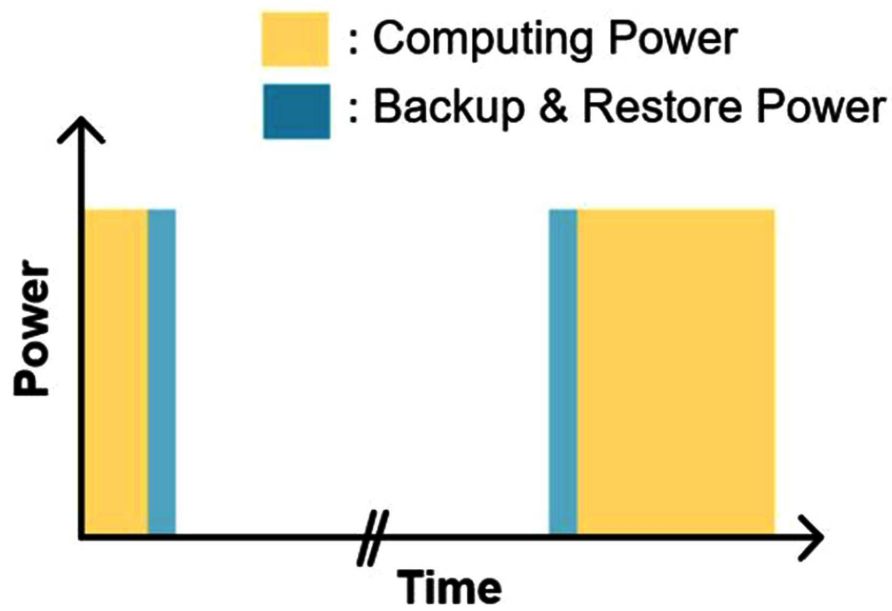
도면10



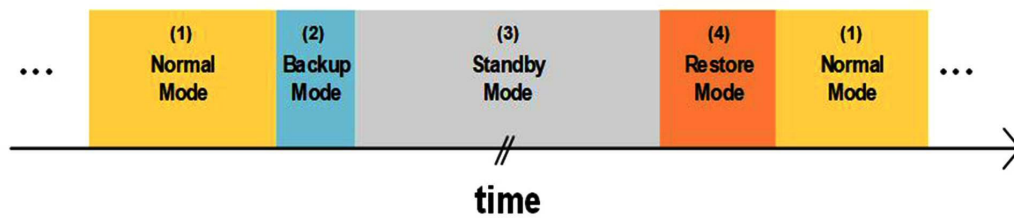
도면11



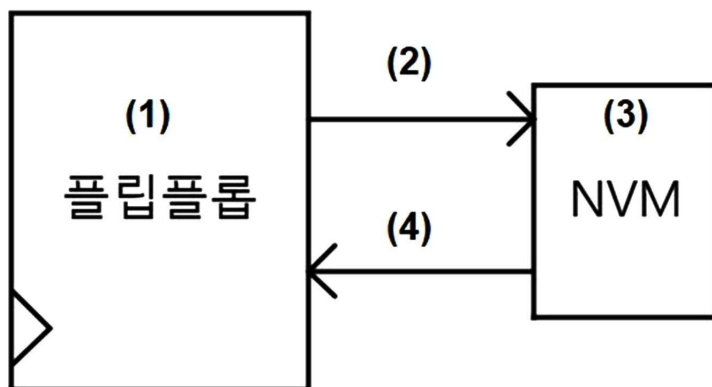
도면12



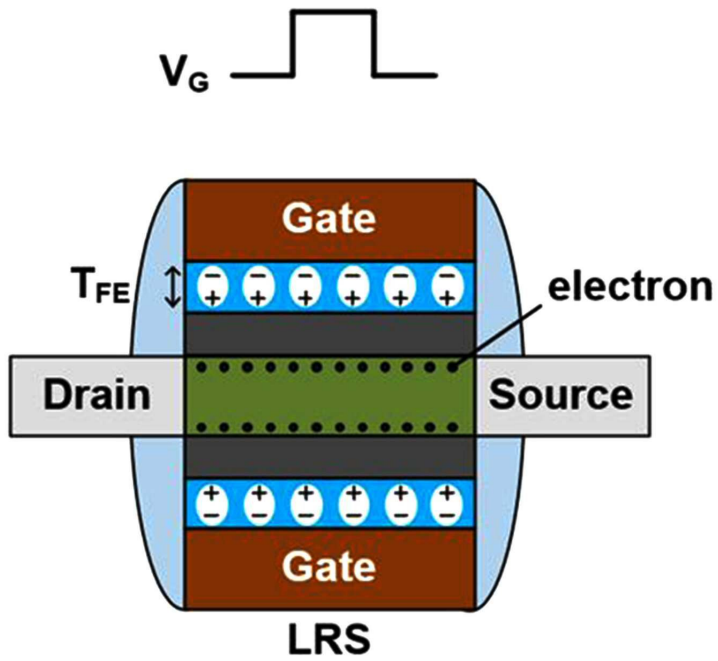
도면13



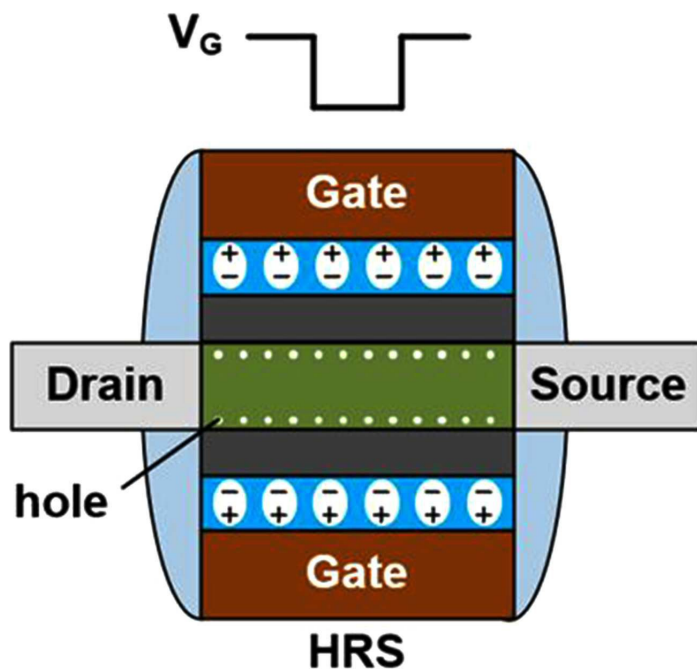
도면14



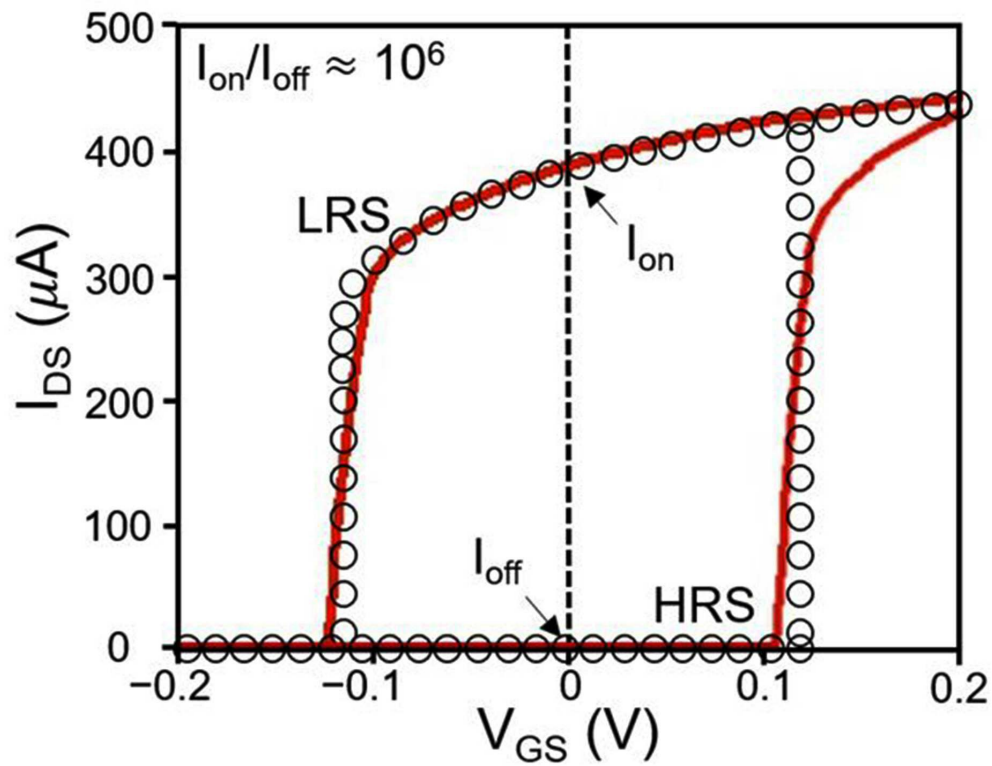
도면15



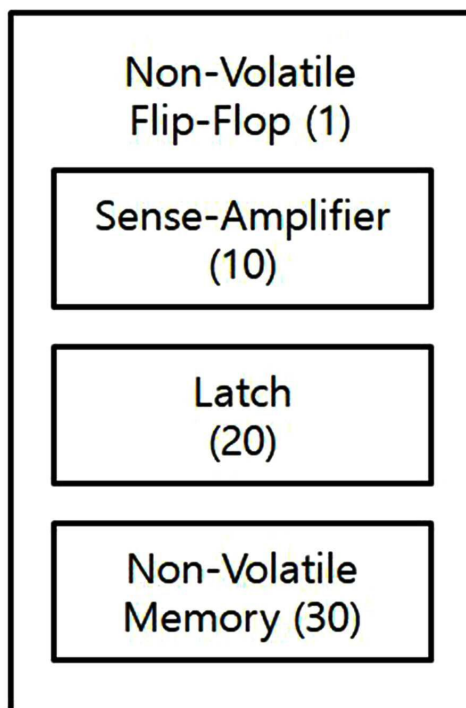
도면16



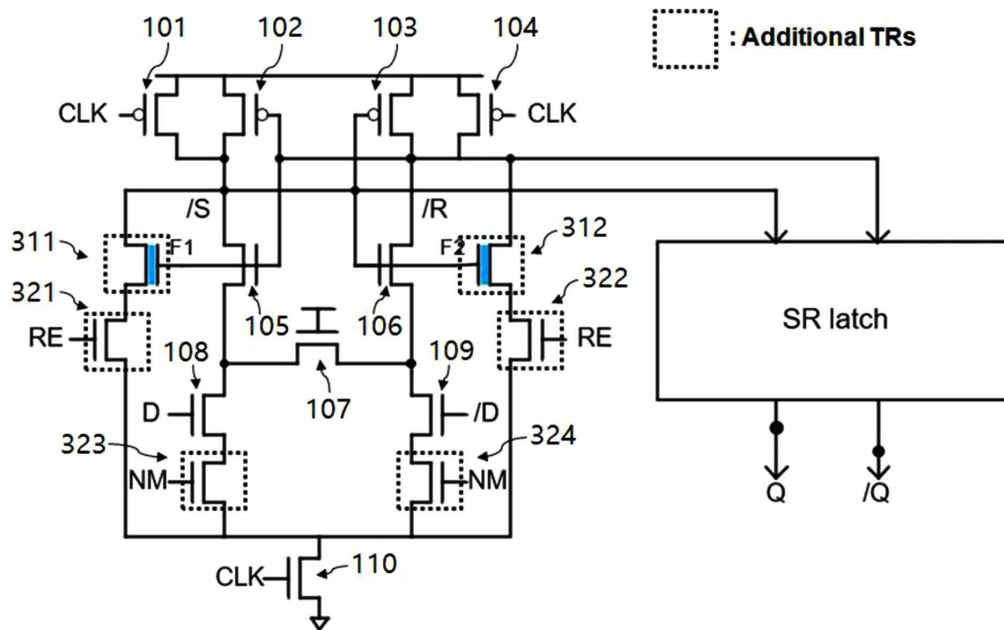
도면17



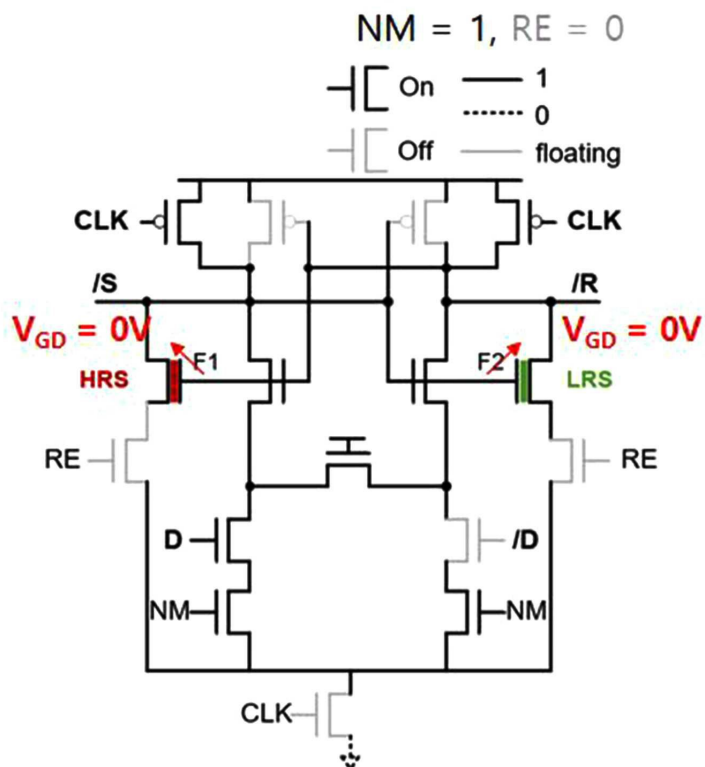
도면18



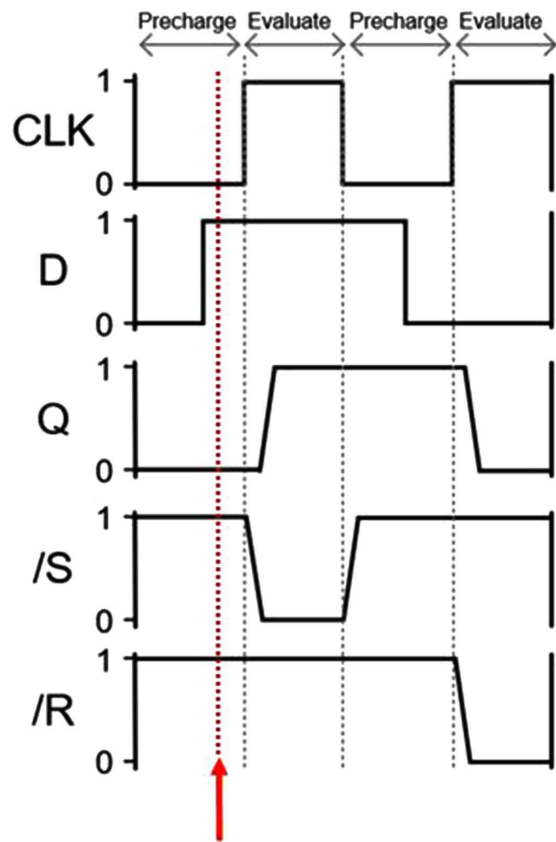
도면19



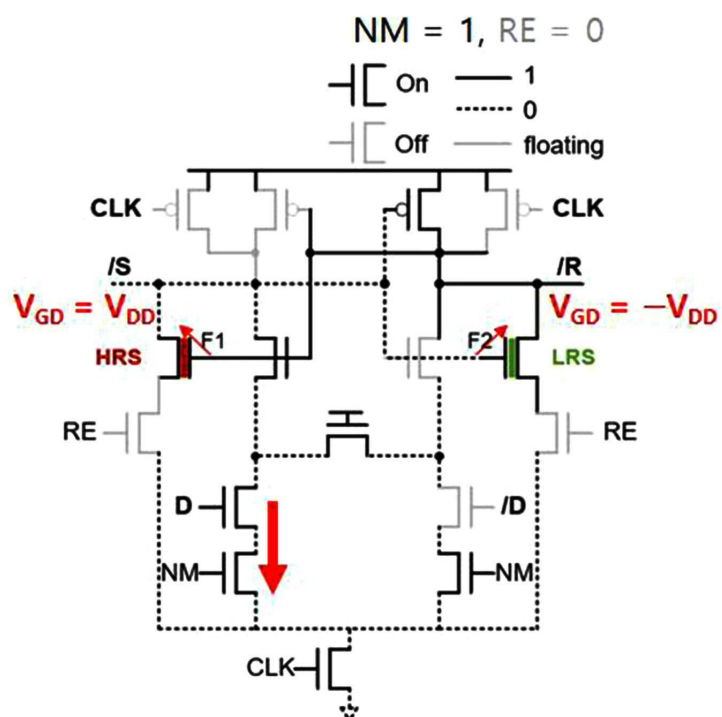
도면20



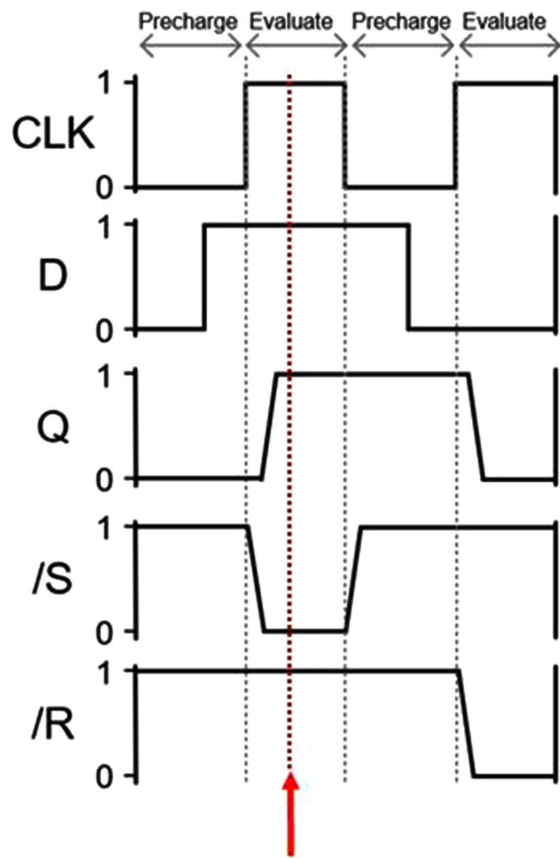
도면21



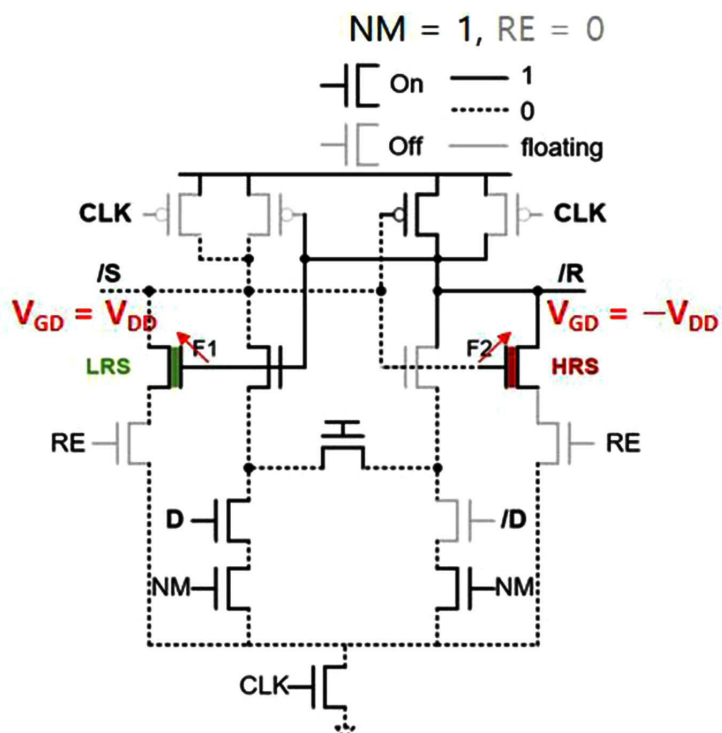
도면22



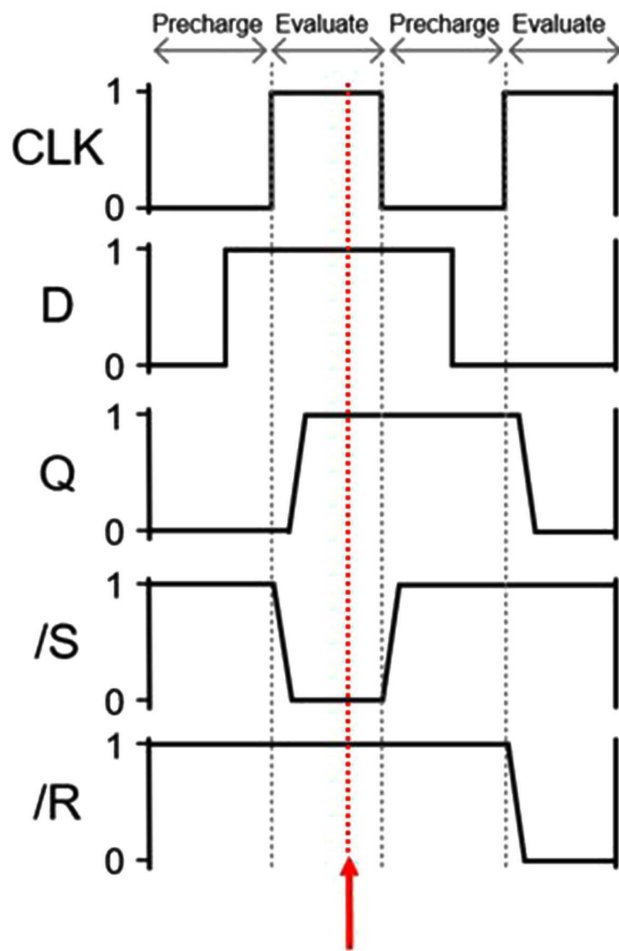
도면23



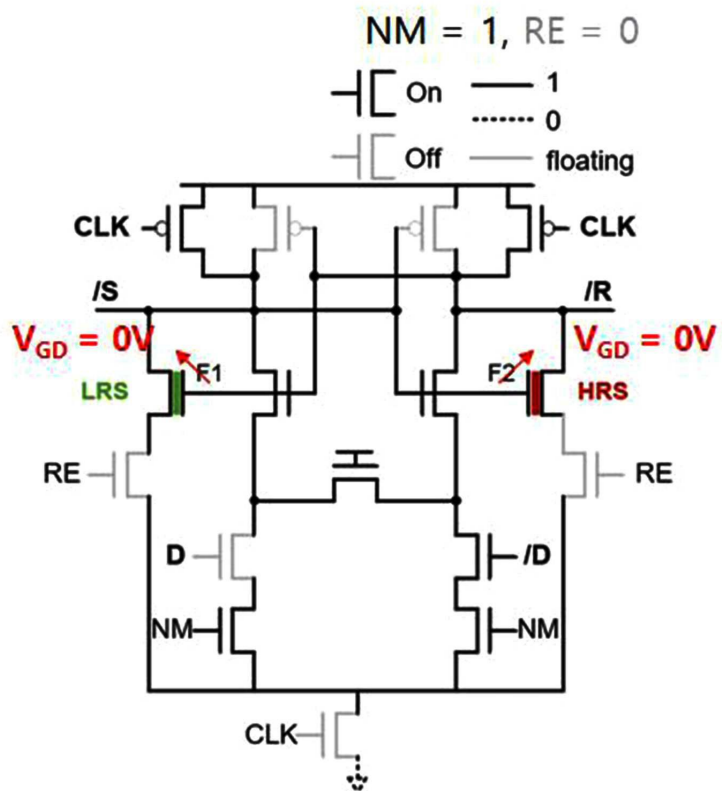
도면24



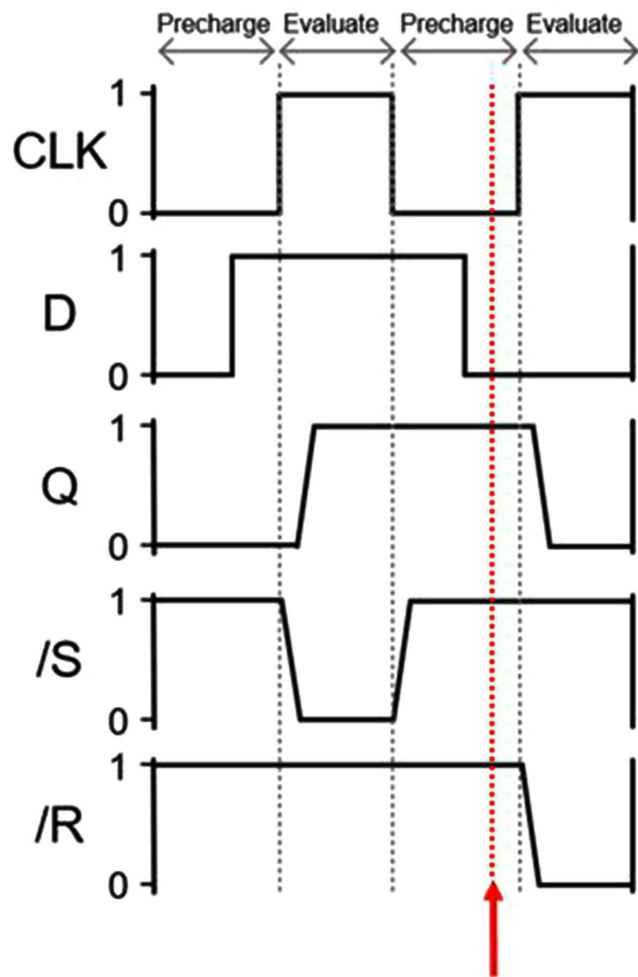
도면25



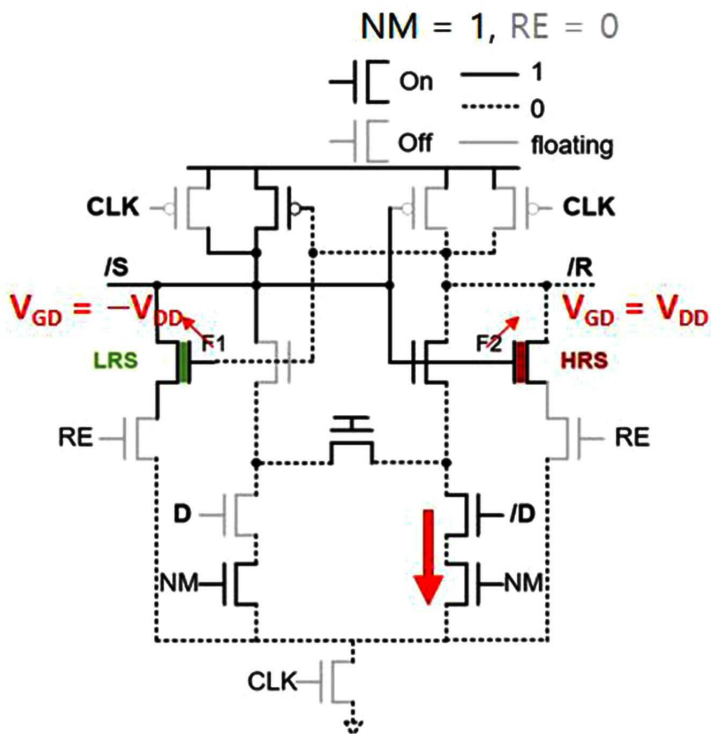
도면26



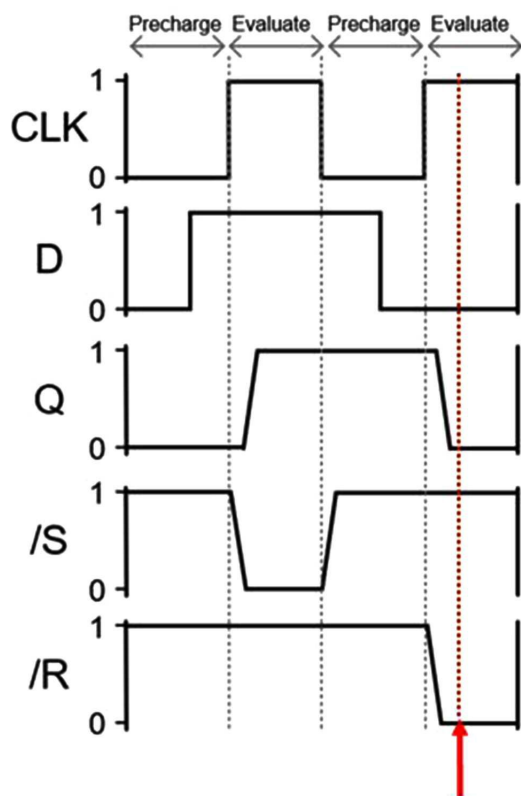
도면27



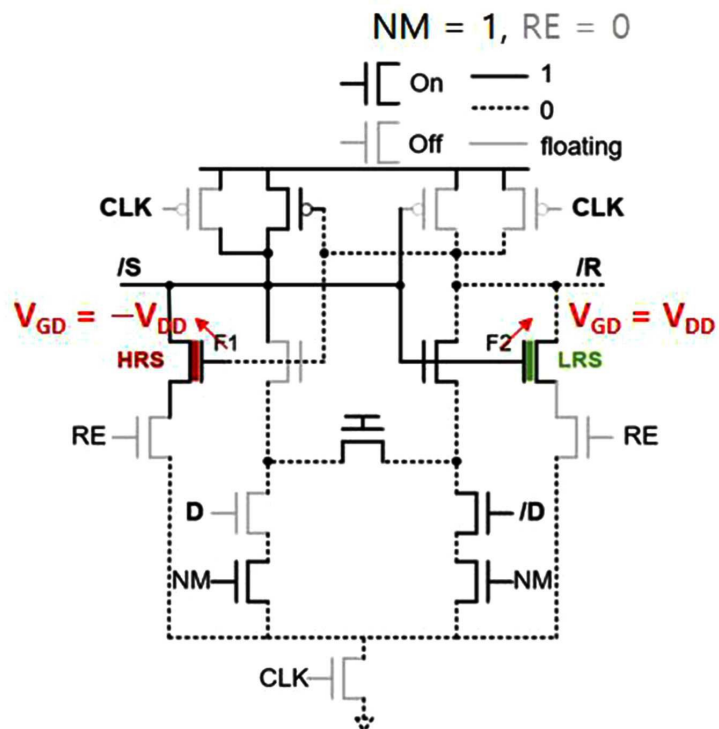
도면28



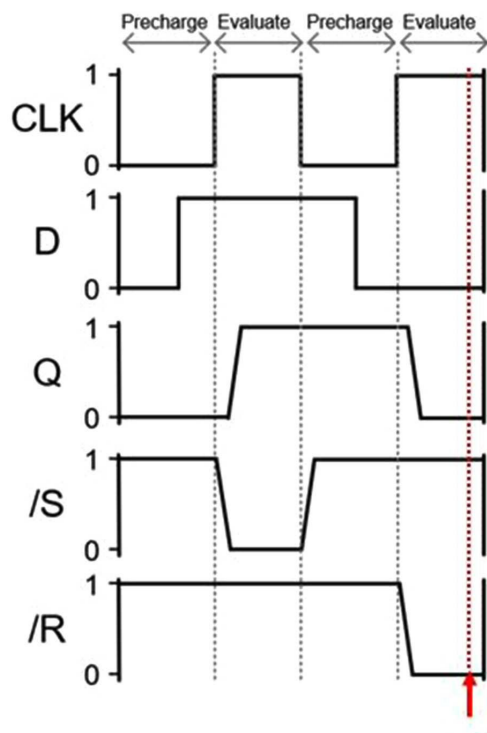
도면29



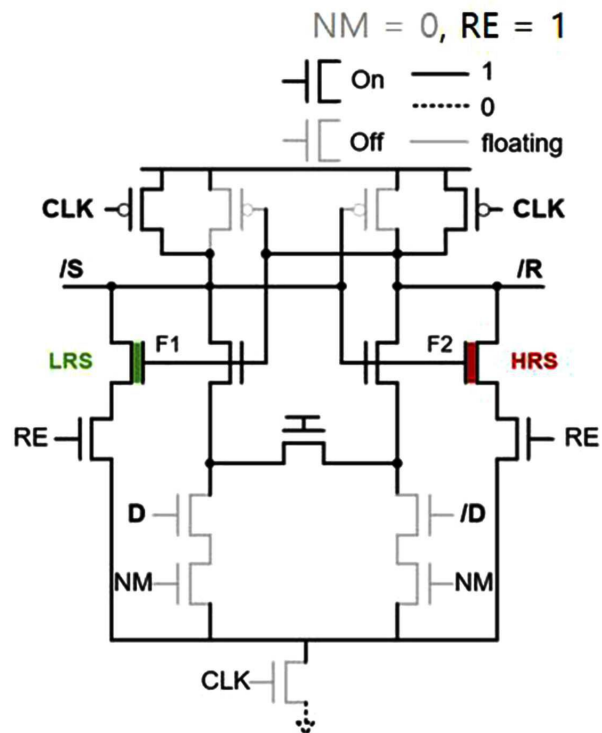
도면30



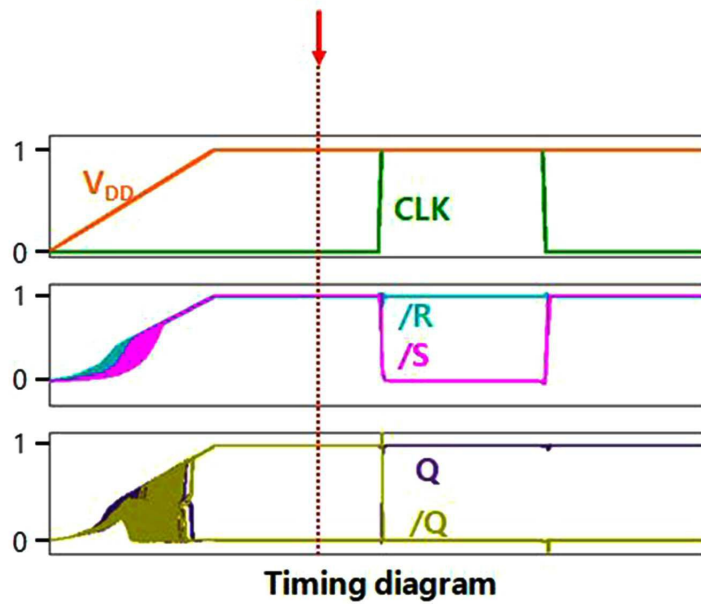
도면31



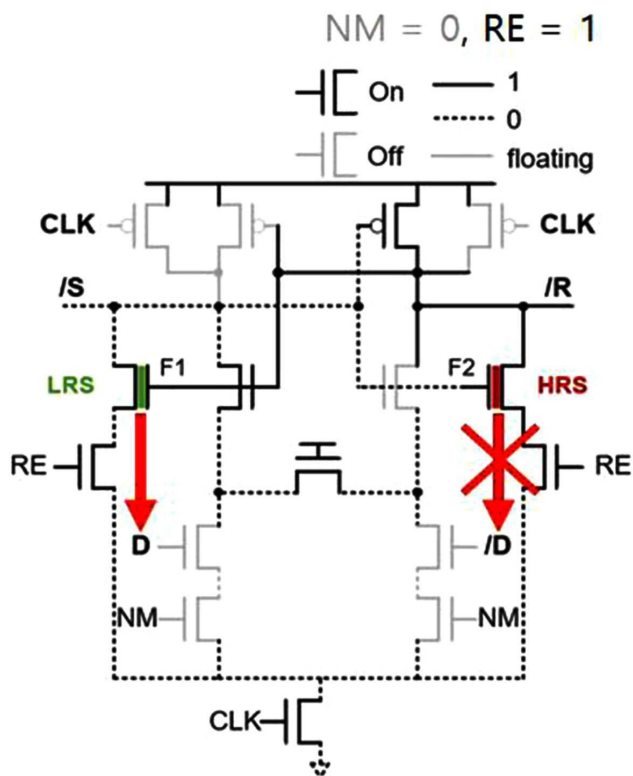
도면32



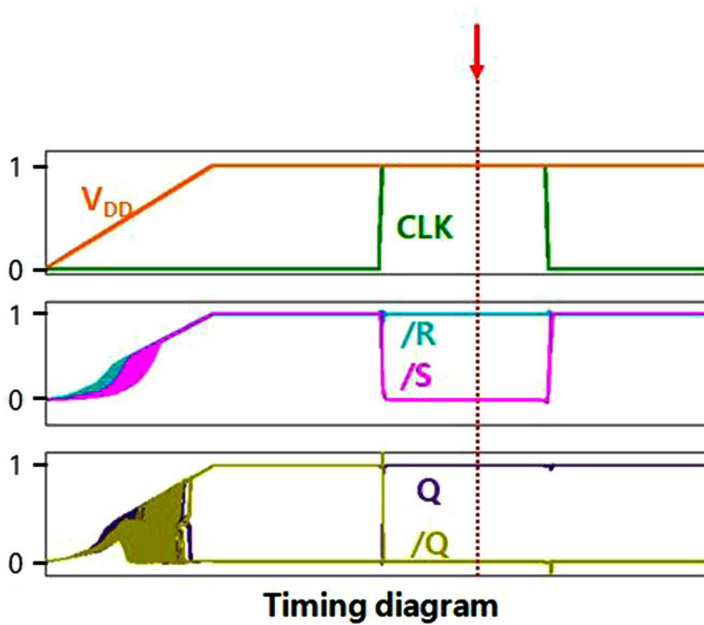
도면33



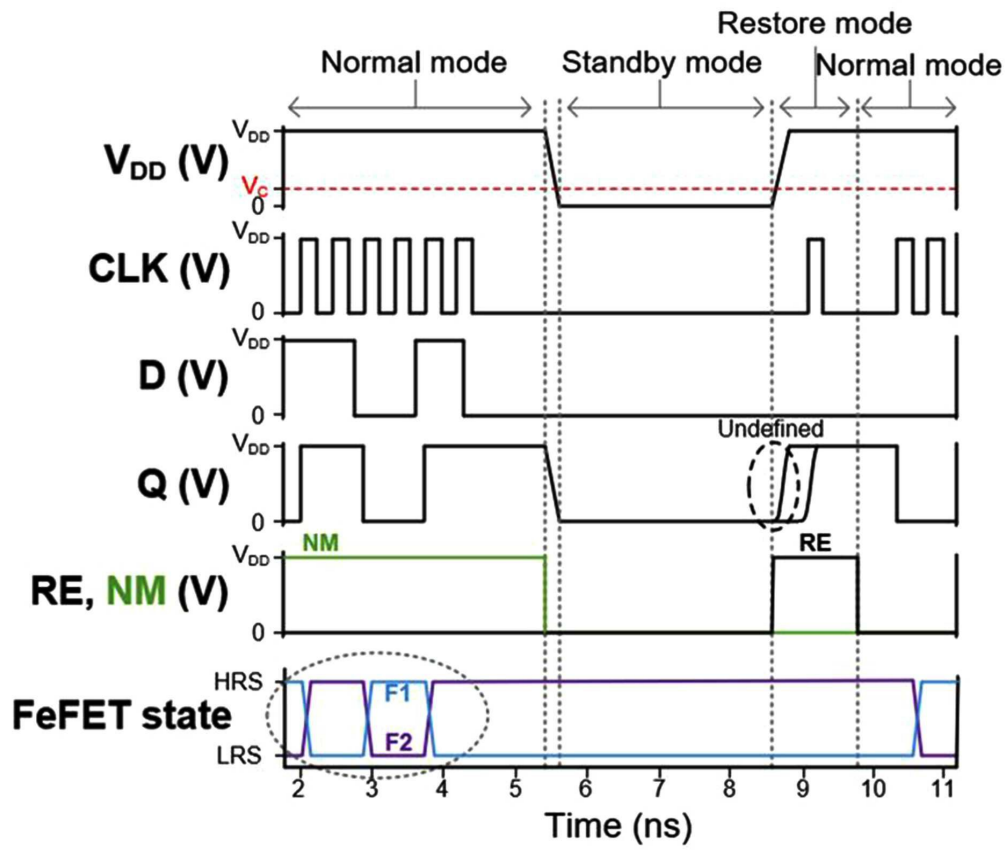
도면34



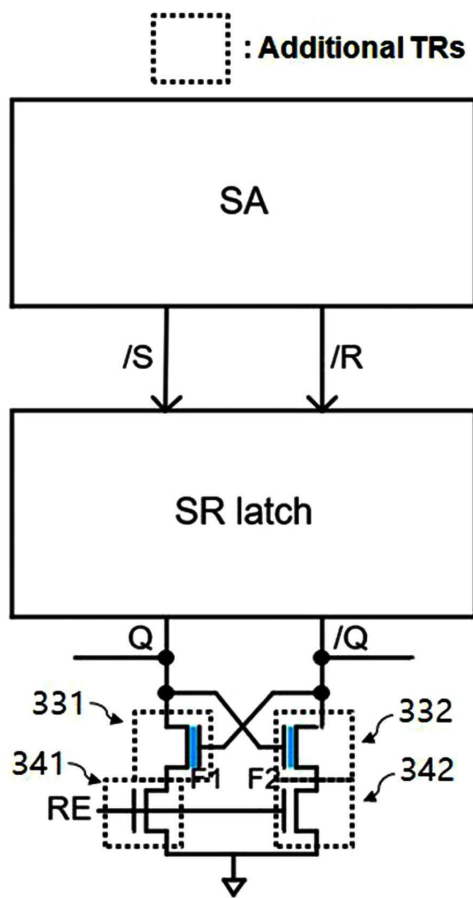
도면35



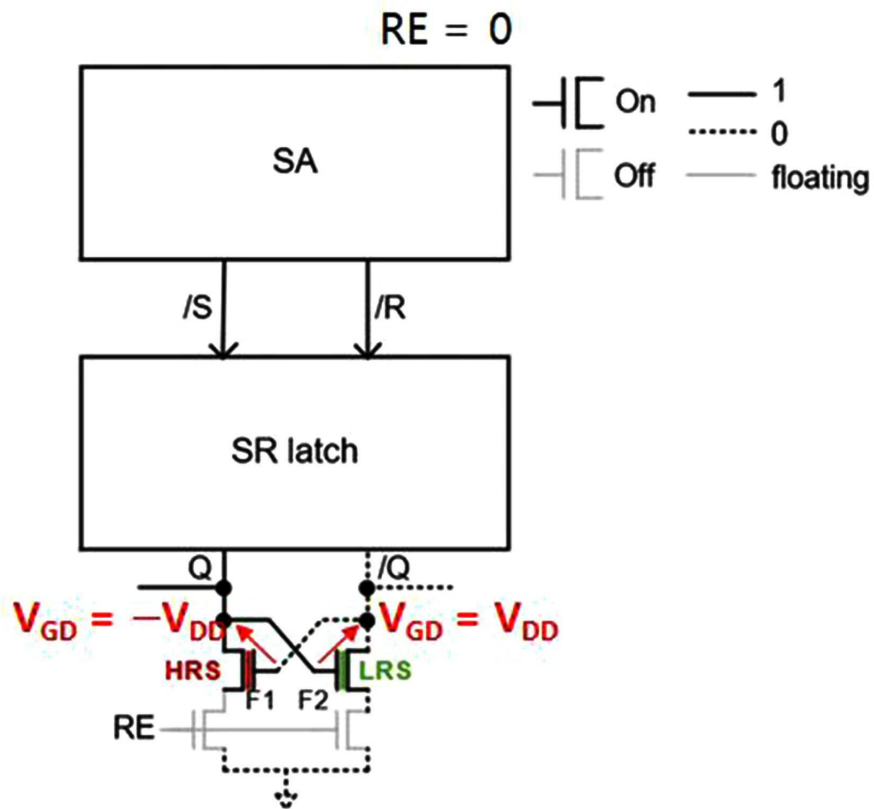
도면36



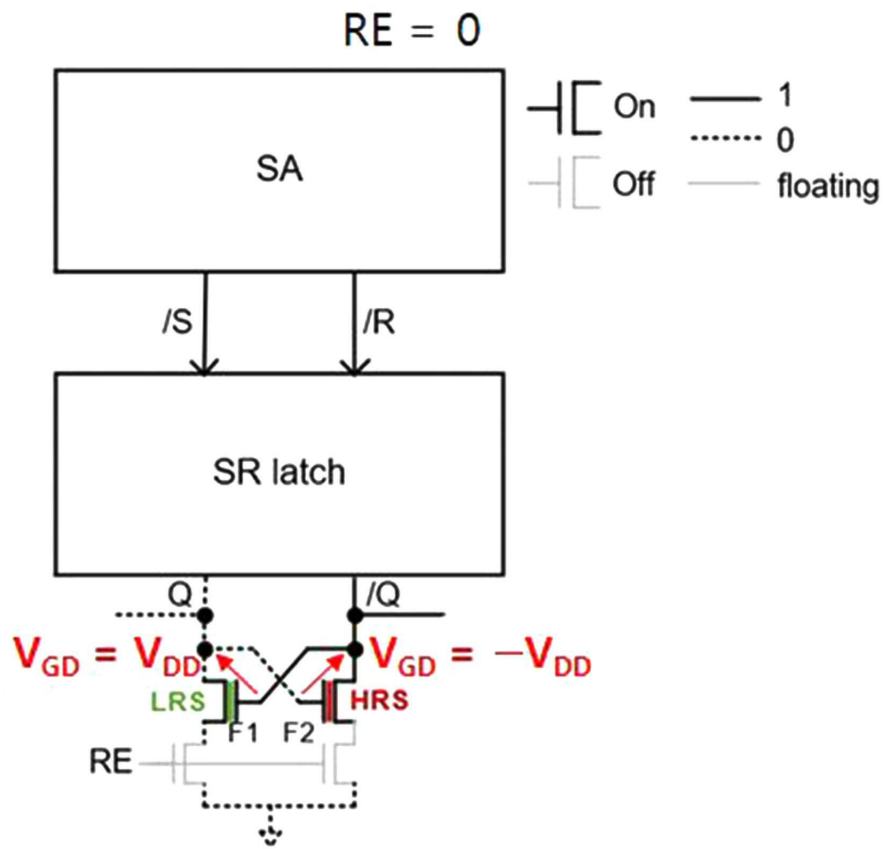
도면37



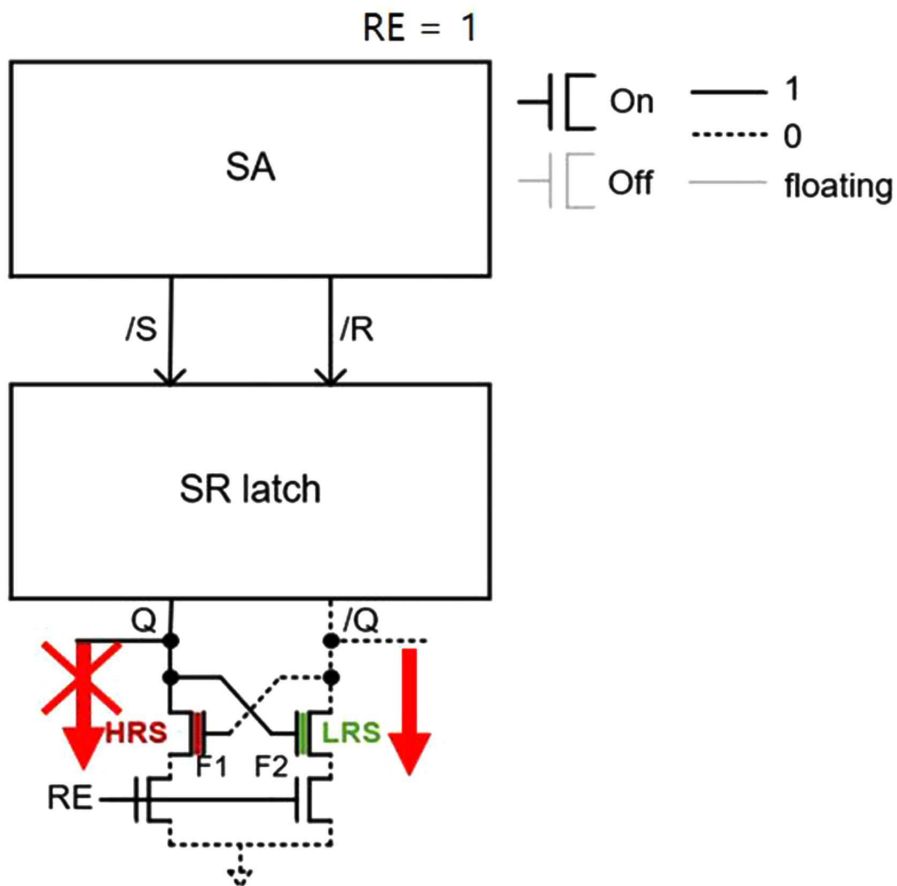
도면38



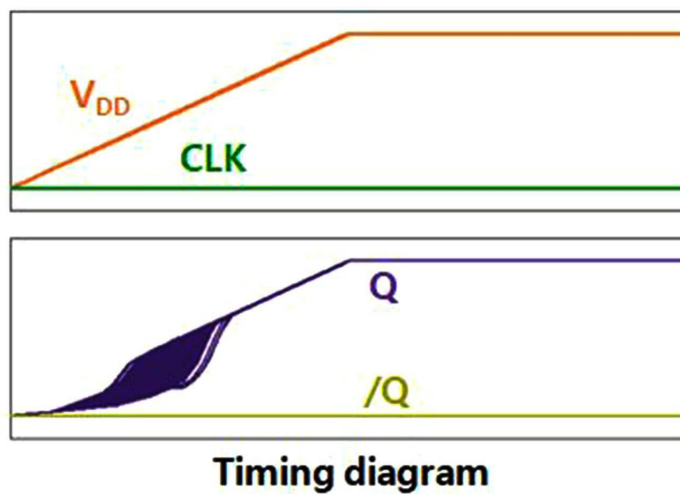
도면39



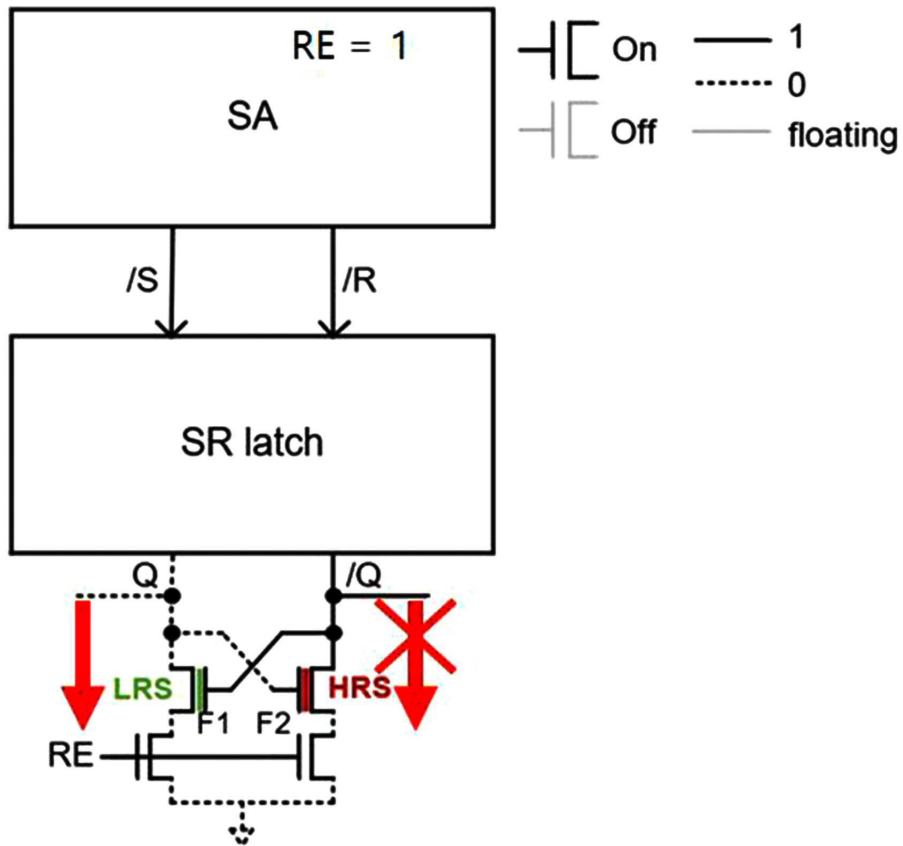
도면40



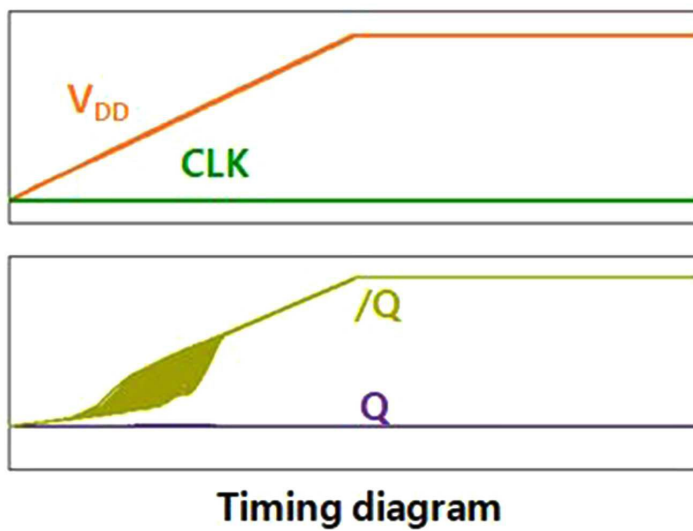
도면41



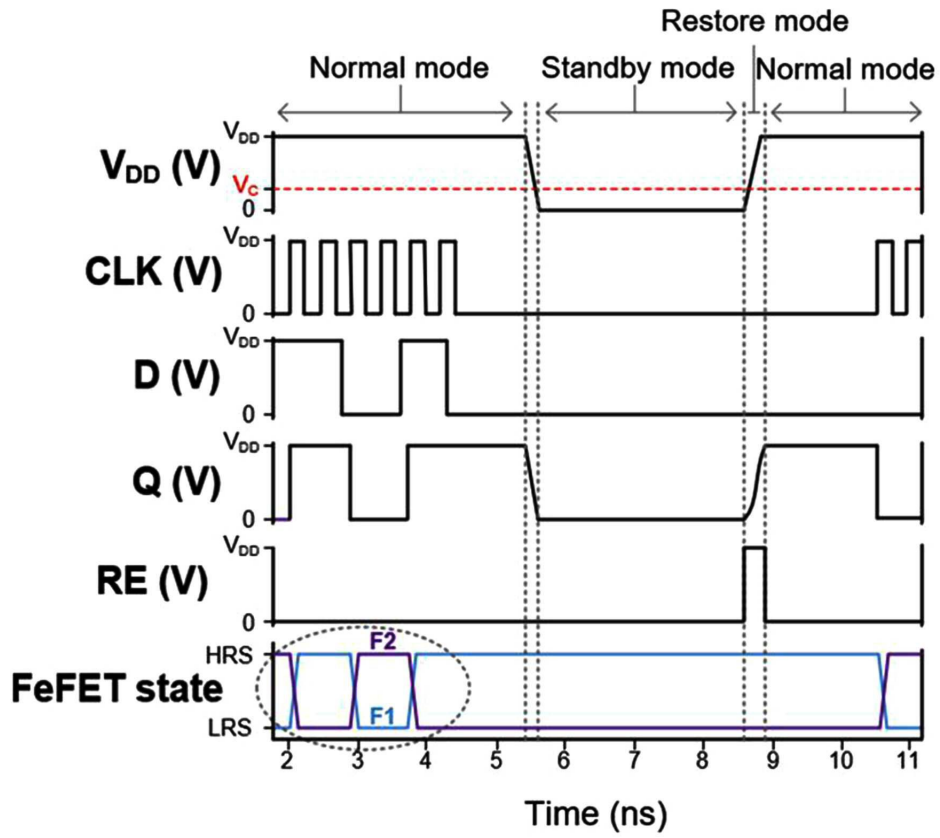
도면42



도면43



도면44



도면45

	MTJ based	ReRAM based	제1 유형	제2 유형
NV materials	STT-MTJ	ReRAM	FeFET	FeFET
구조	SA-merged	SA-merged	SA-merged	Latch-merged
Additional TRs	26 TRs + 2 MTJs	12 TRs + 2 ReRAMs	4 TRs + 2 FeFETs	2 TRs + 2 FeFETs
Control signals	4	3	2	1
Backup energy	500 fJ	12 pJ	few fJ	few fJ
Restore energy	High	High	High	Low
Restore time	$V_{DD}$ rising time + 1 CLK cycle	$V_{DD}$ rising time + 1 CLK cycle	$V_{DD}$ rising time + 1 CLK cycle	$V_{DD}$ rising time