



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0127450
(43) 공개일자 2022년09월20일

(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2015.01) G11C 5/06 (2006.01)
G11C 7/10 (2021.01)
(52) CPC특허분류
G11C 7/222 (2013.01)
G11C 5/06 (2013.01)
(21) 출원번호 10-2021-0031747
(22) 출원일자 2021년03월11일
심사청구일자 2021년03월11일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)
정인준
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C206(신촌동)
김태현
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C206(신촌동)
(74) 대리인
민영준

전체 청구항 수 : 총 20 항

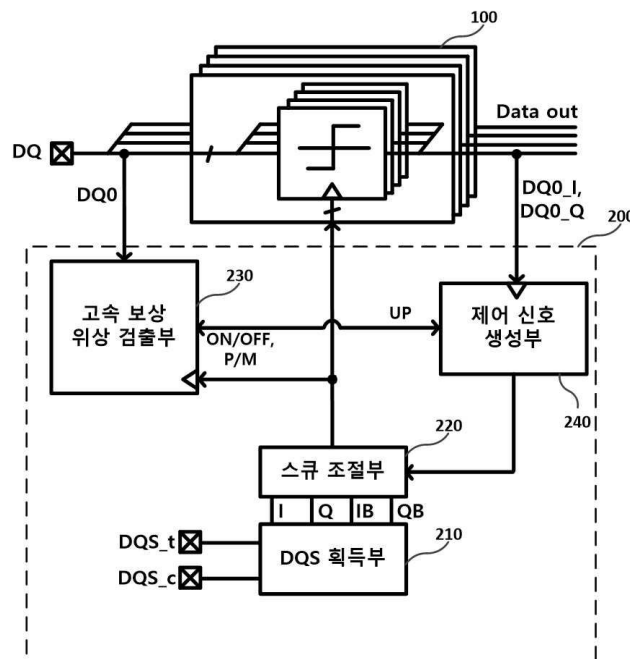
(54) 발명의 명칭 고대역 메모리를 위한 스큐 보상 장치 및 방법

(57) 요약

본 발명은 데이터 신호와 함께 전송되는 외부 데이터 스트로브 신호 쌍을 인가받아 기지정된 방식으로 데이터 스트로브 신호를 획득하고, 지연 제어 신호에 응답하여 획득된 데이터 스트로브 신호의 위상을 기지정된 제1 단위 시간 또는 제2 단위 시간만큼 조절하여 출력하는 DQS 조절부, 상기 데이터 스트로브 신호에 응답하여

(뒷면에 계속)

대표도 - 도5



활성화되어, 데이터 신호와 상기 데이터 스트로브 신호 사이의 스큐를 감지하고, 락킹 신호에 응답하여 스큐 크기를 감지하여 업데이트 신호를 출력하는 고속 보상 위상 검출부 및 상기 업데이트 신호를 인가받아 스큐 방향과 스큐 크기를 판별하고, 판별된 스큐 방향과 스큐 크기에 따라 상기 데이터 스트로브 신호의 위상이 상기 제1 단위 시간 또는 상기 제2 단위 시간만큼 서로 상이하게 조절되도록 상기 지연 제어 신호를 생성하여 출력하고, 상기 스큐 방향의 변화에 따라 상기 락킹 신호를 출력하는 제어 신호 생성부를 포함하여, 스큐를 빠르게 보상할 수 있으며 작은 면적으로 구현 가능한 스큐 보상 장치 및 방법을 제공할 수 있다.

(52) CPC특허분류

G11C 7/1048 (2013.01)

G11C 7/1078 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711115932
과제번호	10080590
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술개발
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

데이터 신호와 함께 전송되는 외부 데이터 스트로브 신호 쌍을 인가받아 기지정된 방식으로 데이터 스트로브 신호를 획득하고, 지연 제어 신호에 응답하여 획득된 데이터 스트로브 신호의 위상을 기지정된 제1 단위 시간 또는 제2 단위 시간만큼 조절하여 출력하는 DQS 조절부;

상기 데이터 스트로브 신호에 응답하여 활성화되어, 데이터 신호와 상기 데이터 스트로브 신호 사이의 스큐를 감지하고, 락킹 신호에 응답하여 스큐 크기를 감지하여 업데이트 신호를 출력하는 고속 보상 위상 검출부; 및

상기 업데이트 신호를 인가받아 스큐 방향과 스큐 크기를 판별하고, 판별된 스큐 방향과 스큐 크기에 따라 상기 데이터 스트로브 신호의 위상이 상기 제1 단위 시간 또는 상기 제2 단위 시간만큼 서로 상이하게 조절되도록 상기 지연 제어 신호를 생성하여 출력하고, 상기 스큐 방향의 변화에 따라 상기 락킹 신호를 출력하는 제어 신호 생성부를 포함하는 스큐 보상 장치.

청구항 2

제1항에 있어서, 상기 고속 보상 위상 검출부는

상기 데이터 스트로브 신호에 응답하여 활성화되어 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차를 감지하여 상기 업데이트 신호 중 제1 업데이트 신호를 출력하는 스큐 방향 감지부; 및

상기 락킹 신호와 상기 데이터 스트로브 신호에 응답하여 활성화되어, 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차가 기지정된 기준 스큐 크기를 초과하는지 여부를 감지하여 상기 업데이트 신호 중 제2 업데이트 신호를 출력하는 스큐 크기 감지부를 포함하는 스큐 보상 장치.

청구항 3

제2항에 있어서, 상기 제어 신호 생성부는

상기 데이터 신호가 샘플링된 데이터와 상기 제1 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차에 따른 스큐가 발생한 스큐 방향을 판별하고,

판별된 스큐 방향에 따라 상기 제1 단위 시간만큼 상기 데이터 스트로브 신호의 위상을 조절되도록 위한 지연 제어 신호를 출력하며,

이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 동일하면, 상기 제2 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이에 발생한 스큐 크기가 기지정된 기준 스큐 크기를 초과하는지 판별하며,

스큐 크기가 기지정된 기준 스큐 크기를 초과하는 것으로 판별되면, 상기 데이터 스트로브 신호를 제2 단위 시간만큼 위상 조절되도록 지연 제어 신호를 출력하는 스큐 보상 장치.

청구항 4

제3항에 있어서, 상기 제어 신호 생성부는

이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 상이하면, 상기 데이터 스트로브 신호의 위상이 이전과 반대 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 온 상태로 출력하는 스큐 보상 장치.

청구항 5

제4항에 있어서, 상기 제어 신호 생성부는

상기 스큐 크기가 기지정된 기준 스큐 크기를 초과하지 않는 것으로 판별되면, 상기 데이터 스트로브 신호의 위

상이 이전과 동일 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 오프 상태로 출력하는 스큐 보상 장치.

청구항 6

제5항에 있어서, 상기 제어 신호 생성부는

판별된 스큐 방향이 상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 앞선 플러스 스큐이면 플러스 신호를 출력하고, 상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 지연된 마이너스 스큐이면 마이너스 신호를 출력하는 스큐 보상 장치.

청구항 7

제6항에 있어서, 상기 기준 스큐 크기는

상기 제1 단위 시간보다 크고 상기 제2 단위 시간보다 작은 시간 크기를 갖는 스큐 보상 장치.

청구항 8

제6항에 있어서, 상기 스큐 방향 감지부는

상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 생성하는 스큐 감지부; 및

상기 스큐 감지부에서 생성된 전압을 서로 비교하여 상기 제1 업데이트 신호를 생성하는 스큐 방향 샘플링부를 포함하는 스큐 보상 장치.

청구항 9

제8항에 있어서, 상기 스큐 감지부는

전원 전압과 제1 노드 사이에 연결되는 상기 데이터 스트로브 신호에 응답하여 턴온되는 적어도 하나의 제1 스위치 트랜지스터;

상기 제1 노드와 제2 노드 사이에 연결되고 상기 데이터 신호를 인가받는 제11 감지 트랜지스터;

상기 제1 노드와 제3 노드 사이에 연결되고 상기 기준 전압을 인가받는 제12 감지 트랜지스터;

상기 제2 노드와 접지 전압 사이에 연결되어 상기 제11 감지 트랜지스터를 통해 인가되는 전류에 따라 충전되는 제1 캐패시터;

상기 제3 노드와 상기 접지 전압 사이에 연결되어 상기 제12 감지 트랜지스터를 통해 인가되는 전류에 따라 충전되는 제2 캐패시터;

상기 제2 노드와 상기 접지 전압 사이에 상기 제1 캐패시터와 병렬로 연결되고, 상기 데이터 스트로브 신호를 인가받아 상기 적어도 하나의 제1 스위치 트랜지스터가 턴오프되는 동안 턴온되어 상기 제1 캐패시터를 방전시키는 제11 리셋 트랜지스터; 및

상기 제3 노드와 상기 접지 전압 사이에 상기 제2 캐패시터와 병렬로 연결되고, 상기 데이터 스트로브 신호를 인가받아 상기 적어도 하나의 제1 스위치 트랜지스터가 턴오프되는 동안 턴온되어 상기 제2 캐패시터를 방전시키는 제12 리셋 트랜지스터를 포함하는 스큐 보상 장치.

청구항 10

제8항에 있어서, 상기 스큐 크기 감지부는

상기 락킹 신호가 오프 상태에서 상기 데이터 스트로브 신호에 응답하여 활성화되고, 상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 인가되는 상기 플러스 신호 또는 상기 마이너스 신호에 따라 상기 기준 스큐에 대응하는 오프셋을 가지고 생성하는 조건부 스큐 감지부; 및

상기 조건부 스큐 감지부에서 생성된 전압을 서로 비교하여 상기 제2 업데이트 신호를 생성하는 스큐 방향 샘플

링부를 포함하는 스큐 보상 장치.

청구항 11

제10항에 있어서, 상기 조건부 스큐 감지부는

전원 전압과 제4 노드 사이에 연결되고 오프 상태의 상기 락킹 신호와 상기 데이터 스트로브 신호에 응답하여 턴 온되는 다수의 제2 스위치 트랜지스터를 포함하는 스위치부;

상기 제4 노드와 제5 노드 사이에 연결되고 상기 데이터 신호를 인가받는 제22 감지 트랜지스터와 상기 제4 노드와 제6 노드 사이에 연결되고 상기 기준 전압을 인가받는 제22 감지 트랜지스터를 포함하는 감지부;

상기 제5 노드와 상기 제6 노드 각각과 접지 전압 사이에 연결되고, 상기 플러스 신호에 응답하여 상기 제5 노드 및 상기 제6 노드를 통해 인가되는 전류에 따라 상기 제5 노드 및 상기 제6 노드의 전압 레벨을 조절하는 플러스 차지부;

상기 제5 노드와 상기 제6 노드 각각과 접지 전압 사이에 상기 플러스 차지부와 병렬로 연결되고, 상기 마이너스 신호에 응답하여 상기 제5 노드 및 상기 제6 노드를 통해 인가되는 전류 각각에 대응하는 전압을 충전하는 마이너스 차지부; 및

상기 제5 노드 및 상기 제6 노드 각각과 상기 접지 전압 사이에 상기 플러스 차지부 및 상기 마이너스 차지부와 병렬로 연결되고, 상기 데이터 스트로브 신호를 인가받아 상기 다수의 제2 스위치 트랜지스터가 턴오프되는 동안 턴온되어 상기 플러스 차지부와 상기 마이너스 차지부를 방전시키는 리셋부를 포함하는 스큐 보상 장치.

청구항 12

제11항에 있어서, 상기 플러스 차지부는

상기 제5 노드에 일단이 연결되고 상기 플러스 신호를 인가받는 제1 플러스 스위치 트랜지스터;

상기 제1 플러스 스위치 트랜지스터의 타단과 상기 접지 전압 사이에 연결되는 제1 플러스 캐패시터;

상기 제6 노드에 일단이 연결되고 상기 플러스 신호를 인가받는 제2 플러스 스위치 트랜지스터; 및

상기 제2 플러스 스위치 트랜지스터의 타단과 상기 접지 전압 사이에 연결되며, 상기 제1 플러스 캐패시터보다 상기 기준 스큐 크기에 대응하는 크기로 작은 캐패시턴스를 갖는 제2 플러스 캐패시터를 포함하는 스큐 보상 장치.

청구항 13

제12항에 있어서, 상기 마이너스 차지부는

상기 제5 노드에 일단이 연결되고 상기 마이너스 신호를 인가받는 제1 마이너스 스위치 트랜지스터;

상기 제1 마이너스 스위치 트랜지스터의 타단과 상기 접지 전압 사이에 연결되는 제1 마이너스 캐패시터;

상기 제6 노드에 일단이 연결되고 상기 마이너스 신호를 인가받는 제2 마이너스 스위치 트랜지스터; 및

상기 제2 마이너스 스위치 트랜지스터의 타단과 상기 접지 전압 사이에 연결되며, 상기 제1 마이너스 캐패시터보다 상기 기준 스큐 크기에 대응하는 크기로 큰 캐패시턴스를 갖는 제2 마이너스 캐패시터를 포함하는 스큐 보상 장치.

청구항 14

데이터 신호와 함께 전송되는 외부 데이터 스트로브 신호 쌍을 인가받아 기지정된 방식으로 데이터 스트로브 신호를 획득하는 단계;

상기 데이터 스트로브 신호에 응답하여 활성화되어, 데이터 신호와 상기 데이터 스트로브 신호 사이의 스큐를 감지하고, 락킹 신호에 응답하여 스큐 크기를 감지하여 업데이트 신호를 출력하는 단계;

상기 업데이트 신호를 인가받아 스큐 방향과 스큐 크기를 판별하고, 판별된 스큐 방향과 스큐 크기에 따라 상기 데이터 스트로브 신호의 위상이 기지정된 제1 단위 시간 또는 제2 단위 시간만큼 서로 상이하게 조절되도록 지연 제어 신호를 생성하여 출력하고, 상기 스큐 방향의 변화에 따라 상기 락킹 신호를 출력하는 단계;

상기 지연 제어 신호에 응답하여 이후 획득되는 데이터 스트로브 신호의 위상을 상기 제1 단위 시간 또는 상기 제2 단위 시간만큼 조절하여 출력하는 단계를 포함하는 스큐 보상 방법.

청구항 15

제14항에 있어서, 상기 업데이트 신호를 출력하는 단계는

상기 데이터 스트로브 신호에 응답하여 활성화되어 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차를 감지하여 상기 업데이트 신호 중 제1 업데이트 신호를 출력하는 단계; 및

상기 락킹 신호와 상기 데이터 스트로브 신호에 응답하여 활성화되어, 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차가 기지정된 기준 스큐 크기를 초과하는지 여부를 감지하여 상기 업데이트 신호 중 제2 업데이트 신호를 출력하는 단계를 포함하는 스큐 보상 방법.

청구항 16

제15항에 있어서, 상기 락킹 신호를 출력하는 단계는

상기 데이터 신호가 샘플링된 데이터와 상기 제1 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차에 따른 스큐가 발생된 스큐 방향을 판별하는 단계;

판별된 스큐 방향에 따라 상기 제1 단위 시간만큼 상기 데이터 스트로브 신호의 위상을 조절되도록 위한 지연 제어 신호를 출력하는 단계;

이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 동일하면, 상기 제2 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이에 발생된 스큐 크기가 기지정된 기준 스큐 크기를 초과하는지 판별하는 단계;

스큐 크기가 기지정된 기준 스큐 크기를 초과하는 것으로 판별되면, 상기 데이터 스트로브 신호를 제2 단위 시간만큼 위상 조절되도록 지연 제어 신호를 출력하는 단계; 및

이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 상이하면, 상기 데이터 스트로브 신호의 위상이 이전과 반대 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 온 상태로 출력하는 단계를 포함하는 스큐 보상 방법.

청구항 17

제16항에 있어서, 상기 락킹 신호를 출력하는 단계는

상기 스큐 크기가 기지정된 기준 스큐 크기를 초과하지 않는 것으로 판별되면, 상기 데이터 스트로브 신호의 위상이 이전과 동일 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 오프 상태로 출력하는 단계를 더 포함하는 스큐 보상 방법.

청구항 18

제17항에 있어서, 상기 락킹 신호를 출력하는 단계는

판별된 스큐 방향이 상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 앞선 플러스 스큐이면 플러스 신호를 출력하는 단계; 및

상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 지연된 마이너스 스큐이면 마이너스 신호를 출력하는 단계를 더 포함하는 스큐 보상 방법.

청구항 19

제18항에 있어서, 상기 제1 업데이트 신호를 출력하는 단계는

상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 생성하는 단계; 및

생성된 전압을 서로 비교하여 상기 제1 업데이트 신호를 생성하는 단계를 포함하는 스큐 보상 방법.

청구항 20

제19항에 있어서, 상기 제2 업데이트 신호를 출력하는 단계는

상기 락킹 신호가 오프 상태에서 상기 데이터 스트로브 신호에 응답하여, 상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 인가되는 상기 플러스 신호 또는 상기 마이너스 신호에 따라 상기 기준 스큐에 대응하는 오프셋을 가지고 생성하는 단계; 및

오프셋을 가지고 생성된 전압을 서로 비교하여 상기 제2 업데이트 신호를 생성하는 단계를 포함하는 스큐 보상 방법.

발명의 설명

기술 분야

[0001] 본 발명은 스큐 보상 장치 및 방법에 관한 것으로, 고대역 메모리를 위한 고속 스큐 보상 장치 및 방법에 관한 것이다.

배경 기술

[0002] 인공지능 등의 기술 발전에 따라 높은 데이터 전송율(high data throughput)을 갖는 GPU(Graphic Processing Unit), TPU(Tensor Processing Unit) 등과 같은 연산 가속기들이 등장하고 있다. 이로 인해 고속 저전력 특성을 갖는 메모리 시스템에 대한 요구가 급증하여, 대용량(large capacity) 및 고대역폭(high bandwidth)을 갖는 고대역 메모리(High Bandwidth Memory: 이하 HBM)가 최근 개발되었다.

[0003] 도 1 및 도 2는 고대역 메모리의 개략적 구조를 나타내고, 도 3은 HBM의 데이터 샘플링과 스큐를 설명하기 위한 도면이며, 도 4는 도 2의 고대역 메모리에서 다이의 적층 위치에 따른 공급 전압 변화를 나타낸다.

[0004] 도 1 및 도 2에서는 HBM이 적용된 일 예로 프로세서와 메모리가 하나의 패키지에 결합된 2.5D SiP(System in Package)를 도시하였다. 도 1 및 도 2를 참조하면, 2.5D SiP에서는 패키지 기판(Package Substrate) 상에 하부면에 다수의 플립칩 범프(Flip chip bump)가 형성된 실리콘 인터포저(Silicon Interposer)가 배치된다. 그리고 인터포저 상에는 GPU, CPU 또는 SOC와 같은 프로세싱 다이(Processing)와 HBM이 각각 배치될 수 있다. HBM은 인터포저 상에 배치되는 로직 다이(Logic Die)와 로직 다이 상에 적층 배치되는 다수의 HBM 다이(또는 코어 다이)를 포함한다.

[0005] 프로세싱 다이와 로직 다이 각각의 하부면에는 마이크로 범프(Micro bump)가 형성되고, 마이크로 범프는 인터포저 내에 형성된 다수의 채널을 통해 각종 데이터를 상호 전송할 수 있다. 또한 프로세싱 다이와 로직 다이의 마이크로 범프는 인터포저 하부면에 형성된 플립칩 범프와도 인터포저 내의 채널로 연결되어, 프로세싱 다이와 로직 다이의 신호를 패키지 하부면에 형성된 패키지 범프(package bump)를 통해 외부로 전달하거나 외부에서 인가되는 데이터가 프로세싱 다이와 로직 다이로 전달되도록 할 수 있다.

[0006] 한편, 로직 다이와 적층 배치된 다수의 HBM 다이 각각에는 다수의 비아 홀(via hall)이 형성되고, 비아 홀 내부가 관통 전극(through silicon via: 이하 TSV)으로 충전됨으로써, 적층된 HBM 다이와 로직 다이 사이 또는 복수개의 HBM 다이 사이에서는 TSV를 통해 데이터가 용이하게 전달될 수 있다. 즉 HBM에서는 TSV가 복수개의 HBM 다이를 관통하여 연결됨으로써, 고속 데이터 전달이 가능할 뿐만 아니라 전력 소모를 크게 줄일 수 있다.

[0007] 기존 프로세서 칩과 메모리 칩이 별도로 구성된 경우에는 일반적으로 버스를 이용하여 프로세서와 메모리 사이에 64개의 데이터를 동시에 입력 또는 출력할 수 있도록 구성되었으나, 도 1 및 도 2와 같은 HBM의 경우, 통상적으로 1024개의 데이터 신호(DQ)를 입/출력할 수 있도록 구성된다.

[0008] 다만 HBM에 적층되는 HBM 다이의 개수가 증가하고, 동시에 입력 또는 출력할 수 있는 데이터의 수가 64개에서 1024개로 크게 급증함에 따라 전송되는 데이터의 스큐(skew)를 보상하기 어려워지는 문제가 발생한다.

[0009] 일반적으로 메모리에서는 데이터 신호(DQ)와 함께 인가되는 데이터 스트로브 신호(DQS)를 기준으로 데이터 신호(DQ)를 판별한다. 이때 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 위상차가 기지정된 위상차를 갖도록 매칭시키는 정합식(Matched type)의 경우, 1024개의 데이터 경로(DQ path)로 각각에 데이터 스트로브 신호(DQS)와의 지연 시간 차(tDQS)를 보상하기 위한 스트로브 복제 회로가 요구되어 전력 소모가 크게 증가될 뿐만 아

니라, 1024개의 스트로브 복제 회로가 형성되기 위해 요구되는 면적이 크게 증가하는 문제가 있다. 이는 높은 집적도를 요구하는 HBM의 구현에 큰 장애가 된다.

[0010] 이에 많은 HBM이 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 위상차를 정렬시키지 않는 비정합식(Unmatch type)으로 구현되고 있다. 비정합식 HBM의 경우, 스트로브 복제 회로가 요구되지 않으므로 전력 소모가 적다는 장점이 있으나, 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 위상차가 매칭되지 않음으로 인해 스큐가 발생된다. 비록 비동기식의 경우에도 구동 초기 또는 기지정된 간격으로 라이트 트레이닝(write training)을 수행하여 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이의 위상차를 조절하지만, 라이트 트레이닝 이후에 다시 발생하는 스큐에 대해서는 보상할 수가 없다. 이러한 데이터 스트로브 신호(DQS)와 데이터 신호(DQ) 사이의 스큐는 데이터 신호(DQ)의 데이터를 오판별하게 하는 심각한 문제를 야기할 수 있다.

[0011] 도 3에서 (a)는 데이터율(Data rate)과 타이밍 마진 사이의 관계를 나타내고, (b)는 전압 변동에 의해 발생하는 스큐의 일 예를 나타낸다.

[0012] HBM은 (a)에 도시된 바와 같이, 데이터 신호(DQ)와 함께 인가되는 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)의 에지에 응답하여 데이터 신호(DQ)의 데이터값을 판별할 수 있다. 이때, 데이터 스트로브 신호 쌍(DQS_t, DQS_c)의 에지가 단위 간격(Unit Interval: 이하 UI)으로 결정되는 데이터 신호(DQ)의 아이 폭(eye width) 중심에 위치해야 안정적으로 데이터 신호(DQ)를 판별할 수 있다. 그리고 데이터율이 높아질수록 UI가 감소하게 되므로, 아이 폭 또한 감소하게 된다. 그리고 아이 폭 감소는 데이터 신호(DQ)와 데이터 스트로브 신호 쌍(DQS_t, DQS_c) 사이의 위상 오차, 즉 스큐가 발생하여도 데이터 신호(DQ)를 정확하게 판별할 수 있는 타이밍 마진(Timing margin)이 줄어드는 효과를 나타낸다. 즉 HBM의 동작 속도가 증가할수록 샘플링 타이밍 마진이 줄어들기 때문에 스큐가 더욱 심각한 문제가 될 수 있다.

[0013] 스큐는 다양한 이유로 발생하지만 특히 온도나 전압 변화 등에 의해 크게 발생하는 것으로 알려져 있다.

[0014] HBM에서는 입출력되는 데이터 신호(DQ)의 개수가 1024개로 크게 증가함에 따라 데이터 입/출력 시에 전력 소모가 크게 증가하게 되며, 이는 전원 공급부의 부하 변동으로 작용하여 전압의 변동폭 또한 크게 발생하여 스큐가 증가하게 된다.

[0015] 도 3의 (b)에 도시된 바와 같이, 전압 변동은 데이터 신호(DQ)의 아이 폭의 중심에 위치해야 하는 데이터 스트로브 신호 쌍(DQS_t, DQS_c)의 위상이 앞서거나 뒤처지게 하는 스큐를 발생시킨다.

[0016] 일 예로 현재 JEDEC(Joint Electron Device Engineering Council)에 의해 규정된 HBM의 동작 전압인 1.14 ~ 1.26V(±5%)에서 1 클럭 사이클 내에 60mV의 전압 변화가 발생되면, 0.37UI만큼의 스큐가 발생하게 된다. 이는 HBM이 6.4Gb/s의 데이터율로 동작한다고 가정할 때, 1UI는 156.25ps 이므로, 스큐가 58ps로 발생할 수 있음을 의미한다. 그리고 데이터 신호(DQ)는 데이터 스트로브 신호(DQS)의 상승 및 하강 에지에서 샘플링되므로, 정상 상태에서 데이터 스트로브 신호(DQS)를 이용하여 데이터 신호(DQ)를 샘플링하기 위한 타이밍 마진은 1/2UI로 약 78ps 이다. 여기서 60mV의 전압 변화만으로 이미 58ps의 스큐가 발생하게 되면, 실질적인 타이밍 마진은 20ps 정도이므로 다른 요인으로 인해 추가적으로 스큐가 발생하게 되면, 샘플링 실패로 인해 데이터를 오판별하게 되는 문제가 있다.

[0017] 또한 HBM의 경우, 다수의 HBM 다이가 TSV로 연결되어 적층됨에 따라, 적층된 위치에 따라 TSV에 의한 저항 성분이 상이하게 나타나 공급 전압 강하(supply voltage drop)가 서로 상이하게 나타난다. 도 4는 8개의 HBM 다이가 적층된 HBM에서 최하단(layer2)에 위치하는 HBM 다이와 최상단(layer9)에 위치하는 HBM 다이의 공급 전압 강하를 측정한 결과를 나타낸다. 도 4를 참조하면, 최하단에 위치하는 HBM 다이의 경우, 공급 전압 강하가 작은 반면, 최상단에 적층된 HBM 다이는 다수의 TSV에 의한 저항 성분 증가로 공급 전압 강하가 크게 나타난다. 이와 같은 HBM 다이의 적층 위치에 따른 공급 전압 강하의 차이는 HBM 다이가 적층되는 개수가 증가할수록 더욱 크게 발생하게 되어 스큐가 증가하게 된다.

선행기술문헌

특허문헌

[0018] (특허문헌 0001) 한국 공개 특허 제10-2014-0041207호 (2014.04.04 공개)

발명의 내용

해결하려는 과제

- [0019] 본 발명의 목적은 HBM의 스큐를 빠르게 보상할 수 있는 스큐 보상 장치 및 방법을 제공하는데 있다.
- [0020] 본 발명의 다른 목적은 고속으로 동작하는 HBM에서 스큐가 변화하는 상황에서도 샘플링 타임이 마진을 더 확보하여 HBM의 신뢰성을 높일 수 있는 스큐 보상 장치 및 방법을 제공하는데 있다.

과제의 해결 수단

- [0021] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 스큐 보상 장치는 데이터 신호와 함께 전송되는 외부 데이터 스트로브 신호 쌍을 인가받아 기지정된 방식으로 데이터 스트로브 신호를 획득하고, 지연 제어 신호에 응답하여 획득된 데이터 스트로브 신호의 위상을 기지정된 제1 단위 시간 또는 제2 단위 시간만큼 조절하여 출력하는 DQS 조절부; 상기 데이터 스트로브 신호에 응답하여 활성화되어, 데이터 신호와 상기 데이터 스트로브 신호 사이의 스큐를 감지하고, 락킹 신호에 응답하여 스큐 크기를 감지하여 업데이트 신호를 출력하는 고속 보상 위상 검출부; 및 상기 업데이트 신호를 인가받아 스큐 방향과 스큐 크기를 판별하고, 판별된 스큐 방향과 스큐 크기에 따라 상기 데이터 스트로브 신호의 위상이 상기 제1 단위 시간 또는 상기 제2 단위 시간만큼 서로 상이하게 조절되도록 상기 지연 제어 신호를 생성하여 출력하고, 상기 스큐 방향의 변화에 따라 상기 락킹 신호를 출력하는 제어 신호 생성부를 포함한다.
- [0022] 상기 고속 보상 위상 검출부는 상기 데이터 스트로브 신호에 응답하여 활성화되어 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차를 감지하여 상기 업데이트 신호 중 제1 업데이트 신호를 출력하는 스큐 방향 감지부; 및 상기 락킹 신호와 상기 데이터 스트로브 신호에 응답하여 활성화되어, 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차가 기지정된 기준 스큐 크기를 초과하는지 여부를 감지하여 상기 업데이트 신호 중 제2 업데이트 신호를 출력하는 스큐 크기 감지부를 포함할 수 있다.
- [0023] 상기 제어 신호 생성부는 상기 데이터 신호가 샘플링된 데이터와 상기 제1 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이의 위상차에 따른 스큐가 발생한 스큐 방향을 판별하고, 판별된 스큐 방향에 따라 상기 제1 단위 시간만큼 상기 데이터 스트로브 신호의 위상을 조절되도록 위한 지연 제어 신호를 출력하며, 이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 동일하면, 상기 제2 업데이트 신호를 인가받아 상기 데이터 신호와 상기 데이터 스트로브 신호 사이에 발생한 스큐 크기가 기지정된 기준 스큐 크기를 초과하는지 판별하며, 스큐 크기가 기지정된 기준 스큐 크기를 초과하는 것으로 판별되면, 상기 데이터 스트로브 신호를 제2 단위 시간만큼 위상 조절되도록 지연 제어 신호를 출력할 수 있다.
- [0024] 상기 제어 신호 생성부는 이후 인가되는 데이터와 제1 업데이트 신호로부터 판별된 스큐의 방향이 이전과 상이하면, 상기 데이터 스트로브 신호의 위상이 이전과 반대 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 온 상태로 출력할 수 있다.
- [0025] 상기 제어 신호 생성부는 상기 스큐 크기가 기지정된 기준 스큐 크기를 초과하지 않는 것으로 판별되면, 상기 데이터 스트로브 신호의 위상이 이전과 동일 방향으로 상기 제1 단위 시간만큼 조절되도록 지연 제어 신호를 출력하고, 상기 락킹 신호를 오프 상태로 출력할 수 있다.
- [0026] 상기 제어 신호 생성부는 판별된 스큐 방향이 상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 앞선 플러스 스큐이면 플러스 신호를 출력하고, 상기 데이터 신호의 위상이 상기 데이터 스트로브 신호보다 기지정된 간격 이상 지연된 마이너스 스큐이면 마이너스 신호를 출력할 수 있다.
- [0027] 상기 기준 스큐 크기는 상기 제1 단위 시간보다 크고 상기 제2 단위 시간보다 작은 시간 크기를 가질 수 있다.
- [0028] 상기 스큐 방향 감지부는 상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 생성하는 스큐 감지부; 및 상기 스큐 감지부에서 생성된 전압을 서로 비교하여 상기 제1 업데이트 신호를 생성하는 스큐 방향 샘플링부를 포함할 수 있다.
- [0029] 상기 스큐 크기 감지부는 상기 락킹 신호가 오프 상태에서 상기 데이터 스트로브 신호에 응답하여 활성화되고, 상기 데이터 신호의 전압 레벨이 기지정된 기준 전압보다 낮은 시간 구간과 상기 기준 전압보다 높은 시간 구간 각각에 대응하는 전압을 인가되는 상기 플러스 신호 또는 상기 마이너스 신호에 따라 상기 기준 스큐에 대응하는 오프셋을 가지고 생성하는 조건부 스큐 감지부; 및 상기 조건부 스큐 감지부에서 생성된 전압을 서로 비교하

여 상기 제2 업데이트 신호를 생성하는 스큐 방향 샘플링부를 포함할 수 있다.

[0030] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 스큐 보상 방법은 데이터 신호와 함께 전송되는 외부 데이터 스트로브 신호 쌍을 인가받아 기지정된 방식으로 데이터 스트로브 신호를 획득하는 단계; 상기 데이터 스트로브 신호에 응답하여 활성화되어, 데이터 신호와 상기 데이터 스트로브 신호 사이의 스큐를 감지하고, 락킹 신호에 응답하여 스큐 크기를 감지하여 업데이트 신호를 출력하는 단계; 상기 업데이트 신호를 인가받아 스큐 방향과 스큐 크기를 판별하고, 판별된 스큐 방향과 스큐 크기에 따라 상기 데이터 스트로브 신호의 위상이 기지정된 제1 단위 시간 또는 제2 단위 시간만큼 서로 상이하게 조절되도록 지연 제어 신호를 생성하여 출력하고, 상기 스큐 방향의 변화에 따라 상기 락킹 신호를 출력하는 단계; 상기 지연 제어 신호에 응답하여 이후 획득되는 데이터 스트로브 신호의 위상을 상기 제1 단위 시간 또는 상기 제2 단위 시간만큼 조절하여 출력하는 단계를 포함한다.

발명의 효과

[0031] 따라서, 본 발명의 실시예에 따른 스큐 보상 장치 및 방법은 스큐가 발생하는 방향과 함께 스큐의 크기가 기지정된 기준 스큐 크기 이상인지 감지하고, 감지된 스큐의 크기에 따라 서로 다른 크기로 보상함에 따라 고속으로 스큐를 보상할 수 있다. 그러므로 소형으로 구현되어 고속으로 동작하는 HBM에서 스큐가 변화하는 상황에서도 샘플링 타임이 마진을 더 확보하여 HBM의 신뢰성을 높일 수 있다.

도면의 간단한 설명

[0032] 도 1 및 도 2는 고대역 메모리의 개략적 구조를 나타낸다.
 도 3은 HBM의 데이터 샘플링과 스큐를 설명하기 위한 도면이다.
 도 4는 도 2의 고대역 메모리에서 다이의 적층 위치에 따른 공급 전압 변화를 나타낸다.
 도 5는 본 발명의 일 실시예에 따른 HBM의 데이터 수신부의 개략적 구조를 나타낸다.
 도 6은 도 5의 고속 보상 위상 검출부의 개략적 구조를 나타낸다.
 도 7은 도 6의 스큐 방향 감지부의 상세 구성의 일 예를 나타낸다.
 도 8 내지 도 10은 도 7의 스큐 방향 감지부의 동작을 설명하기 위한 도면이다.
 도 11은 도 6의 스큐 크기 감지부의 상세 구성의 일 예를 나타낸다.
 도 12 내지 도 14는 도 11의 스큐 크기 감지부의 동작을 설명하기 위한 도면이다.
 도 15는 본 실시예에 따른 스큐 보상 장치가 스큐를 보상하는 개념을 설명하기 위한 도면이다.
 도 16은 본 발명의 일 실시예에 따른 스큐 보상 방법을 나타낸다.
 도 17 및 도 18은 본 실시예에 따른 스큐 보상 장치의 성능을 시뮬레이션한 결과를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0034] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.

[0035] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0036] 도 5는 본 발명의 일 실시예에 따른 HBM의 데이터 수신부의 개략적 구조를 나타낸다.

- [0037] 도 5를 참조하면, 본 실시예에 따른 데이터 수신부는 적어도 하나의 데이터 샘플링부(100) 및 스큐 보상부(200)를 포함할 수 있다. 데이터 샘플링부(100)는 스큐 보상부(200)에서 위상 조절된 데이터 스트로브 신호(DQS)를 인가받고, 인가된 데이터 스트로브 신호(DQS)에 기반하여 외부에서 전달된 데이터 신호(DQ)를 샘플링하여 데이터를 획득 및 출력한다. 이때 데이터 신호(DQ)는 도 1 및 도 2에 도시된 바와 같이, 프로세싱 다이로부터 인터포저를 통해 전달될 수 있다. 또한 도 3에 도시된 바와 같이, 데이터 수신부는 다수의 데이터 샘플링부(100)를 포함하여 다수 채널의 데이터 신호(DQ<3:0>)를 인가받도록 구성될 수 있다. 다수의 데이터 샘플링부(100)는 데이터 스트로브 신호(DQS)에 기반하여 각각 대응하는 채널의 데이터 신호(DQ0 ~ DQ3)를 샘플링하여 다수의 데이터를 획득할 수 있다.
- [0038] 스큐 보상부(200)는 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)을 인가받아 데이터 스트로브 신호(DQS)를 획득하고, 획득된 데이터 스트로브 신호(DQS)와 데이터 신호(DQ) 사이의 위상차를 감지하여 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이의 스큐가 제거되도록 데이터 스트로브 신호(DQS) 위상을 조절하여 데이터 샘플링부(100)로 인가한다.
- [0039] 스큐 보상부(200)는 DQS 획득부(210), 스큐 조절부(220), 고속 보상 위상 검출부(230) 및 제어 신호 생성부(240)를 포함할 수 있다. DQS 획득부(210)는 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)을 인가받아 데이터 스트로브 신호(DQS)를 생성한다. DQS 획득부(210)는 인가된 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)을 차동 증폭하고, 차동 증폭된 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)을 I/Q 분해(I/Q Divide)하여 4개의 데이터 스트로브 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB)로 구성되는 데이터 스트로브 신호(DQS)를 획득할 수 있다. 그리고 DQS 획득부(210)는 획득된 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB)를 포함하는 데이터 스트로브 신호(DQS)를 스큐 조절부(220)로 전달한다. 여기서 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB)는 외부 데이터 스트로브 신호 쌍(DQS_t, DQS_c)의 1/2 주파수를 갖고, 위상이 직교하는 클럭 신호이다.
- [0040] DQS 획득부(210)는 적어도 하나의 차동 증폭기와 I/Q 분해기를 포함하여 구성될 수 있다.
- [0041] 스큐 조절부(220)는 DQS 획득부(210)에서 인가된 데이터 스트로브 신호(DQS)를 제어 신호 생성부(240)에서 인가되는 지연 제어 신호에 대응하는 시간만큼 지연하여 출력한다. 여기서 지연 신호는 디지털 값으로 인가될 수도 있으며, 위상 조절부는 인가된 지연 제어 신호에 따라 지연시간을 가변하는 가변 지연 회로로 구성될 수 있다.
- [0042] 스큐 조절부(220)는 데이터 스트로브 신호(DQS)를 구성하는 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB)를 모두 동일하게 지연하여 다수의 데이터 샘플링부(100) 각각으로 출력할 수 있으며, 이에 각 데이터 샘플링부(100)는 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB) 각각에 응답하여 서로 다른 위상에서 데이터를 샘플링할 수 있다. 즉 다수의 데이터 샘플링부(100) 각각이 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB) 각각에 응답하여 대응하는 데이터 신호(DQ0 ~ DQ3)를 서로 다른 위상에서 4번 샘플링할 수 있다.
- [0043] 여기서 DQS 획득부(210)와 스큐 조절부(220)는 DQS 조절부로 통합될 수 있다.
- [0044] 고속 보상 위상 검출부(230)는 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이의 위상차에 따른 스큐를 감지하고, 감지된 스큐에 따라 위상을 보상하기 위한 업데이트 신호(UP)를 생성하여 제어 신호 생성부(240)로 전달한다. 고속 보상 위상 검출부(230)는 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이의 스큐를 전압차로 변환하여 감지함으로써, 데이터 신호(DQ)에 대비한 데이터 스트로브 신호(DQS)의 위상 스큐 방향을 감지하고, 감지된 스큐 방향에 따라 1차적으로 기지정된 제1 단위 위상만큼 위상 스큐가 보상될 수 있도록 업데이트 신호(UP)를 생성하여 출력한다.
- [0045] 또한 본 실시예의 고속 보상 위상 검출부(230)는 1차적으로 제1 단위 위상만큼 스큐가 보상된 이후, 데이터 신호(DQ)에 대비한 데이터 스트로브 신호(DQS)의 위상 스큐 방향과 함께 위상 스큐의 크기가 기지정된 기준 스큐 크기 이상인지 판별한다. 만일 위상 스큐 방향의 방향이 이전과 동일 방향이고 위상 스큐의 크기가 기준 스큐 크기를 초과하면, 제1 단위 위상보다 큰 값으로 기지정된 제2 단위 위상만큼 위상 스큐가 보상될 수 있도록 업데이트 신호(UP)를 생성하여 출력한다. 그러나 위상 스큐 방향의 방향이 이전과 상이하거나, 감지된 위상 스큐의 크기가 기준 스큐 크기 이하이면, 이전과 반대 방향으로 제1 단위 위상만큼 위상 스큐가 보상될 수 있도록 업데이트 신호(UP)를 생성하여 출력한다.
- [0046] 즉 본 실시예에서 고속 보상 위상 검출부(230)는 우선 위상 스큐가 발생된 방향만을 감지하여 1차적으로 제1 단위 시간으로 스큐를 보상하도록 업데이트 신호(UP)를 생성하고, 1차 보상 이후에 동일 스큐 방향에서 여전히 스

큐가 크게 발생하는 것으로 판단되면 1차 보상시보다 큰 제2 단위 시간으로 스큐를 보상하도록 업데이트 신호(UP)를 생성하여 출력한다.

[0047] 고속 보상 위상 검출부(230)의 구성과 동작에 대한 상세한 설명은 후술하도록 한다.

[0048] 제어 신호 생성부(240)는 고속 보상 위상 검출부(230)로부터 인가되는 업데이트 신호에 따라 스큐 조절부(220)가 데이터 스트로브 신호(DQS)를 지연하는 시간을 조절하기 위한 지연 제어 신호를 생성하여 출력한다. 이와 함께 제어 신호 생성부(240)는 데이터 스트로브 신호(DQS)에 의해 샘플링된 데이터(DQ0_I, DQ0_Q)에 응답하여 활성화되어 업데이트 신호(UP)를 인가받으며, 데이터(DQ0_I, DQ0_Q)와 업데이트 신호(UP)에 따라 데이터 신호(DQ0)의 위상이 데이터 스트로브 신호(DQS)보다 앞선 플러스 스큐가 발생하였는지, 데이터 신호(DQ0)의 위상이 데이터 스트로브 신호(DQS)보다 뒤쳐진 마이너스 스큐가 발생하였는지 판별하고 판별된 결과에 따라 플러스 신호(P) 또는 마이너스 신호(M)를 고속 보상 위상 검출부(230)로 전달한다. 또한 제어 신호 생성부(240)는 플러스 스큐와 마이너스 스큐가 교대로 반복하여 발생되면, 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 스큐가 제거된 상태로 판별하여 온 상태 락킹 신호(ON)를 출력할 수 있다. 그러나 스큐가 존재하는 것으로 판별되면, 오프 상태의 락킹 신호(OFF)를 출력할 수 있다.

[0049] 도 6은 도 5의 고속 보상 위상 검출부의 개략적 구조를 나타낸다.

[0050] 도 6을 참조하면, 본 실시예에 따른 고속 보상 위상 검출부(230)는 스큐 방향 감지부(310)와 스큐 크기 감지부(320)를 포함할 수 있다. 스큐 방향 감지부(310)는 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이의 스큐를 전압차로 변환하여 감지함으로써, 데이터 신호(DQ)에 대비한 데이터 스트로브 신호(DQS)의 위상 스큐 방향을 감지하여 업데이트 신호(UP)를 생성한다.

[0051] 스큐 방향 감지부(310)는 4개의 DQS 분해 신호(DQS_I, DQS_Q, DQS_IB, DQS_QB) 중 인접한 위상을 갖는 2개의 DQS 분해 신호(여기서는 일 예로 DQS_Q, DQS_IB)에 응답하여 활성화 및 리셋 되고, 활성화된 기간 동안 데이터 신호(DQ)의 전압을 기지정된 기준 전압(Vref)과 비교하여 발생된 스큐를 전압값으로 변환하여 제1 업데이트 신호를 생성한다.

[0052] 스큐 크기 감지부(320) 또한 스큐 방향 감지부(310)와 마찬가지로 2개의 DQS 분해 신호(DQS_Q, DQS_IB)를 인가받을 뿐만 아니라, 추가적으로 스큐 방향 감지부(310)에 생성된 업데이트 신호에 응답하여 활성화된다. 그리고 활성화된 스큐 크기 감지부(320)는 스큐 방향 감지부(310)와 유사하게 데이터 신호(DQ)의 전압을 기지정된 기준 전압(Vref)과 비교하여 발생된 스큐를 전압값으로 변환하되, 기지정된 기준 스큐 크기 이상의 스큐가 발생하는지 여부를 감지하여 제2 업데이트 신호를 생성한다.

[0053] 이는 단순히 스큐의 발생 여부만을 감지하는 스큐 방향 감지부(310)와 달리 발생된 스큐가 기준 스큐 크기 이상인지 감지함으로써, 스큐 보상의 수준을 차등화 할 수 있도록 하기 위함이다.

[0054] 즉 스큐 방향 감지부(310)는 스큐의 발생 여부를 감지하여 제1 업데이트 신호를 생성하고, 스큐 크기 감지부(320)는 발생된 스큐의 크기가 기준 스큐 크기 이상인지 여부를 감지하여 제2 업데이트 신호를 생성한다. 그리고 생성된 제1 업데이트 신호 및 제2 업데이트 신호는 업데이트 신호로서 제어 신호 생성부(240)로 전달된다.

[0055] 도 7은 도 6의 스큐 방향 감지부의 상세 구성의 일 예를 나타내며, 도 8 내지 도 10은 도 7의 스큐 방향 감지부의 동작을 설명하기 위한 도면이다.

[0056] 도 7을 참조하면, 스큐 방향 감지부(310)는 스큐 감지부(311) 및 스큐 방향 샘플링부(312)를 포함할 수 있다.

[0057] 스큐 감지부(311)는 2개의 DQS 분해 신호(DQS_Q, DQS_IB)에 응답하여 활성화되어 데이터 신호(DQ)와 기준 전압(Vref)을 비교하여 전압 차를 저장한다.

[0058] 스큐 감지부(311)는 스위치부, 감지부, 차정부 및 리셋부로 구성된다. 스위치부는 전원 전압과 제1 노드(X) 사이에 직렬로 연결된 2개의 스위치 트랜지스터(S11, S12)를 포함한다. 2개의 스위치 트랜지스터(S11, S12)는 각각 2개의 DQS 분해 신호(DQS_Q, DQS_IB)에 응답하여 온/오프된다.

[0059] 감지부는 제1 노드(X)와 제2 노드(A)와 제1 노드(X)와 제3 노드(B) 사이에 각각 연결된 2개의 감지 트랜지스터(P11, P12)를 포함한다. 2개의 감지 트랜지스터 중 제11 감지 트랜지스터(P11)는 다수의 채널의 데이터 신호(DQ) 중 하나의 데이터 신호(DQ0)를 인가받는 반면 제12 감지 트랜지스터(P12)는 기준 전압(Vref)을 인가받는다. 여기서 기준 전압(Vref)은 데이터 신호(DQ)의 로우 레벨과 하이 레벨 사이의 중간 전압 레벨을 가질 수 있다. 즉 데이터 신호(DQ)는 기준 전압(Vref)보다 낮은 전압 레벨을 갖는 로우 레벨에서 기준 전압

(Vref)보다 높은 전압으로 하이 레벨로 천이된다.

- [0060] 차장부는 제2 노드(A)와 제3 노드(B) 각각과 접지 전압 사이에 연결되는 2개의 캐패시터(C1, C2)를 포함한다. 제11 캐패시터(C1)는 도 8의 (a)에 도시된 바와 같이, 데이터 신호(DQ0)가 기준 전압(Vref)보다 낮은 전압 레벨인 구간 동안, 스위치부 및 감지부의 제11 감지 트랜지스터(P11)를 통해 인가되는 전류를 충전한다. 그리고 제12 캐패시터(C2)는 도 8의 (b)에 도시된 바와 같이, 데이터 신호(DQ0)가 기준 전압(Vref)보다 높은 전압 레벨인 구간 동안, 스위치부 및 감지부의 제12 감지 트랜지스터(P12)를 통해 인가되는 전류를 충전한다. 즉 차장부의 2개의 캐패시터(C1, C2)는 각각 데이터 신호(DQ0)가 기준 전압(Vref)보다 낮은 전압 레벨인 구간과 높은 전압 레벨인 구간 동안 충전되어 충전된 구간에 대응하는 전압을 제2 노드(A)와 제3 노드(B)에 발생시킨다.
- [0061] 차장부의 2개의 캐패시터(C1, C2)는 동일한 캐패시턴스를 가지는 것이 바람직하지만, 다양한 이유로 캐패시턴스의 오프셋이 발생할 수 있으므로, 2개의 캐패시터(C1, C2) 중 적어도 하나(여기서는 일 예로 제12 캐패시터(C2))는 오프셋캐패시턴스를 보정할 수 있도록 가변 캐패시턴스를 갖도록 구성될 수 있다. 오프셋 캐패시턴스 보상을 위한 가변 캐패시터를 구현하는 방법은 공지된 기술이므로 여기서는 상세하게 설명하지 않는다.
- [0062] 한편, 리셋부는 제2 노드(A)와 제3 노드(B) 각각과 접지 전압 사이에 2개의 캐패시터(C1, C2)와 각각 병렬로 연결되는 2개의 리셋 트랜지스터(R11, R12)를 포함한다. 2개의 리셋 트랜지스터(R11, R12)는 스위치부로 인가되는 2개의 DQS 분해 신호(DQS_Q, DQS_IB) 중 하나의 DQS 분해 신호(DQS_IB)에 응답하여 활성화되어 2개의 캐패시터(C1, C2)를 방전시킴으로써 도 9의 (b)에 도시된 바와 같이, 제2 노드(A)와 제3 노드(B)의 전압 레벨을 접지 전압 레벨로 리셋시킨다.
- [0063] 스큐 방향 샘플링부(312)는 도 9의 (a)에 도시된 바와 같이, 스큐 감지부(311)의 제2 노드(A)와 제3 노드(B)의 전압차를 증폭하여 제1 업데이트 신호(UP1)를 출력한다. 여기서 스큐 방향 샘플링부(312)는 DQS 분해 신호(DQS_Q)에 응답하여 스큐 감지부(311)가 비활성화된 시점에 활성화되어 제2 노드(A)와 제3 노드(B)의 전압차를 감지 증폭하여 제1 업데이트 신호(UP1)를 출력할 수 있다.
- [0064] 도 10을 참조하면, 정상적인 상태, 즉 스큐가 발생되지 않은 상태에서 데이터 신호(DQ0)는 2개의 DQS 분해 신호(DQS_I, DQS_Q)의 상승 에지 타이밍의 중앙 타이밍에서 상승 또는 하강 천이되어야 한다.
- [0065] 데이터 신호(DQ0)가 상승 천이하는 것으로 가정할 때, 데이터 신호(DQ0)가 기준 전압(Vref)보다 낮은 전압 레벨 구간이 높은 전압 레벨 구간보다 길다면, 도 10에서 ①의 구간이 ②의 구간 보다 길어 데이터 신호(DQ0)의 위상이 데이터 스트로브 신호(DQS)보다 앞선 플러스 스큐가 발생된 것으로 볼 수 있다. 반면, 데이터 신호(DQ0)가 기준 전압(Vref)보다 낮은 전압 레벨 구간이 높은 전압 레벨 구간보다 짧다면, ①의 구간이 ②의 구간 보다 짧아 데이터 신호(DQ0)의 위상이 데이터 스트로브 신호(DQS)보다 뒤쳐진 마이너스 스큐가 발생된 것으로 볼 수 있다.
- [0066] 그러나 데이터 신호(DQ0)가 하강 천이하는 경우에는 데이터 신호(DQ)의 레벨이 반대이다. 따라서 데이터 신호(DQ0)가 기준 전압(Vref)보다 높은 전압 레벨 구간이 낮은 전압 레벨 구간보다 긴 경우가 오히려 데이터 신호(DQ0)의 위상이 데이터 스트로브 신호(DQS)보다 앞선 플러스 스큐가 발생된 것으로 볼 수 있으며, 데이터 신호(DQ0)가 기준 전압(Vref)보다 높은 전압 레벨 구간이 낮은 전압 레벨 구간보다 짧다면, 마이너스 스큐가 발생된 것으로 볼 수 있다.
- [0067] 즉 플러스 스큐와 마이너스 스큐는 데이터 신호(DQ0)와 데이터 스트로브 신호(DQS) 사이의 위상 차뿐만 아니라, 데이터 신호(DQ0)의 데이터값에 기반하여 판별되어야 한다. 이에 상기한 바와 같이, 제어 신호 생성부(240)는 데이터 샘플링부(100)에서 샘플링된 데이터 신호(DQ0)의 데이터값과 제1 업데이트 신호(UP1)를 기반으로 플러스 스큐가 발생하였는지 마이너스 스큐가 발생하였는지 판별하여 플러스 신호(P) 또는 마이너스 신호(M)를 생성할 수 있다. 또한 플러스 스큐와 마이너스 스큐가 교대로 반복하여 발생된 것으로 판별되면, 스큐가 제1 단위 시간 이내로 발생되어 보상할 수 없는 상태이므로 스큐가 제거된 것으로 판별하여 락킹 신호를 온 상태로 하여 출력할 수 있다.
- [0068] 도 11은 도 6의 스큐 크기 감지부의 상세 구성의 일 예를 나타내고, 도 12 내지 도 15는 도 11의 스큐 크기 감지부의 동작을 설명하기 위한 도면이다.
- [0069] 도 11을 참조하면, 스큐 크기 감지부(320)는 조건부 스큐 감지부(321) 및 스큐 크기 샘플링부(322)를 포함할 수 있다. 조건부 스큐 감지부(321) 또한 스큐 방향 감지부(310)와 유사하게 스위치부, 감지부, 차장부 및 리셋부로 구성될 수 있다.

- [0070] 스위치부는 전원 전압과 제4 노드(Y) 사이에 직렬로 연결된 3개의 스위치 트랜지스터(S21 ~ S23)를 포함한다. 이중 제21 및 제22 스위치 트랜지스터(S21, S22)는 스큐 감지부(311)의 스위치부와 동일하게 각각 2개의 DQS 분해 신호(DQS_Q, DQS_IB)에 응답하여 온/오프된다. 그러나 제23 스위치 트랜지스터(S23)는 락킹 신호의 오프(OFF) 상태에 응답하여 활성화된다. 즉 조건부 스큐 감지부(321)는 도 12의 (a)에 도시된 바와 같이, 제어 신호 생성부(240)에 의해 락킹된 상태, 즉 스큐가 발생하지 않는 상태라고 판단된 경우에 턴 오프되어 스큐 크기 감지부(320)가 비활성화되도록 한다. 이는 락킹된 상태에서 불필요하게 스큐 크기 감지부(320)가 동작하여 전력 소모가 증가되는 것을 방지하기 위함이다. 그러나 락킹 되지 않은 상태에서는 도 12의 (b)에 도시된 바와 같이, 턴 온 되어 전원 전압이 제4 노드(Y)로 인가되도록 한다.
- [0071] 한편, 감지부는 스큐 방향 감지부(310)의 감지부와 마찬가지로 제4 노드(Y)와 제5 노드(C)와 제4 노드(Y)와 제6 노드(D) 사이에 각각 연결된 2개의 감지 트랜지스터(P21, P22)를 포함한다. 그리고 제21 감지 트랜지스터(P21)는 데이터 신호(DQ0)를 인가받고, 제22 감지 트랜지스터(P22)는 기준 전압(Vref)을 인가받는다.
- [0072] 차징부는 스큐 방향 감지부(310)의 차징부와 달리 플러스 차징부와 마이너스 차징부로 구성될 수 있다.
- [0073] 플러스 차징부는 제5 노드(C)와 제6 노드(D) 각각과 접지 전압 사이에 직렬로 연결되는 플러스 스위치 트랜지스터(PS1, PS2)와 플러스 캐패시터(PC1, PC2)를 포함한다. 도 13에 도시된 바와 같이, 2개의 플러스 스위치 트랜지스터(PS1, PS2)는 제어 신호 생성부(240)에서 인가되는 플러스 신호(P)에 응답하여 턴온되어 대응하는 플러스 캐패시터(PC1, PC2)를 제5 노드(C) 및 제6 노드(D)와 연결한다.
- [0074] 즉 제1 플러스 스위치 트랜지스터(PS1)는 플러스 신호(P)에 따라 턴 온되어 제1 플러스 캐패시터(PC1)가 제5 노드(C)를 통해 인가되는 전류에 의해 차징되도록 하고, 제2 플러스 스위치 트랜지스터(PS2)는 플러스 신호(P)에 따라 턴 온되어 제2 플러스 캐패시터(PC2)가 제6 노드(D)를 통해 인가되는 전류에 의해 차징되도록 한다.
- [0075] 한편, 마이너스 차징부 또한 플러스 차징부와 유사하게 제5 노드(C)와 제6 노드(D) 각각과 접지 전압 사이에 직렬로 연결되는 마이너스 스위치 트랜지스터(MS1, MS2)와 마이너스 캐패시터(MC1, MC2)를 포함한다. 도 14에 도시된 바와 같이, 2개의 마이너스 스위치 트랜지스터(MS1, MS2)는 제어 신호 생성부(240)에서 인가되는 마이너스 신호(M)에 응답하여 턴온되어 대응하는 마이너스 캐패시터(MC1, MC2)를 제5 노드(C) 및 제6 노드(D)와 연결한다.
- [0076] 스큐 크기 감지부(320)의 차징부가 플러스 차징부와 마이너스 차징부가 구분되어 구성되는 것은 스큐 방향 감지부(310)의 차징부와 달리 2개의 플러스 캐패시터(PC1, PC2) 사이의 캐패시턴스가 서로 상이해야 하고, 2개의 마이너스 캐패시터(MC1, MC2) 사이의 캐패시턴스 또한 서로 상이해야 하기 때문이다.
- [0077] 즉 스큐 방향 감지부(310)의 경우, 단순히 스큐의 발생 여부만을 감지하므로, 도 10에 도시된 바와 같이, 데이터 신호(DQ)의 천이 타이밍이 2개의 DQS 분해 신호(DQS_I, DQS_Q)의 상승 에지 타이밍의 중앙인지 여부를 측정하면 되며, 이에 2개의 캐패시터(C1, C2)의 캐패시턴스가 동일해야 한다.
- [0078] 그에 반해 스큐 크기 감지부(320)에서 플러스 차징부에서 2개의 플러스 캐패시터(PC1, PC2)는 플러스 스큐가 발생한 경우에 턴 온되어 발생한 플러스 스큐가 기지정된 기준 스큐 크기 이상인지를 감지할 수 있도록 서로 상이한 캐패시턴스를 가져야 한다. 이에 제1 플러스 캐패시터(PC1)는 제2 플러스 캐패시터(PC2)보다 큰 캐패시턴스를 가질 수 있으며, 이때 제1 플러스 캐패시터(PC1)와 제2 플러스 캐패시터(PC2)는 기지정된 기준 스큐 크기(예를 들면 20ps)에 대응하는 캐패시턴스 차이를 가질 수 있다.
- [0079] 유사하게 마이너스 차징부에서 2개의 마이너스 캐패시터(MC1, MC2)는 마이너스 스큐가 발생한 경우에 턴 온되어, 발생한 마이너스 스큐가 기지정된 기준 스큐 크기 이상인지를 감지할 수 있도록 서로 상이한 캐패시턴스를 가져야 한다. 제1 마이너스 캐패시터(MC1)는 제2 마이너스 캐패시터(MC2)보다 작은 캐패시턴스를 가질 수 있으며, 제1 마이너스 캐패시터(MC1)는 제2 마이너스 캐패시터(MC2)는 기지정된 기준 스큐 크기(예를 들면 20ps)에 대응하는 캐패시턴스 차이를 가질 수 있다.
- [0080] 즉 2개의 플러스 캐패시터(PC1, PC2) 사이와 2개의 마이너스 캐패시터(MC1, MC2) 사이 각각에는 기준 스큐에 대응하는 크기의 기준 캐패시턴스 차가 존재한다. 따라서 플러스 캐패시터(PC1, PC2) 또는 마이너스 캐패시터(MC1, MC2)가 차징되어감에 따라 가변되는 제5 노드(C) 및 제6 노드(D)의 전압의 레벨이 스큐 크기에 대응하는 오프셋을 갖는 것으로 볼 수 있다.
- [0081] 리셋부는 제5 노드(C)와 제6 노드(D) 각각과 접지 전압 사이에 차징부와 병렬로 연결되는 2개의 리셋 트랜지스터(R21, R22)를 포함하여, 2개의 DQS 분해 신호(DQS_Q, DQS_IB) 중 하나의 DQS 분해 신호(DQS_IB)에 응답하여

2개의 플러스 캐패시터(PC1, PC2)와 2개의 마이너스 캐패시터(MC1, MC2)가 모두 방전되도록 함으로써 제5 노드(C)와 제6 노드(D)의 전압 레벨을 접지 전압 레벨로 리셋시킨다.

[0082] 도 15은 본 실시예에 따른 스큐 보상 장치가 스큐를 보상하는 개념을 설명하기 위한 도면이고, 도 16은 본 발명의 일 실시예에 따른 스큐 보상 방법을 나타낸다.

[0083] 도 5 내지 도 15를 참조하여 도 16의 스큐 보상 방법을 설명하면,

[0084] 우선 HBM의 구동 초기에 라이트 트레이닝을 통해 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)가 정합된 상태인 것으로 가정한다. 그리고 이후 고속 보상 위상 검출부(230)의 스큐 방향 감지부(310)가 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이에서 발생된 스큐를 감지하여 제1 업데이트 신호(UP1)를 생성한다(S11). 이에 제어 신호 생성부(240)는 스큐 방향을 판별한다(S12). 즉 제어 신호 생성부(240)는 제1 업데이트 신호(UP1)를 인가받아 플러스 스큐가 발생하였는지 마이너스 스큐가 발생하였는지 판별한다. 그리고 제어 신호 생성부(240)는 판별된 스큐 방향에 대응하는 생성하여 스큐 조절부(220)로 전달하여, 데이터 스트로브 신호(DQS)의 위상이 제1 단위 시간만큼 보상되도록 한다(S13).

[0085] 플러스 스큐가 발생된 경우를 가정하면, 이는 도 15의 ③ 또는 ④ 구간에 해당한다. 하지만 이때 스큐 크기 감지부(320)는 비활성화된 상태이므로 발생된 플러스 스큐의 크기가 기준 스큐 크기 이상인지 판별할 수 없다. 이에 제어 신호 생성부(240)는 데이터 스트로브 신호(DQS)의 위상이 기지정된 제1 단위 시간(예를 들면 5ps)만큼 앞당겨지도록 지연 제어 신호를 생성하여 출력한다. 반면, 마이너스 스큐가 발생한 것으로 판별되면, 데이터 스트로브 신호(DQS)의 위상이 기지정된 제1 단위 시간만큼 지연되도록 지연 제어 신호를 생성하여 출력한다.

[0086] 이후 스큐 방향 감지부(310)는 데이터 신호(DQ)와 데이터 스트로브 신호(DQS) 사이에서 발생된 스큐 방향을 다시 감지하여 제1 업데이트 신호(UP1)를 제어 신호 생성부(240)로 전달하고, 제어 신호 생성부(240)는 제1 업데이트 신호(UP1)로부터 스큐 방향을 다시 판별한다(S14). 그리고 재판별된 스큐 방향이 이전에 비해 반전되었는지 판별한다(S15). 만일 스큐 방향이 반전된 것으로 판별되면, 제어 신호 생성부(240)는 데이터 스트로브 신호(DQS)의 위상이 이전과 반대 방향으로 기지정된 제1 단위 시간만큼 당겨지거나 지연되도록 지연 제어 신호를 생성하여 출력하고, 락킹 신호를 온 상태로 인가한다(S16).

[0087] 그러나 스큐 방향이 이전과 동일하면, 제어 신호 생성부(240)는 스큐 크기 감지부(320)가 활성화되도록 락킹 신호를 오프 상태로 전환하고, 스큐 방향에 따라 플러스 신호(P) 또는 마이너스 신호(M)와 함께 스큐 크기 감지부(320)로 인가한다(S17). 이에 스큐 크기 감지부(320)는 오프 상태의 락킹 신호(OFF)에 응답하여 활성화되어, 발생된 스큐 크기가 기지정된 기준 스큐 크기(여기서는 일 예로 20ps)를 초과하는지 감지하여 제2 업데이트 신호(UP2)를 생성하고, 제어 신호 생성부(240)는 제2 업데이트 신호(UP2)를 인가받아 감지된 스큐 크기가 기준 스큐 크기를 초과하는지 판별한다(S18). 만일 스큐 크기가 기준 스큐 크기를 초과하는 것으로 판별되면, 스큐가 보상되도록 데이터 스트로브 신호(DQS)의 위상이 제1 단위 시간보다 긴 시간으로 미리 지정된 제2 단위 시간(여기서는 일 예로 30ps)만큼 당겨지거나 지연되도록 지연 제어 신호를 생성하여 출력한다(S19). 그러나 스큐 크기가 기준 스큐 크기 이하인 것으로 판별되면, 데이터 스트로브 신호(DQS)의 위상이 다시 제1 단위 시간만큼 당겨지거나 지연되도록 지연 제어 신호를 생성하여 출력한다(S20).

[0088] 즉 본 실시예에 따른 스큐 보상 장치는 스큐가 발생된 방향뿐만 아니라 발생된 스큐의 크기가 기준 스큐 크기를 초과하는지 여부를 감지하여 서로 다르게 설정된 제1 단위 시간 및 제2 단위 시간으로 보상하므로 고속으로 스큐를 보상할 수 있게 된다. 또한 스큐 크기 감지부(320)가 락킹 신호의 오프 상태에서만 활성화되므로, 전력 소모가 증가하는 것을 억제할 수 있다.

[0089] 도 17 및 도 18은 본 실시예에 따른 스큐 보상 장치의 성능을 시뮬레이션한 결과를 나타낸다.

[0090] 도 17은 HBM의 전압 변동에 따른 타이밍 마진의 변화를 나타낸다. 도 17에서 주황색 그래프는 스큐 보상을 수행하지 않은 경우를 나타내고, 파란색 그래프는 스큐 보상을 수행하되 캐패시터(C1, C2, PC1, PC2, MC1, MC2)의 오프셋 보상을 수행하지 않은 경우를 나타내며, 회색 그래프는 스큐 보상과 오프셋 보상을 모두 수행한 경우를 나타낸다. 도 16에 도시된 바와 같이, 스큐 보상을 수행하는 경우, 전압 변동에도 데이터 신호(DQ)와 데이터 스트로브 신호(DQS)의 위상이 정합되어 타이밍 마진이 크게 획득될 수 있음을 알 수 있다.

[0091] 도 18은 스큐 크기에 따른 스큐 보상 속도를 시뮬레이션한 결과를 나타낸다. 도 18에서 (a) 내지 (c)는 각각 스큐 크기가 40ps, 50ps 및 60ps 인 경우를 도시하였으며, 주황색 그래프는 단일의 제1 단위 시간만으로 스큐를 보상하는 경우의 락킹 속도를 나타내고, 파란색 그래프는 본 실시예와 같이 서로 다른 제1 및 제2 단위 시간으

로 스큐를 보상하는 경우의 락킹 속도를 나타낸다.

[0092] 도 18의 (a) 내지 (c)에 도시된 바와 같이, 본 실시예에 따른 스큐 보상 장치는 서로 상이한 2개의 단위 시간으로 보상을 수행하므로, 단일 시간으로 보상을 수행하는 경우에 비해 매우 빠르게 스큐를 보상하여 락킹할 수 있음을 알 수 있다.

[0093] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.

[0094] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

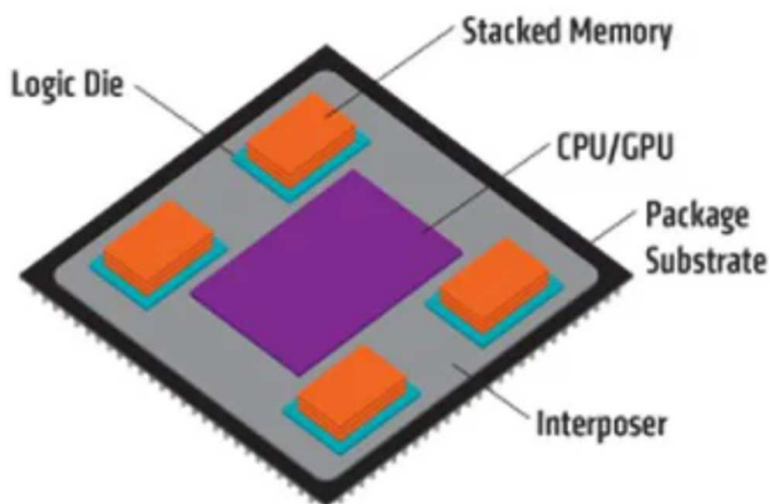
[0095] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

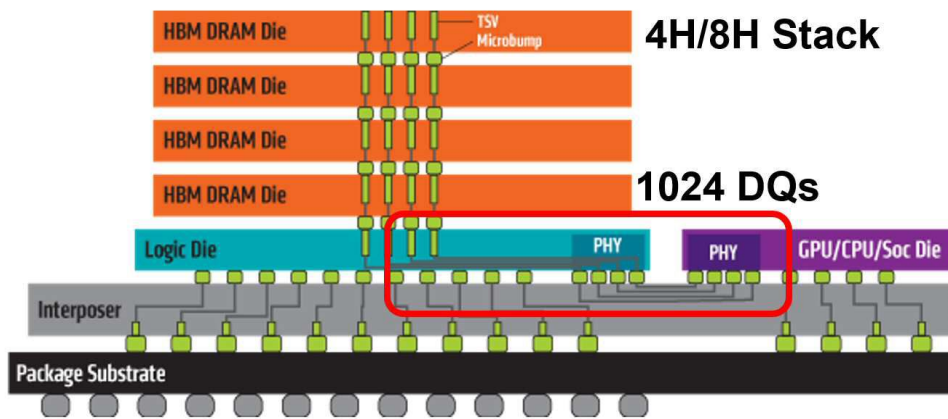
[0096] 100: 데이터 샘플링부 200: 스큐 보상부
210: DQS 획득부 220: 스큐 조절부
230: 고속 보상 위상 검출부 240: 제어 신호 생성부
310: 스큐 방향 감지부 311: 스큐 감지부
320: 스큐 방향 샘플링부 320: 스큐 크기 감지부
321: 조건부 스큐 감지부 322: 스큐 크기 샘플링부

도면

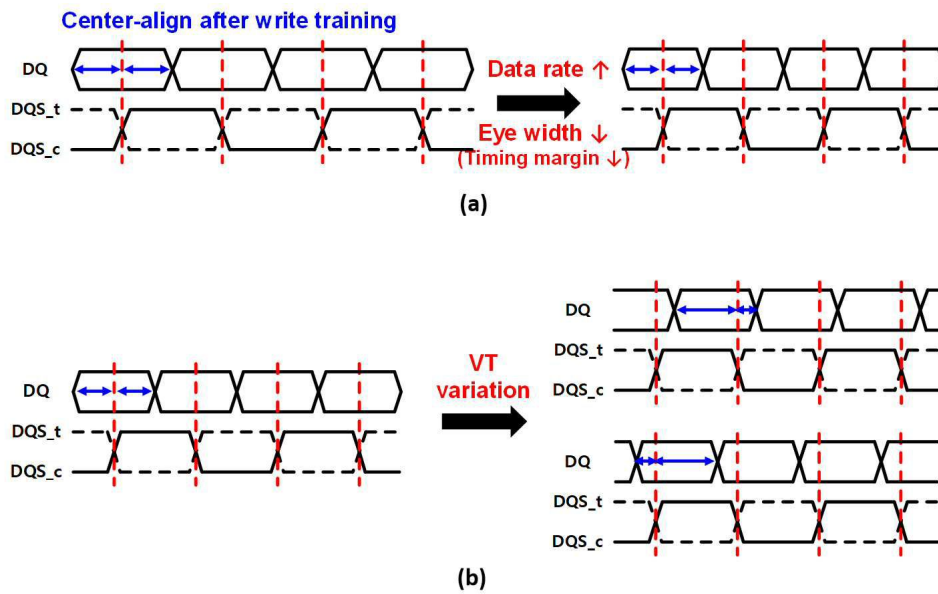
도면1



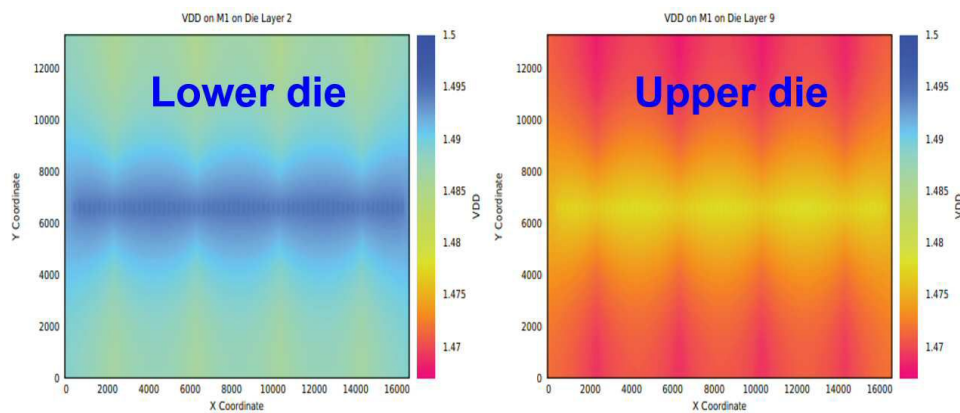
도면2



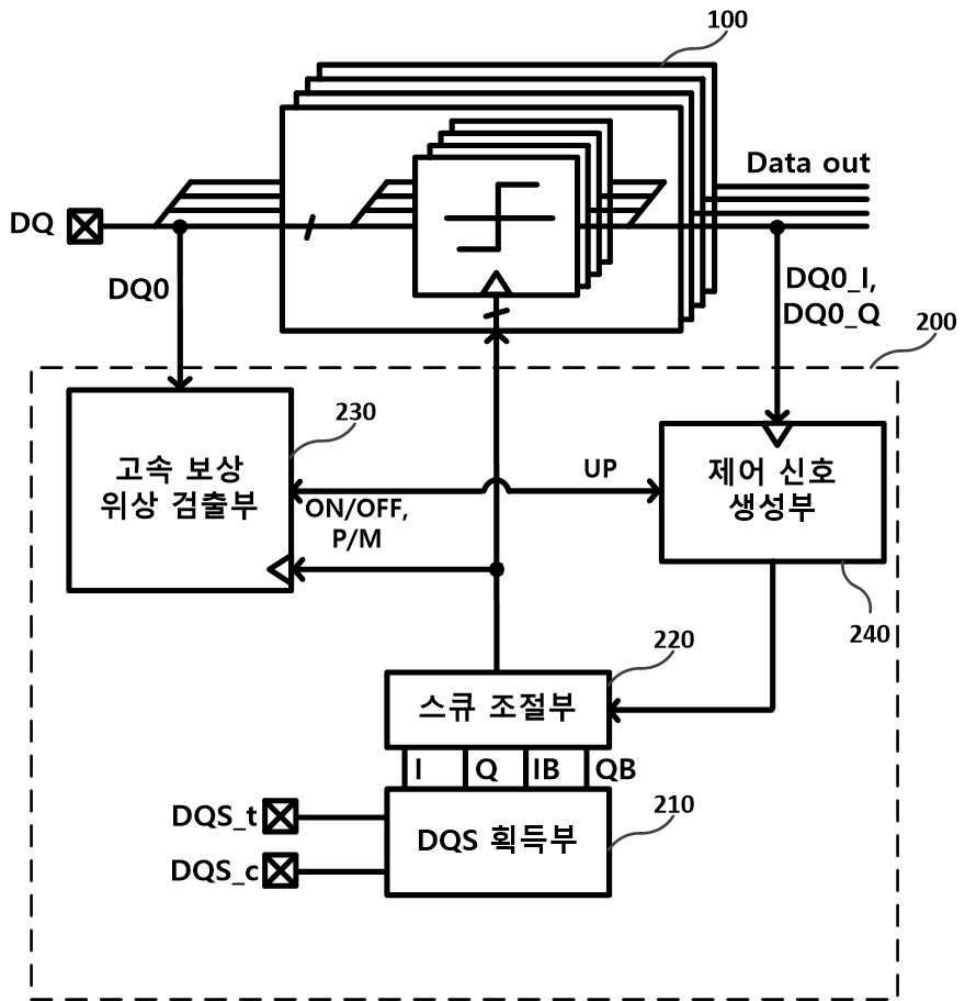
도면3



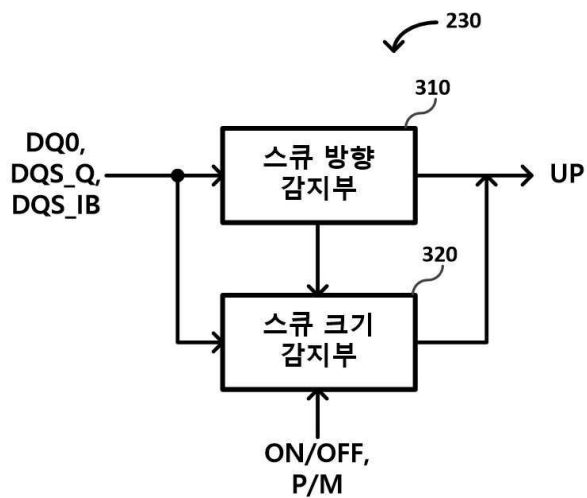
도면4



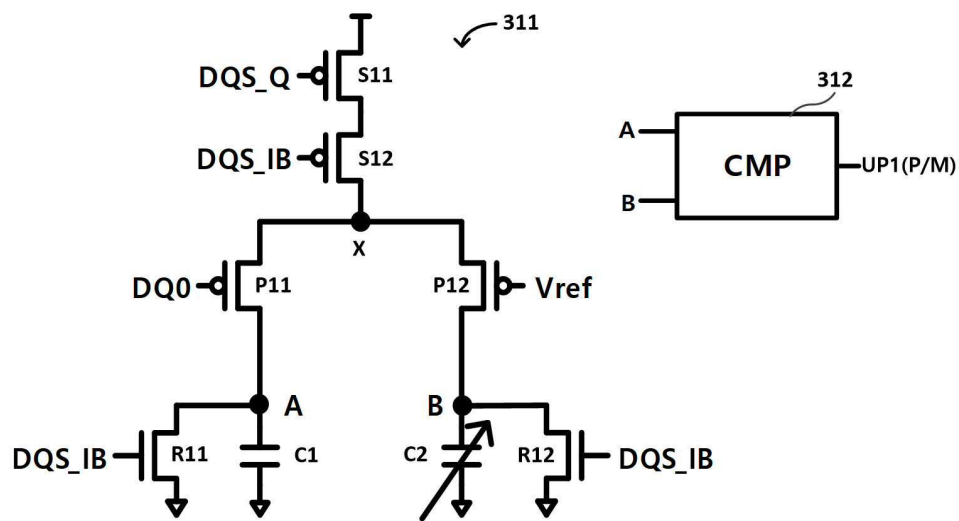
도면5



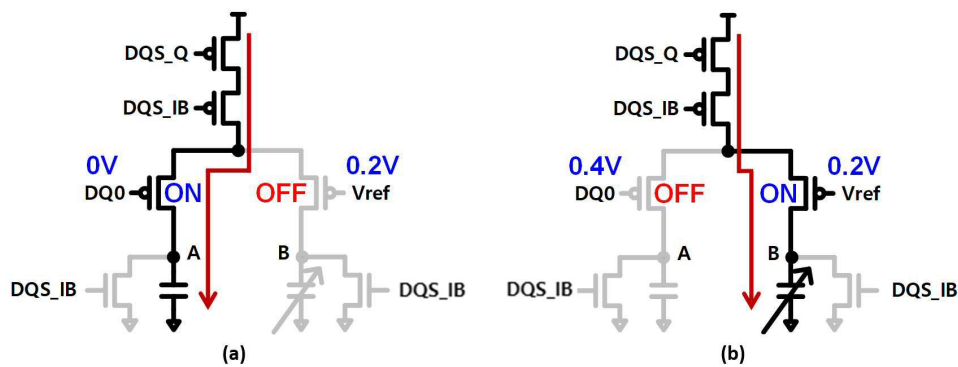
도면6



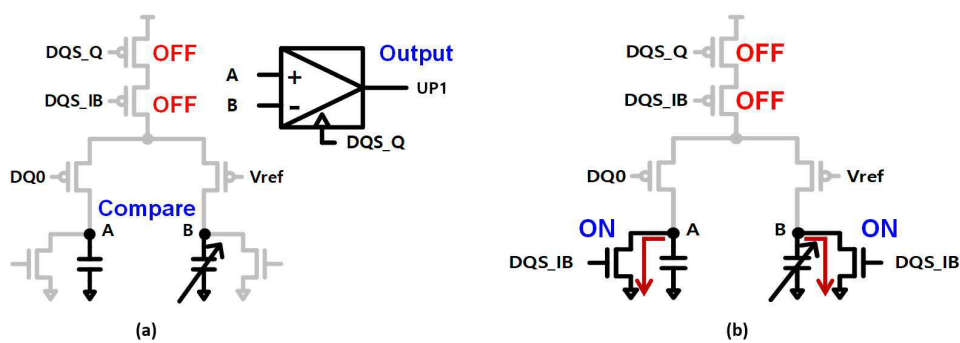
도면7



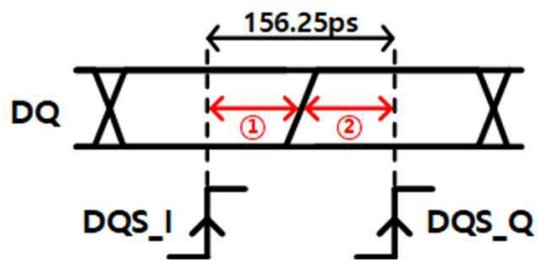
도면8



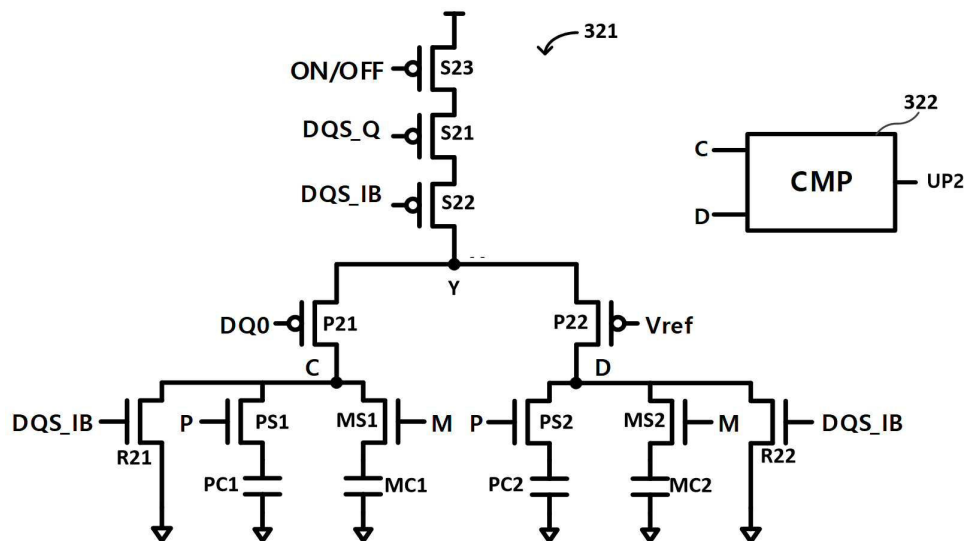
도면9



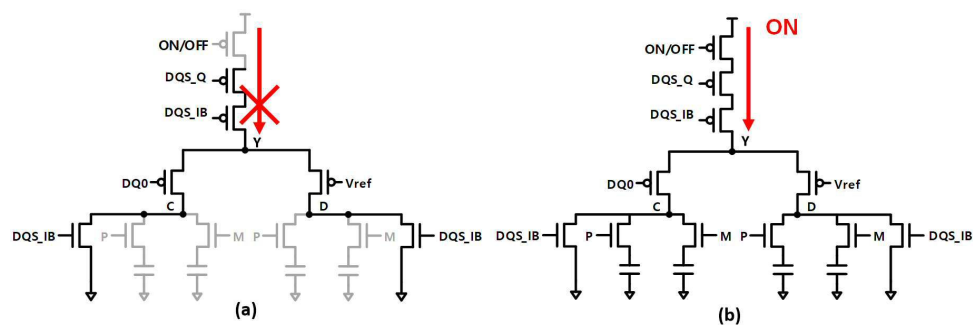
도면 10



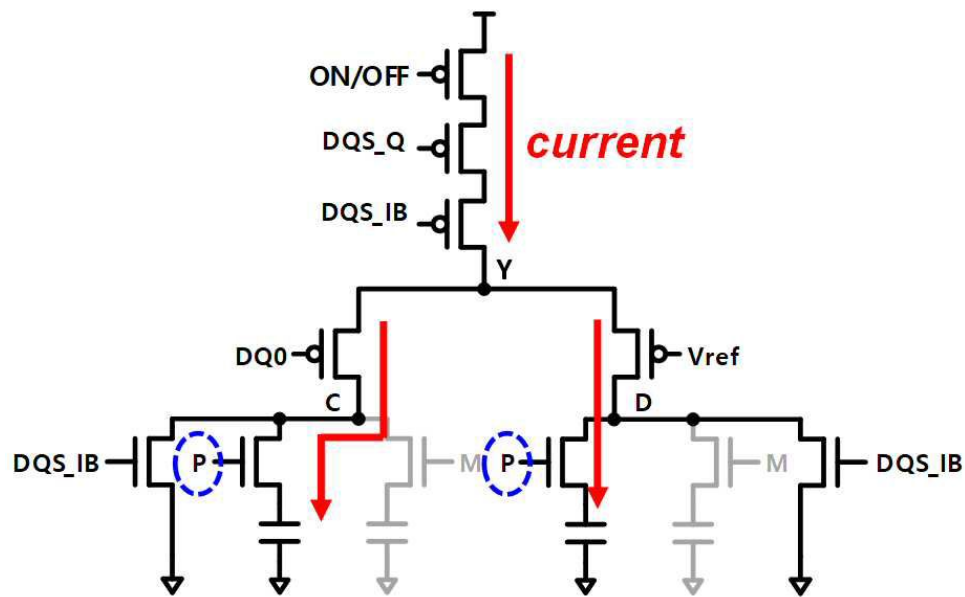
도면11



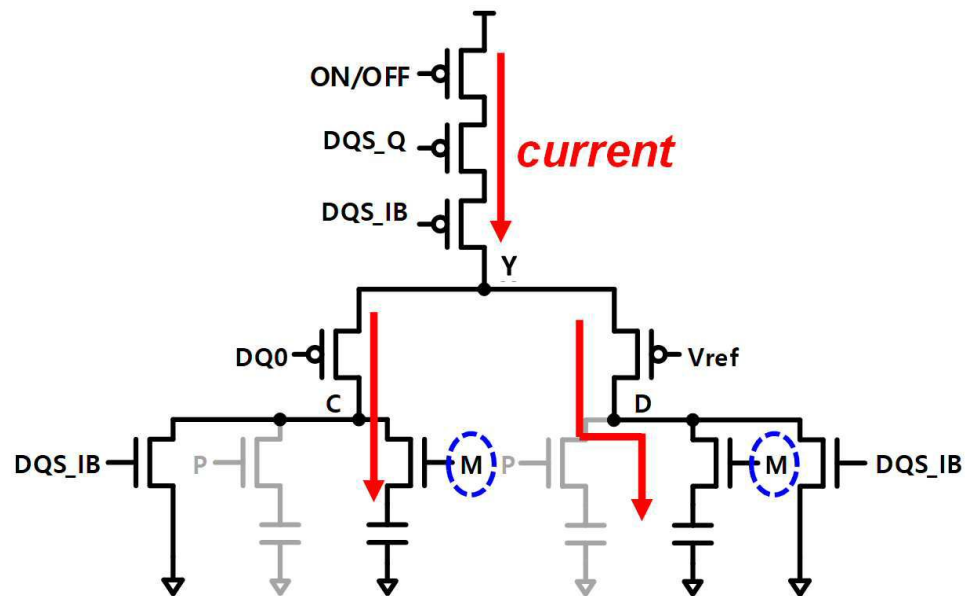
도면 12



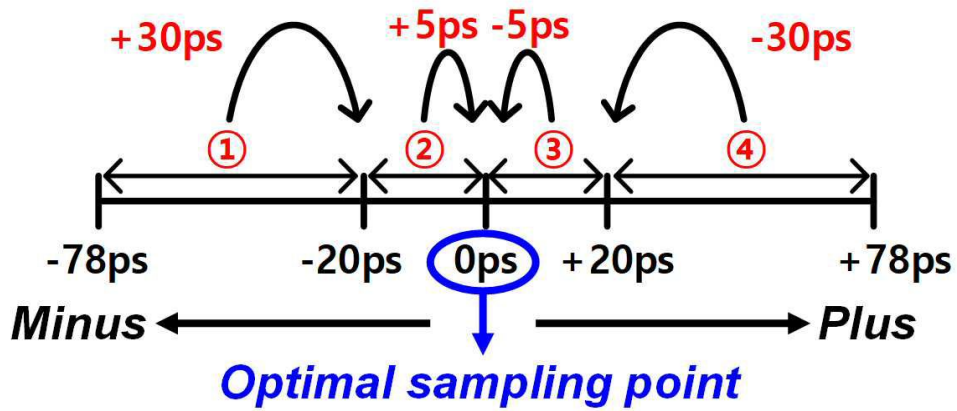
도면13



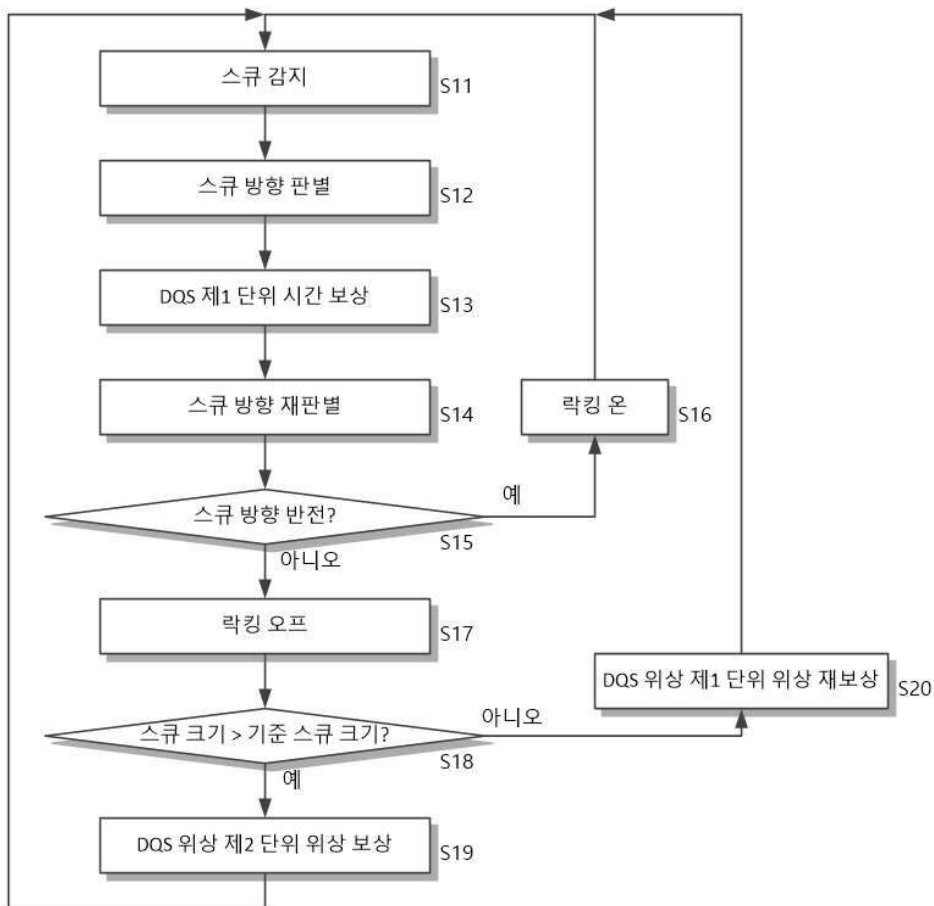
도면14



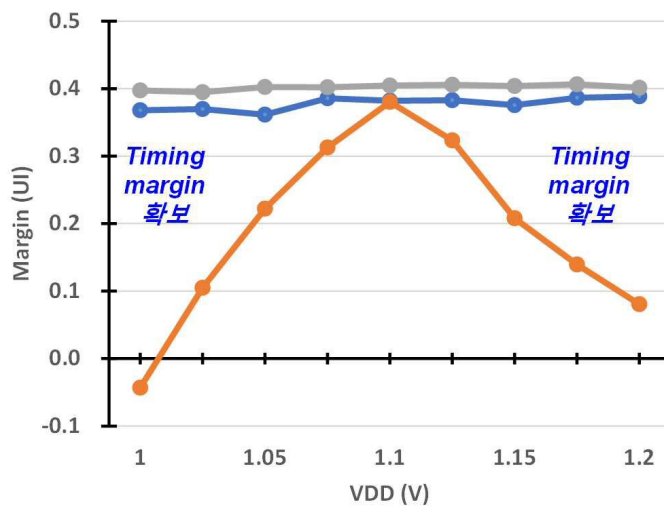
도면15



도면16



도면17



도면18

