

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0142103
(43) 공개일자 2022년10월21일

(51) 국제특허분류(Int. Cl.)

H01L 51/10 (2006.01) H01L 51/00 (2006.01)

H01L 51/05 (2006.01)

(52) CPC특허분류

H01L 51/102 (2013.01)

H01L 51/002 (2013.01)

(21) 출원번호 10-2021-0048449

(22) 출원일자 2021년04월14일

심사청구일자 2021년04월14일

(71) 출원인

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

조정호

서울특별시 강남구 삼성로64길 5, 107동 801호(대치동, 대치현대아파트)

김민제

서울특별시 서대문구 연희로8길 27, 403호(연희동, 연세아크로폴리스)

(뒷면에 계속)

(74) 대리인

특허법인우인

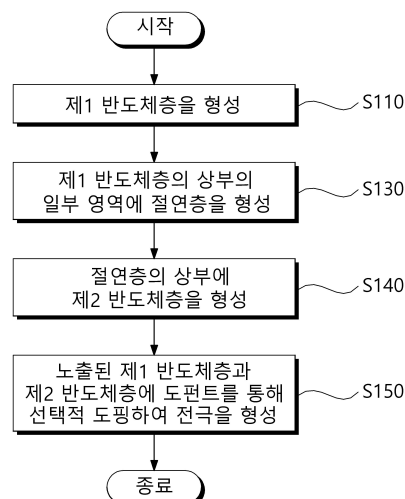
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법

(57) 요약

본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법은, 고분자 반도체에 선택적 도핑 방법을 적용하여 전극을 구현함으로써, 동종 접합으로 이루어지는 유연한 반도체 소자를 제조할 수 있어, 반도체 소자의 구조 및 제조 공정을 단순화할 수 있고, 또한, 본 발명은 가교제를 이용하여 전자 재료 구성 층간 계면 가교를 구현함으로써, 높은 계면 접착력을 가지게 되어 기계적 변형이 가해져도 접착을 유지할 수 있는 유연한 반도체 소자를 제조할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 51/0097 (2013.01)

H01L 51/052 (2013.01)

H01L 2251/10 (2013.01)

(72) 발명자

우한영

서울특별시 강남구 광평로10길 15, 110동 306호(일원동, 상록수아파트)

유화숙

서울특별시 성북구 보문로21가길 11, 302호(보문동6가)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130784
과제번호	2019M3D1A1078299
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	공유결합성 인공원자 합성 및 응용
기 여 율	1/4
과제수행기관명	성균관대학교
연구기간	2021.01.01 ~ 2021.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	9991007241
과제번호	202012B02-02
부처명	다부처
과제관리(전문)기관명	(재단)범부처전주기의료기기연구개발사업단
연구사업명	범부처전주기의료기기연구개발사업(R&D)
연구과제명	(참여1)음성 및 정신질환 예측/진단/관리를 위한 음성-언어-생체신호 통합 인공지능

의료기기 개발

기 여 율	1/4
과제수행기관명	연세대학교 산학협력단 (공과대학)
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711109682
과제번호	2019R1A2C2085290
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구자지원사업
연구과제명	자가 정렬 유도 신개념 에너지 하베스팅 도너-억셉터 분자 시스템
기 여 율	1/4
과제수행기관명	고려대학교 산학협력단
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1345330880
과제번호	2019R1A6A1A11044070
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공분야 중점연구소지원사업
연구과제명	π -전자 기반 에너지 · 환경 혁신소재 연구
기 여 율	1/4
과제수행기관명	고려대학교 산학협력단
연구기간	2021.03.01 ~ 2022.02.28

명세서

청구범위

청구항 1

제1 반도체층을 형성하는 단계;

상기 제1 반도체층의 상부의 일부 영역에 절연층을 형성하는 단계;

상기 절연층의 상부에 제2 반도체층을 형성하는 단계; 및

노출된 상기 제1 반도체층과 상기 제2 반도체층에 도펀트(dopant)를 통해 선택적 도핑하여 전극을 형성하는 단계;

를 포함하는 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 2

제1항에서,

상기 전극 형성 단계는,

노출된 상기 제1 반도체층에 상기 도펀트를 통해 상기 제1 반도체층의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 도핑하는 것으로 이루어지는,

선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 3

제2항에서,

상기 제1 반도체층의 깊이에 따른 도핑 농도의 점진적 변화에 따라, 노출된 상기 제1 반도체층의 내부 깊이에 따라 상기 도펀트의 확산 정도가 달라지게 되어, 노출된 상기 제1 반도체층의 내부 깊이에 따라 페르미 레벨(Fermi level)이 점진적으로 변화되는,

선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 4

제3항에서,

노출된 상기 제1 반도체층에서 페르미 레벨(Fermi level)이 정렬됨에 따라 최고 점유 분자 궤도 레벨(highest occupied molecular orbital level, HOMO level)이 점진적으로 변화되고,

점진적으로 변화되는 최고 점유 분자 궤도 레벨(HOMO level)을 통해 전하가 반도체 영역으로 주입되는,

선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 5

제1항에서,

상기 전극 형성 단계는,

노출된 상기 제1 반도체층에 상기 도펀트를 도핑하여 소스(source) 전극 및 드레인(drain) 전극을 형성하고, 상기 제2 반도체층에 상기 도펀트를 도핑하여 게이트(gate) 전극을 형성하는 것으로 이루어지는,

선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 6

제1항에서,

상기 도펀트는,
P형 도펀트 또는 N형 도펀트를 포함하는,
선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 7

제6항에서,
상기 P형 도펀트는,
 FeCl_3 인,
선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 8

제1항에서,
상기 제1 반도체층 형성 단계는,
가교제(cross-linking agent) 및 고분자 반도체를 포함하는 소재를 통해 상기 제1 반도체층을 형성하는 것으로 이루어지는,
선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 9

제8항에서,
상기 가교제를 통해 상기 제1 반도체층의 하부에 위치하는 기판과도 가교 반응이 이루어져, 상기 기판과 상기 제1 반도체층의 접착력이 향상되는,
선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 10

제9항에서,
상기 가교제는,
아자이드(azide)인,
선택적 도핑 방법을 이용한 반도체 소자의 제조 방법.

청구항 11

제1 반도체층;
상기 제1 반도체층의 상부의 일부 영역에 적층된 절연층; 및
상기 절연층의 상부에 적층된 제2 반도체층;
을 포함하며,
노출된 상기 제1 반도체층과 상기 제2 반도체층은 도펀트(dopant)을 통한 선택적 도핑을 통해 전극으로 형성되는,
선택적 도핑 방법을 이용한 반도체 소자.

청구항 12

제11항에서,
노출된 상기 제1 반도체층은,

상기 제1 반도체층의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 하는 도핑을 통해 전극으로 형성되는,

선택적 도핑 방법을 이용한 반도체 소자.

청구항 13

제11항에서,

상기 제1 반도체층은,

가교제(cross-linking agent) 및 고분자 반도체를 포함하는 소재를 통해 형성되는,

선택적 도핑 방법을 이용한 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법에 관한 것으로서, 더욱 상세하게는 구부리거나 접을 수 있는, 반도체 소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 변형 가능한 전자 소자는 기초적으로 유연한 소자에서 구부릴 수 있거나, 접을 수 있는 소자로 발전하여 휴대성과 사용성에 대한 증가하는 요구를 충족시키고 있다.

[0003] 접이식 전자 소자의 구현은 극도의 기계적 안정성을 필요하기 때문에, 열악한 환경을 견딜 수 있는 전기 부품을 개발하는 것이 중요하다. 예컨대, 구리, 알루미늄, 은, 금 등의 금속으로 형성된 기존의 금속 전극은 우수한 전기 전도도를 나타내지만 단단하고 부서지기 쉬운 특성으로 인해 장치 구성 요소 간의 계면 박리에 취약하다. 이에, 금속 전극은 접을 수 있는 전자 제품에 적용하기 어렵다.

[0004] 이에, 전도성 폴리머가 제안되었으며, 전도성 폴리머는 견고성을 가지고 있기 때문에 기존 금속 전극의 대안으로 널리 사용되었다. 이러한 전도성 폴리머는 기존 전도성 금속에 비해 화학적 다양성, 유연성, 내식성 및 조정 가능한 전도성 물질이라는 몇 가지 장점을 가지고 있다. 전도성 폴리머는 접을 수 있는 전자 소자에 탁월한 플랫폼을 제공하지만, 소자 구조에서 발생하는 기계적 안정성은 여전히 어려운 작업이다.

[0005] 일반적으로 전자 소자는 전극, 반도체 및 절연체 구성 요소 층의 다중 스택으로 구성된다. 이러한 층 사이에는 접합과 퍼짐이 반복되는 취약한 계면 접촉력이 약한 계면이 있다. 그리고, 다른 인터페이스보다 층을 가로 지르는 전하 수송으로 인해 전극-반도체 인터페이스가 강조되었다. 따라서, 물리적 변형에 대한 전극-반도체 계면의 기계적 안정성을 개선하는 것이 중요하다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 이루고자 하는 목적은, 고분자 반도체에 선택적 도핑 방법을 적용하여 전극을 구현하는, 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법을 제공하는 데 있다.

[0007] 또한, 본 발명이 이루고자 하는 목적은, 가교제를 이용하여 전자 재료 구성 층간 계면 가교를 구현하는, 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법을 제공하는 데 있다.

[0008] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0009] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법은, 제1 반도체층을 형성하는 단계; 상기 제1 반도체층의 상부의 일부 영역에 절연층을 형성하는 단계;

상기 절연층의 상부에 제2 반도체층을 형성하는 단계; 및 노출된 상기 제1 반도체층과 상기 제2 반도체층에 도펀트(dopant)를 통해 선택적 도핑하여 전극을 형성하는 단계;를 포함한다.

- [0010] 여기서, 상기 전극 형성 단계는, 노출된 상기 제1 반도체층에 상기 도펀트를 통해 상기 제1 반도체층의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 도핑하는 것으로 이루어질 수 있다.
- [0011] 여기서, 상기 제1 반도체층의 깊이에 따른 도핑 농도의 점진적 변화에 따라, 노출된 상기 제1 반도체층의 내부 깊이에 따라 상기 도펀트의 확산 정도가 달라지게 되어, 노출된 상기 제1 반도체층의 내부 깊이에 따라 페르미 레벨(Fermi level)이 점진적으로 변화될 수 있다.
- [0012] 여기서, 노출된 상기 제1 반도체층에서 페르미 레벨(Fermi level)이 정렬됨에 따라 최고 점유 분자 궤도 레벨(highest occupied molecular orbital level, HOMO level)이 점진적으로 변화되고, 점진적으로 변화되는 최고 점유 분자 궤도 레벨(HOMO level)을 통해 전하가 반도체 영역으로 주입될 수 있다.
- [0013] 여기서, 상기 전극 형성 단계는, 노출된 상기 제1 반도체층에 상기 도펀트를 도핑하여 소스(source) 전극 및 드레인(drain) 전극을 형성하고, 상기 제2 반도체층에 상기 도펀트를 도핑하여 게이트(gate) 전극을 형성하는 것으로 이루어질 수 있다.
- [0014] 여기서, 상기 도펀트는, P형 도펀트 또는 N형 도펀트를 포함할 수 있다.
- [0015] 여기서, 상기 P형 도펀트는, FeCl_3 일 수 있다.
- [0016] 여기서, 상기 제1 반도체층 형성 단계는, 가교제(cross-linking agent) 및 고분자 반도체를 포함하는 소재를 통해 상기 제1 반도체층을 형성하는 것으로 이루어질 수 있다.
- [0017] 여기서, 상기 가교제를 통해 상기 제1 반도체층의 하부에 위치하는 기관과도 가교 반응이 이루어져, 상기 기관과 상기 제1 반도체층의 접착력이 향상될 수 있다.
- [0018] 여기서, 상기 가교제는, 아자이드(azide)일 수 있다.

[0020] 상기의 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자는, 제1 반도체층; 상기 제1 반도체층의 상부의 일부 영역에 적층된 절연층; 및 상기 절연층의 상부에 적층된 제2 반도체층;을 포함하며, 노출된 상기 제1 반도체층과 상기 제2 반도체층은 도펀트(dopant)를 통한 선택적 도핑을 통해 전극으로 형성된다.

[0021] 여기서, 노출된 상기 제1 반도체층은, 상기 제1 반도체층의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 하는 도핑을 통해 전극으로 형성될 수 있다.

[0022] 여기서, 상기 제1 반도체층은, 가교제(cross-linking agent) 및 고분자 반도체를 포함하는 소재를 통해 형성될 수 있다.

발명의 효과

[0023] 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법에 의하면, 고분자 반도체에 선택적 도핑 방법을 적용하여 전극을 구현함으로써, 동종 접합으로 이루어지는 유연한 반도체 소자를 제조할 수 있어, 반도체 소자의 구조 및 제조 공정을 단순화할 수 있다.

[0024] 또한, 본 발명은 가교제를 이용하여 전자 재료 구성 층간 계면 가교를 구현함으로써, 높은 계면 접착력을 가지게 되어 기계적 변형이 가해져도 접착을 유지할 수 있는 유연한 반도체 소자를 제조할 수 있다.

[0025] 본 발명의 효과들은 이상에서 언급한 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자를 설명하기 위한 블록도이다.

도 2는 도 1에 도시한 반도체 소자의 일례를 설명하기 위한 도면이다.

도 3은 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위한 흐름도이다.

도 4는 본 발명의 바람직한 실시예에 따른 언덕형 전하 주입 전극을 설명하기 위한 도면이다.

도 5는 본 발명의 바람직한 실시예에 따른 가교제를 통한 계면간 접착력 성능을 설명하기 위한 도면으로, 도 5의 (a)는 PET(polyethylene terephthalate) 기판 상에서 가교된 폴리머 필름(polymer film)과 비가교된 폴리머 필름의 박리 테스트(peel test)의 개략도이고, 도 5의 (b)는 폴리이미드 테이프(polyimide tape) 제거 후 각각의 폴리머 필름의 표면의 광학 현미경 이미지(OM 이미지)이다.

도 6은 도 3에 도시한 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법의 일례를 설명하기 위한 흐름도이다.

도 7은 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 특성을 설명하기 위한 도면으로, 도 7의 (a)는 FeCl_3 변화에 따른 PDPPT-TT 필름의 UV-가시광 흡수 스펙트럼이고, 도 7의 (b)는 FeCl_3 의 함수로서 도핑된 PDPPT-TT 필름의 전기 전도도이며, 도 7의 (c)는 다른 농도의 FeCl_3 로 도핑된 PDPPT-TT 필름의 2D GIWAXS(grazing-incidence wide-angle x-ray scattering) 패턴이고, 도 7의 (d)는 FeCl_3 의 함수로 면외 및 면내 방향에 따라 도핑된 PDPPT-TT 필름의 라인-컷 프로파일(line-cut profile)이며, 도 7의 (e)는 도핑 농도의 함수로서 PDPPT-TT 필름에 대한 면외 피크로부터의 라멜라 간격(Lamella spacing)과 면내 피크로부터의 π - π 적층 거리 및 FeCl_3 의 함수로서 도핑된 PDPPT-TT 필름의 라인-컷 프로파일에서 추출된 CCL 값이다.

도 8은 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 특성을 설명하기 위한 도면으로, 도 8의 (a)는 다른 농도의 FeCl_3 로 도핑된 PDPPT-TT 필름의 표면 전위에 대한 KPFM(Kelvin probe force microscopy) 이미지와 히스토그램이고, 도 8의 (b)는 FeCl_3 농도에 따른 도핑된 PDPPT-TT 필름 표면의 일 함수이며, 도 8의 (c)는 스퍼터링 시간(sputtering time)의 함수로서 다양한 도펀트 농도를 가지는 도핑된 PDPPT-TT 필름의 TOF-SIMS(time-of-flight secondary ion mass spectrometry) 깊이 프로파일(depth profile)이고, 도 8의 (d)는 선택적으로 도핑된 PDPPT-TT 필름의 그라데이션 주입(gradient injection)의 개략도이다.

도 9는 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 기계적 안전성을 설명하기 위한 도면으로, 도 9의 (a)는 FOW(film-on-water) 테스트의 개략도이고, 도 9의 (b)는 응력 변형 곡선(stress-strain curve)이며, 도 9의 (c)는 동종 접합 및 이종 접합 접점이 있는 3개의 다른 필름 샘플들의 탄성 한계(elastic limit)와 모듈러스(modulus)이다.

도 10은 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자의 전기적 특성을 설명하기 위한 도면으로, 도 10의 (a)는 기존의 Au 접점(위) 및 FeCl_3 도핑된 폴리머 접점(아래)이 있는 PTFT(polymer thin-film transistor)의 디바이스 구조의 개략도이고, 도 10의 (b)는 $-10\text{V} \sim -50\text{V}$ 의 V_g (gate voltage) 범위를 갖는 Au 접점 및 FeCl_3 도핑된 폴리머 접점의 폭-정규화된(width-normalized) 총 저항의 비교이며, 도 10의 (c)는 V_g 의 함수로서 폭-정규화된 접점 저항이다.

도 11은 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자의 전기적 특성을 설명하기 위한 도면으로, 도 11의 (a)는 동종 접합 PDPPT-TT TFT의 전달 특성이며, 도 11의 (b)는 동종 접합 PDPPT-TT TFT의 출력 특성이며, 도 11의 (c)는 36개의 PDPPT-TT TFT의 정공 이동성(hole mobility)(상단), 턴-온 전압(중간) 및 온-오프 전류 비율(하단)의 히스토그램이고, 도 11의 (d)는 다양한 벤딩 변형(bending strain)(flat, 10mm, 7mm, 5mm, 4mm, 및 1mm)에서의 PTFT의 전달 특성이며, 도 11의 (e)는 곡률 반경(bending radius)의 함수로 PTFT의 전기적 파라미터이고, 도 11의 (f)는 반도체 채널을 기준으로 평행 방향 및 수직 방향으로 접힌 PTFT의 사진 이미지이며, 도 11의 (g)는 양 방향으로 접힌 PTFT의 전달 특성이다.

도 12는 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 이용한 논리 회로를 설명하기 위한 도면으로, 도 12의 (a)는 NOT 논리 게이트에 대한 논리 회로의 광학 현미경 이미지(OM 이미지) 및 해당 회로도이고, 도 12의 (b)는 NOT 게이트의 전압 전달 곡선 및 신호 인버터 게이트이며, 도 12의 (c)는 NAND 게이트 및 NOR 게이트에 대한 논리 회로의 광학 현미경 이미지(OM 이미지) 및 해당 회로도이고, 도 12의 (d)는 4가지의 가능한 논리 조합, (0, 0), (1, 0), (0, 1) 및 (1, 1)이며, 도 12의 (e)는 4가지 논리 조합에 대한 NAND 게이트 및 NOR 게이트의 출력 전압이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0028] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0029] 본 명세서에서 "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0030] 본 명세서에서 각 단계들에 있어 식별부호(예를 들어, a, b, c 등)는 설명의 편의를 위하여 사용되는 것으로 식별부호는 각 단계들의 순서를 설명하는 것이 아니며, 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않는 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.
- [0031] 본 명세서에서, "가진다", "가질 수 있다", "포함한다" 또는 "포함할 수 있다" 등의 표현은 해당 특징(예: 수치, 기능, 동작, 또는 부품 등의 구성요소)의 존재를 가리키며, 추가적인 특징의 존재를 배제하지 않는다.
- [0033] 이하에서 첨부한 도면을 참조하여 본 발명에 따른 선택적 도핑 방법을 이용한 반도체 소자 및 이의 제조 방법의 바람직한 실시예에 대해 상세하게 설명한다.
- [0035] 먼저, 도 1 내지 도 2를 참조하여 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자에 대하여 설명한다.
- [0036] 도 1은 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자를 설명하기 위한 블록도이고, 도 2는 도 1에 도시한 반도체 소자의 일례를 설명하기 위한 도면이다.
- [0037] 도 1을 참조하면, 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자(이하 '반도체 소자'라 한다)(100)는 고분자 반도체에 선택적 도핑 방법을 적용하여 전극을 구현함으로써, 동종 접합으로 이루어지는 유연한 반도체 소자를 구현할 수 있다. 이에 따라, 반도체 소자의 구조 및 제조 공정을 단순화할 수 있다.
- [0038] 또한, 본 발명에 따른 반도체 소자(100)는 가교제를 이용하여 전자 재료 구성 층간 계면 가교를 구현함으로써, 높은 계면 접착력을 가지게 되어 기계적 변형이 가해져도 접착을 유지할 수 있는 유연한 반도체 소자를 구현할 수 있다.
- [0040] 이를 위해, 반도체 소자(100)는 기판(110), 제1 반도체층(130), 절연층(150) 및 제2 반도체층(150)을 포함할 수 있다.
- [0041] 제1 반도체층(130)은 기판(110) 상부에 적층될 수 있다.
- [0042] 즉, 제1 반도체층(130)은 반도체 소재를 통해 형성될 수 있다. 여기서, 반도체 소재는 가교제(cross-linking agent) 및 고분자 반도체를 포함할 수 있다. 가교제는 아자이드(azide) 등일 수 있다.
- [0043] 이때, 가교제를 통해 제1 반도체층(130)의 하부에 위치하는 기판(110)과도 가교 반응이 이루어져, 기판(110)과 제1 반도체층(130)의 접착력이 향상될 수 있다.

- [0045] 절연층(150)은 제1 반도체층(130)의 상부의 일부 영역에 적층될 수 있다.
- [0046] 즉, 절연층(150)은 절연 소재를 통해 형성될 수 있다. 여기서, 절연 소재는 가교제(cross-linking agent) 및 절연 물질을 포함할 수 있다.
- [0047] 이때, 가교제를 통해 절연층(150)과 제1 반도체층(130) 사이에 가교 반응이 이루어질 수 있다.
- [0049] 제2 반도체층(150)은 절연층(150)의 상부에 적층될 수 있다.
- [0050] 즉, 제2 반도체층(150)은 반도체 소재를 통해 형성될 수 있다. 여기서, 반도체 소재는 가교제(cross-linking agent) 및 고분자 반도체를 포함할 수 있다. 가교제는 아자이드(azide) 등일 수 있다.
- [0051] 이때, 가교제를 통해 제2 반도체층(170)과 절연층(150) 사이에 가교 반응이 이루어질 수 있다.
- [0053] 그리고, 노출된 제1 반도체층(130)과 제2 반도체층(170)은 도펀트(dopant)을 통한 선택적 도핑을 통해 전극으로 형성될 수 있다. 즉, 스핀 코팅 등의 방법을 이용하여 도펀트를 노출된 제1 반도체층(130)과 제2 반도체층(170)에 순차적으로 코팅하여 선택적 도핑을 수행할 수 있다.
- [0054] 여기서, 도펀트는 P형 도펀트 또는 N형 도펀트를 포함할 수 있다. 예컨대, P형 도펀트는 FeCl_3 일 수 있다.
- [0055] 이때, 노출된 제1 반도체층(130)은 제1 반도체층(130)의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 하는 도핑을 통해 전극으로 형성될 수 있다.
- [0056] 즉, 제1 반도체층(130)의 깊이에 따른 도핑 농도의 점진적 변화에 따라, 노출된 제1 반도체층(130)의 내부 깊이에 따라 도펀트의 확산 정도가 달라지게 되어, 노출된 제1 반도체층(130)의 내부 깊이에 따라 페르미 레벨(Fermi level)이 점진적으로 변화될 수 있다. 이에 따라, 노출된 제1 반도체층(130)에서 페르미 레벨(Fermi level)이 정렬됨에 따라 최고 점유 분자 궤도 레벨(highest occupied molecular orbital level, HOMO level)이 점진적으로 변화되고, 점진적으로 변화되는 최고 점유 분자 궤도 레벨(HOMO level)을 통해 전하가 반도체 영역으로 주입될 수 있다. 여기서, 반도체 영역은 제1 반도체층(130)에서 외부로 노출되지 않은 영역, 즉 도펀트를 통해 선택적 도핑이 이루어지지 않은 영역을 나타낸다.
- [0057] 예컨대, 도 2를 참조하면, 제1 반도체층(130)은 선택적 도핑으로 형성된 제1 전극 및 제2 전극을 포함하고, 제2 반도체층(170)은 선택적 도핑으로 형성된 제3 전극을 포함할 수 있다. 여기서, 제1 전극은 소스(source) 전극이고, 제2 전극은 드레인(drain) 전극이며, 제3 전극은 게이트(gate) 전극일 수 있다.
- [0060] 그러면, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 대하여 설명한다.
- [0061] 도 3은 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위한 흐름도이고, 도 4는 본 발명의 바람직한 실시예에 따른 언덕형 전하 주입 전극을 설명하기 위한 도면이며, 도 5는 본 발명의 바람직한 실시예에 따른 가교제를 통한 계면간 접촉력 성능을 설명하기 위한 도면으로, 도 5의 (a)는 PET(polyethylene terephthalate) 기판 상에서 가교된 폴리머 필름(polymer film)과 비가교된 폴리머 필름의 박리 테스트(peel test)의 개략도이고, 도 5의 (b)는 폴리이미드 테이프(polyimide tape) 제거 후 각각의 폴리머 필름의 표면의 광학 현미경 이미지(OM 이미지)이다.
- [0062] 도 3을 참조하면, 기판(110)의 상부에 제1 반도체층(130)을 형성할 수 있다(S110).
- [0063] 즉, 반도체 소재를 통해 기판(110)의 상부에 제1 반도체층(130)을 형성할 수 있다. 여기서, 반도체 소재는 가교제(cross-linking agent) 및 고분자 반도체를 포함할 수 있다. 가교제는 아자이드(azide) 등일 수 있다.
- [0064] 이때, 가교제를 통해 제1 반도체층(130)의 하부에 위치하는 기판(110)과도 가교 반응이 이루어져, 기판(110)과 제1 반도체층(130)의 접촉력이 향상될 수 있다.

- [0065] 보다 자세하게 설명하면, 기관(110)의 상부에 반도체 소재를 코팅할 수 있다. 이후, 자외선(ultraviolet ray, UV)를 선택적으로 조사하여 원하는 영역을 가교시킬 수 있다. 그런 다음, 유기 용매 등을 이용하여 원하지 않는 영역을 제거할 수 있다.
- [0067] 그런 다음, 제1 반도체층(130)의 상부의 일부 영역에 절연층(150)을 형성할 수 있다(S130).
- [0068] 즉, 절연 소재를 통해 제1 반도체층(130)의 상부 일부 영역에 절연층(150)을 형성할 수 있다. 여기서, 절연 소재는 가교제(cross-linking agent) 및 절연 물질을 포함할 수 있다.
- [0069] 이때, 가교제를 통해 절연층(150)과 제1 반도체층(130) 사이에 가교 반응이 이루어질 수 있다.
- [0070] 보다 자세하게 설명하면, 제1 반도체층(130)의 상부에 절연 소재를 코팅할 수 있다. 이후, 자외선(UV)을 선택적으로 조사하여 원하는 영역을 가교시킬 수 있다. 그런 다음, 유기 용매 등을 이용하여 원하지 않는 영역을 제거할 수 있다.
- [0072] 그런 다음, 절연층(150)의 상부에 제2 반도체층(170)을 형성할 수 있다(S170).
- [0073] 즉, 반도체 소재를 통해 절연층(150)의 상부에 제2 반도체층(170)을 형성할 수 있다. 여기서, 반도체 소재는 가교제(cross-linking agent) 및 고분자 반도체를 포함할 수 있다. 가교제는 아자이드(azide) 동일 수 있다.
- [0074] 이때, 가교제를 통해 제2 반도체층(170)과 절연층(150) 사이에 가교 반응이 이루어질 수 있다.
- [0075] 보다 자세하게 설명하면, 절연층(150)의 상부에 반도체 소재를 코팅할 수 있다. 이후, 자외선(UV)을 선택적으로 조사하여 원하는 영역을 가교시킬 수 있다. 그런 다음, 유기 용매 등을 이용하여 원하지 않는 영역을 제거할 수 있다.
- [0077] 그런 다음, 노출된 제1 반도체층(130)과 제2 반도체층(170)에 도펀트(dopant)를 통해 선택적 도핑하여 전극을 형성할 수 있다(S170). 즉, 스핀 코팅 등의 방법을 이용하여 도펀트를 노출된 제1 반도체층(130)과 제2 반도체층(170)에 순차적으로 코팅하여 선택적 도핑을 수행할 수 있다.
- [0078] 여기서, 도펀트는 P형 도펀트 또는 N형 도펀트를 포함할 수 있다. 예컨대, P형 도펀트는 FeCl_3 일 수 있다.
- [0079] 이때, 전극 형성 단계(S170)는 노출된 제1 반도체층(130)에 도펀트를 통해 제1 반도체층(130)의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 도핑하는 것으로 이루어질 수 있다. 예컨대, 노출된 제1 반도체층(130)의 외곽으로부터 절연층(150)에 가까워질수록 도핑 농도를 더 높여가면서, 선택적 도핑을 진행할 수 있다.
- [0080] 즉, 제1 반도체층(130)의 깊이에 따른 도핑 농도의 점진적 변화에 따라, 노출된 제1 반도체층(130)의 내부 깊이에 따라 도펀트의 확산 정도가 달라지게 되어, 노출된 제1 반도체층(130)의 내부 깊이에 따라 페르미 레벨(Fermi level)이 점진적으로 변화될 수 있다. 이에 따라, 노출된 제1 반도체층(130)에서 페르미 레벨(Fermi level)이 정렬됨에 따라 최고 점유 분자 궤도 레벨(HOMO level)이 점진적으로 변화되고, 점진적으로 변화되는 최고 점유 분자 궤도 레벨(HOMO level)을 통해 전하가 반도체 영역으로 주입될 수 있다. 여기서, 반도체 영역은 제1 반도체층(130)에서 외부로 노출되지 않은 영역, 즉 도펀트를 통해 선택적 도핑이 이루어지지 않은 영역을 나타낸다.
- [0081] 예컨대, 전극 형성 단계(S170)는 노출된 제1 반도체층(130)에 도펀트를 선택적으로 도핑하여 소스(source) 전극 및 드레인(drain) 전극을 형성하고, 제2 반도체층(170)에 도펀트를 도핑하여 게이트(gate) 전극을 형성하는 것으로 이루어질 수 있다.
- [0083] 다시 설명하면, 본 발명은 노출된 제1 반도체층(130)에 제1 반도체층(130)의 두께 방향으로 깊이에 따라 도핑 농도가 점진적으로 변화되어 농도 구배를 갖도록 도핑하여, 제1 반도체층(130)의 노출 영역에 소스(source) 전극 및 드레인(drain) 전극을 형성할 수 있다. 도 4를 참조하면, 순차 도핑 방법을 통하여 반도체 소재로 이루어진 제1 반도체층(130)을 선택적으로 도핑할 수 있다. 이와 같은 방법을 통해 제조된 제1 반도체층(130)은 내

부 깊이 도펀트가 확산되어 깊이에 따라서 페르미 레벨(Fermi level)이 5.18eV에서 4.84eV까지 점진적으로 변화되게 된다. 도핑된 제1 반도체층(130)에서 페르미 레벨(Fermi level)이 정렬됨에 따라 최고 점유 분자 궤도 레벨(HOMO level)은 점진적으로 구부러진 형태를 가지게 되어, 언덕형 전하 주입 전극을 성공적으로 형성할 수 있다. 언덕형 전하 주입 전극은 반도체 영역(제1 반도체층(130)에서 외부로 노출되지 않은 영역, 즉 도펀트를 통해 선택적 도핑이 이루어지지 않은 영역)까지 부드러운 언덕을 가져 전하가 쉽게 미끄러지듯 이동이 가능하여 전하 주입에 용이하다. 간단한 순차 도핑 방법을 통해 페르미 레벨(Fermi level)의 점진적인 변화를 유도함으로써 금속 전극에 비하여 전도도가 낮음에도 불구하고 비슷한 성능의 전극을 제작할 수 있음을 확인할 수 있다.

[0084] 그리고, 본 발명은 가교제를 통해 제1 반도체층(130)의 하부에 위치하는 기판(110)과도 가교 반응이 이루어 지도록 하여, 기판(110)과 제1 반도체층(130)의 접착력을 향상할 수 있다. 도 5를 참조하면, 아자이드(azide) 가교제를 통해 PET(polyethylene terephthalate) 기판 상에서 가교된 폴리머 필름(polymer film)과 비가교된 폴리머 필름에 폴리이미드 테이프(polyimide tape)를 부착한 후, 박리 테스터(peel tester)를 사용해 90도의 각도에서 5mm/s의 일정한 속도로 박리하여 계면간 접착력을 확인하였다. 비가교된 폴리머 필름은 낮은 힘(N)에서도 쉽게 박리가 되어 4.8 J/m^2 의 박리 강도에서 쉽게 박리가 됨을 확인할 수 있다. 그러나, 가교된 폴리머 필름은 더욱 많은 힘을 가해도 박리되지 않아 비가교된 폴리머 필름에 비하여 더 높은 계면간 접착력을 보이는 것을 확인할 수 있다. 또한, 광학 현미경 이미지(OM 이미지)에서 확인할 수 있듯이, 가교된 폴리머 필름은 유지되었으나, 비가교된 폴리머 필름은 제거되는 것을 알 수 있다.

[0085] 이에 따라, 본 발명은 고분자 반도체에 선택적 도핑 방법을 적용하여 전극을 구현함으로써, 동종 접합으로 이루어지는 유연한 반도체 소자를 제조할 수 있어, 반도체 소자의 구조 및 제조 공정을 단순화할 수 있다. 즉, 기존의 금속 전극은 금속과 고분자 반도체의 이종 접합 구조로서, 유연한 디바이스에 적합하지 않다. 그러나, 고분자 반도체는 유연성, 내식성, 투명성, 전도도의 조절이 쉬운 특성 등으로 인해, 유연한 디바이스에 적합하다. 본 발명은 이와 같은 고분자 반도체를 전극으로 구현함으로써, 반도체와 전극의 동종 접합을 구현할 수 있고, 도핑 깊이에 따른 점진적인 일 함수 변화로 인한 효율적인 전하 주입을 촉진할 수 있다.

[0086] 또한, 본 발명은 유기 아자이드(azide) 가교제를 이용하여 전자 재료 구성 층간 계면 가교를 구현함으로써, 높은 계면 접착력을 가지게 되어 기계적 변형이 가해져도 접착을 유지할 수 있는 유연한 반도체 소자를 제조할 수 있다.

[0089] 그러면, 도 6 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 따른 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법의 일례에 대하여 설명한다.

[0090] 도 6은 도 3에 도시한 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법의 일례를 설명하기 위한 흐름도이다.

[0091] 12 μm 두께의 PET(polyethylene terephthalate) 기판에서 완전히 접을 수 있는 PTFT(polymer thin-film transistor)의 제조 절차의 일례는 도 6에 도시된 바와 같다.

[0092] 도 6을 참조하면, 가교제와 고분자 반도체를 섞은 혼합 용액을 기판(110) 상부에 코팅한 후, 자외선(254nm 파장의 UV)을 선택적으로 조사하여 원하는 영역을 가교시킨 후, 원하지 않은 영역을 유기 용매를 이용하여 제거함으로써, 제1 반도체층(130), 즉 패터닝된 PDPPT-TT 레이어를 형성할 수 있다. 여기서, 패터닝된 PDPPT-TT 레이어는 반도체와 전극으로 사용되게 된다.

[0093] 예컨대, PDPPT-TT(poly[2,5-(2-decyltetradecyl)-3,6-diketopyrrolopyrrole-alt-5,5-(2,5-di(thien-2-yl)thieno[3,2-b]thiophene)]) 기반의 반도체 필름은 반도체 채널(semiconducting channel) 및 소스/드레인 전극(source/drain electrodes)으로 사용되도록, PET 기판 상에서 광 가교제(photo-crosslinker)로 2Bx(ethane-1,2-diyl-bis(4-azido-2,3,5,6-tetrafluorobenzoate))를 이용하여 패터닝될 수 있다. 클로로벤젠(chlorobenzene, CB)에 PDPPT-TT와 2Bx를 혼합한 용액을 기판에 스핀 코팅한 후 포토마스크(photomask)를 통해 254nm 파장의 자외선에 선택적으로 노출시킬 수 있다. 2Bx의 가교 반응은 푸리에 변환 적외선(Fourier transform infrared, FTIR) 분광법에 의해 확인하였고, 아자이드 그룹(2125cm^{-1})의 특징적인 진동 피크는 자외선(UV)에 노출된 후 완전히 사라졌다. CB 용매로 행구어 노출되지 않은 영역을 제거하여 포토 패터닝 PDPPT-TT 레이어를 생성할 수 있다.

- [0094] 그런 다음, 가교제와 절연 물질을 섞은 혼합 용액을 제1 반도체층(130), 즉 패터닝된 PDPPT-TT 레이어 상부에 코팅한 후, 자외선을 선택적으로 조사하여 원하는 영역을 가교시킨 후, 원하지 않은 영역을 유기 용매를 이용하여 제거함으로써, 절연층(150), 즉 패터닝된 PMMA 레이어를 형성할 수 있다.
- [0095] 예컨대, PDPPT-TT 레이어를 생성하는 것과 동일한 방법을 통해, 2Bx를 가교제로 사용하여 패터닝된 PDPPT-TT 레이어 위에 PMMA(poly(methyl methacrylate)) 레이어를 포토 패터닝하여 게이트 유전체 레이어를 형성할 수 있다.
- [0096] 그런 다음, 가교제와 고분자 반도체를 섞은 혼합 용액을 절연층(150), 즉 패터닝된 PMMA 레이어 상부에 코팅한 후, 자외선을 선택적으로 조사하여 원하는 영역을 가교시킨 후, 원하지 않은 영역을 유기 용매를 이용하여 제거함으로써, 제2 반도체층(170), 즉 패터닝된 PDPPT-TT 레이어를 형성할 수 있다. 여기서, 패터닝된 PDPPT-TT 레이어는 전극으로 사용되게 된다.
- [0097] 예컨대, PDPPT-TT:2Bx 필름을 패터닝된 PMMA 레이어 위에 스핀-캐스트(spin-cast)하고 포토 패터닝할 수 있다. 2Bx는 반도체 또는 유전체 레이어 내부의 가교 반응을 유도할 뿐만 아니라 PET 기판/OSC(organic semiconductor), OSC/PMMA 및 PMMA/OSC의 인접 레이어 사이의 계면 가교 반응을 통해 계면 접착력을 크게 향상시킬 수 있다.
- [0098] 그런 다음, 도펀트 FeCl_3 를 원하는 영역, 즉 노출된 제1 반도체층(130)과 제2 반도체층(170)에 선택적으로 도핑하여, 전극을 형성할 수 있다.
- [0099] 예컨대, PDPPT-TT 소스, 드레인 및 게이트 전극 영역을 동시에 선택적으로 p-도핑하기 위해 패터닝된 PET/OSC/PMMA/OSC 멀티레이어 필름에 FeCl_3 용액(아세트오닐트릴 내에)을 오버-코팅하여 순차적 도핑을 수행할 수 있다. 가교 결합된 PMMA의 용량 특성(capacitive property)은 FeCl_3 에 대한 노출의 영향을 받지 않는다. 이는 오버-코팅된 PDPPT-TT 레이어가 아래에 위치한 PMMA 레이어로의 FeCl_3 확산을 최소화하기 때문이다. 또한, PMMA 패터닝에 사용되는 2Bx의 함량은 10wt%로 고분자 반도체 가교에 사용되는 양(5wt%)의 2배이다. 이는 가교된 PMMA 레이어의 자유 부피(free volume)를 감소시키고 도펀트가 PMMA 레이어 내부로 침투하는 것을 방지한다. 설명된 패터닝 및 FeCl_3 도핑 공정을 통해, 3개의 전극(소스, 드레인 및 게이트 전극)이 모두 한 번에 성공적으로 제작될 수 있다.
- [0100] 아울러, 각 제조 단계에 해당하는 PTFT의 광학 현미경 이미지(OM 이미지)는 도 6의 하단부에 표시되어 있다.
- [0102] 도 7은 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 특성을 설명하기 위한 도면으로, 도 7의 (a)는 FeCl_3 변화에 따른 PDPPT-TT 필름의 UV-가시광 흡수 스펙트럼이고, 도 7의 (b)는 FeCl_3 의 함수로서 도핑된 PDPPT-TT 필름의 전기 전도도이며, 도 7의 (c)는 다른 농도의 FeCl_3 로 도핑된 PDPPT-TT 필름의 2D GIWAXS(grazing-incidence wide-angle x-ray scattering) 패턴이고, 도 7의 (d)는 FeCl_3 의 함수로 면외 및 면내 방향에 따라 도핑된 PDPPT-TT 필름의 라인-컷 프로파일(line-cut profile)이며, 도 7의 (e)는 도핑 농도의 함수로서 PDPPT-TT 필름에 대한 면외 피크로부터의 라멜라 간격(Lamella spacing)과 면내 피크로부터의 π - π 적층 거리 및 FeCl_3 의 함수로서 도핑된 PDPPT-TT 필름의 라인-컷 프로파일에서 추출된 CCL 값이다.
- [0103] 도 7을 참조하면, 자외선(UV)에서의 900nm 파장에서 발생하는 피크는 폴라론(polaron)과 바이폴라론(bipolaron)이 생성됨을 의미하며, 도핑 농도에 따라 조정 가능함을 의미하고, 전도도 또한 조정 가능함을 의미한다.
- [0104] 그리고, GIWAXS(grazing-incidence wide-angle x-ray scattering) 결과, 도펀트는 고분자의 패키징을 방해하지 않음을 확인할 수 있다.
- [0106] 도 8은 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 특성을 설명하기 위한 도면으로, 도 8의 (a)는 다른 농도의 FeCl_3 로 도핑된 PDPPT-TT 필름의 표면 전위에 대한 KPFM(Kelvin probe force microscopy) 이미지와 히스토그램이고, 도 8의 (b)는 FeCl_3 농도에 따른 도핑된 PDPPT-TT 필름 표면의 일 함수이며, 도 8의 (c)는 스퍼터링 시간(sputtering time)의 함수로서 다양한 도펀트 농도를 가지는 도핑된 PDPPT-TT 필름의 TOF-SIMS(time-of-flight secondary ion mass spectrometry) 깊이 프로파일(depth profile)이고, 도 8

의 (d)는 선택적으로 도핑된 PDPPT-TT 필름의 그라데이션 주입(gradient injection)의 개략도이다.

- [0107] 도 8을 참조하면, 도펀트 농도에 따른 일 함수의 변화를 KPFM(Kelvin probe force microscopy)을 이용하여 확인할 수 있다. 50mM의 FeCl_3 도펀트로 도핑한 경우 기존의 4.84eV 에서 5.18eV로 변화함을 나타낸다.
- [0108] 도펀트의 확산 정도는 TOF-SIMS(time-of-flight secondary ion mass spectrometry) 분석을 이용하여 확인하였을 때, 도펀트의 농도가 높을 수록 깊이 확산됨을 확인할 수 있다. 이때, 1mM FeCl_3 로 도핑된 PDPPT-TT 필름 표면의 $\text{FeCl}_x^-/\text{C}^-$ 이온 비율은 50mM FeCl_3 로 도핑된 필름 바닥의 이온 비율과 거의 동일했으며, 이는 50mM FeCl_3 로 도핑된 영역의 일 함수가 점진적으로 변화함을 의미한다.
- [0109] 따라서, 최고 점유 분자 궤도 레벨(HOMO level)이 반도체 영역의 페르미 레벨(Fermi level)과 전극 상층의 페르미 레벨(Fermi level)을 정렬하기 위해 점차적으로 구부러져 반도체 영역으로의 전하 주입이 용이함을 의미한다.
- [0111] 도 9는 본 발명의 바람직한 실시예에 따른 전극으로 형성된 고분자 반도체의 기계적 안전성을 설명하기 위한 도면으로, 도 9의 (a)는 FOW(film-on-water) 테스트의 개략도이고, 도 9의 (b)는 응력 변형 곡선(stress-strain curve)이며, 도 9의 (c)는 동종 접합 및 이종 접합 접점이 있는 3개의 다른 필름 샘플들의 탄성 한계(elastic limit)와 모듈러스(modulus)이다.
- [0112] 도 9를 참조하면, 동종 접합 박막의 기계적 안정성을 확인하기 위하여, 기존의 반도체-금속 이종 접합 및 고분자 반도체-고분자 반도체 동종 접합과 함께 FOW(film-on-water) 테스트를 수행하였다. 동종 접합된 박막은 낮은 인장 계수와 높은 탄성 한계를 보여, 기존의 이종 접합 박막에 비해 기계적 변형에 용이함을 확인할 수 있다.
- [0114] 도 10은 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자의 전기적 특성을 설명하기 위한 도면으로, 도 10의 (a)는 기존의 Au 접점(위) 및 FeCl_3 도핑된 폴리머 접점(아래)이 있는 PTFT(polymer thin-film transistor)의 디바이스 구조의 개략도이고, 도 10의 (b)는 -10V ~ -50V의 V_g (gate voltage) 범위를 갖는 Au 접점 및 FeCl_3 도핑된 폴리머 접점의 폭-정규화된(width-normalized) 총 저항의 비교이며, 도 10의 (c)는 V_g 의 함수로서 폭-정규화된 접점 저항이다.
- [0115] 도 10을 참조하면, 본 발명에 따른 반도체 소자는 기존의 금속 전극에 비하여 전도도는 낮지만, 반도체와 전극을 동종 접합으로 형성하여 낮은 접촉 저항을 나타내는 것을 확인할 수 있다.
- [0117] 도 11은 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자의 전기적 특성을 설명하기 위한 도면으로, 도 11의 (a)는 동종 접합 PDPPT-TT TFT의 전달 특성이고, 도 11의 (b)는 동종 접합 PDPPT-TT TFT의 출력 특성이며, 도 11의 (c)는 36개의 PDPPT-TT TFT의 정공 이동성(hole mobility)(상단), 턴-온 전압(중간) 및 온-오프 전류 비율(하단)의 히스토그램이고, 도 11의 (d)는 다양한 벤딩 변형(bending strain)(flat, 10mm, 7mm, 5mm, 4mm, 및 1mm)에서의 PTFT의 전달 특성이며, 도 11의 (e)는 곡률 반경(bending radius)의 함수로 PTFT의 전기적 파라미터이고, 도 11의 (f)는 반도체 채널을 기준으로 평행 방향 및 수직 방향으로 접힌 PTFT의 사진 이미지이며, 도 11의 (g)는 양 방향으로 접힌 PTFT의 전달 특성이다.
- [0118] 본 발명에 따른 반도체 소자, 즉 반도체와 전극을 동종 접합으로 형성한 반도체 소자의 전기적 성능과 기계적 안전성 실험 결과는 도 11에 도시된 바와 같다. 도 11에 도시된 바와 같이, 본 발명에 따른 반도체 소자는 전기적 성능이 우수하고, 기계적 안정성 또한 우수함을 확인할 수 있다.
- [0120] 도 12는 도 6에 도시된 선택적 도핑 방법을 이용한 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 이용한 논리 회로를 설명하기 위한 도면으로, 도 12의 (a)는 NOT 논리 게이트에 대한 논리 회로의 광학 현미경 이미지(OM 이미지) 및 해당 회로도이고, 도 12의 (b)는 NOT 게이트의 전압 전달 곡선 및 신호 인버터 게인이며, 도 12의 (c)는 NAND 게이트 및 NOR 게이트에 대한 논리 회로의 광학 현미경 이미지(OM 이미지) 및 해당

회로도이고, 도 12의 (d)는 4가지의 가능한 논리 조합, (0, 0), (1, 0), (0, 1) 및 (1, 1)이며, 도 12의 (e)는 4가지 논리 조합에 대한 NAND 게이트 및 NOR 게이트의 출력 전압이다.

[0121] 본 발명에 따른 반도체 소자, 즉 반도체와 전극을 동종 접합으로 형성한 반도체 소자를 이용한 논리 회로(NOT 게이트, NAND 게이트, NOR 게이트)는 도 12에 도시된 바와 같다.

[0123] 이상에서 설명한 본 발명의 실시예를 구성하는 모든 구성요소들이 하나로 결합하거나 결합하여 동작하는 것으로 기재되어 있다고 해서, 본 발명이 반드시 이러한 실시예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 그 모든 구성요소들이 각각 하나의 독립적인 하드웨어로 구현될 수 있지만, 각 구성요소들의 그 일부 또는 전부가 선택적으로 조합되어 하나 또는 복수개의 하드웨어에서 조합된 일부 또는 전부의 기능을 수행하는 프로그램 모듈을 갖는 컴퓨터 프로그램으로서 구현될 수도 있다. 또한, 이와 같은 컴퓨터 프로그램은 USB 메모리, CD 디스크, 플래쉬 메모리 등과 같은 컴퓨터가 읽을 수 있는 기록 매체(Computer Readable Media)에 저장되어 컴퓨터에 의하여 읽혀지고 실행됨으로써, 본 발명의 실시예를 구현할 수 있다. 컴퓨터 프로그램의 기록 매체로서는 자기기록매체, 광기록매체 등이 포함될 수 있다.

[0124] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 다양한 수정, 변경 및 치환이 가능할 것이다. 따라서, 본 발명에 개시된 실시예 및 첨부된 도면들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예 및 첨부된 도면에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0125] 100 : 반도체 소자,
110 : 기판,
130 : 제1 반도체층,
150 : 절연층,
170 : 제2 반도체층

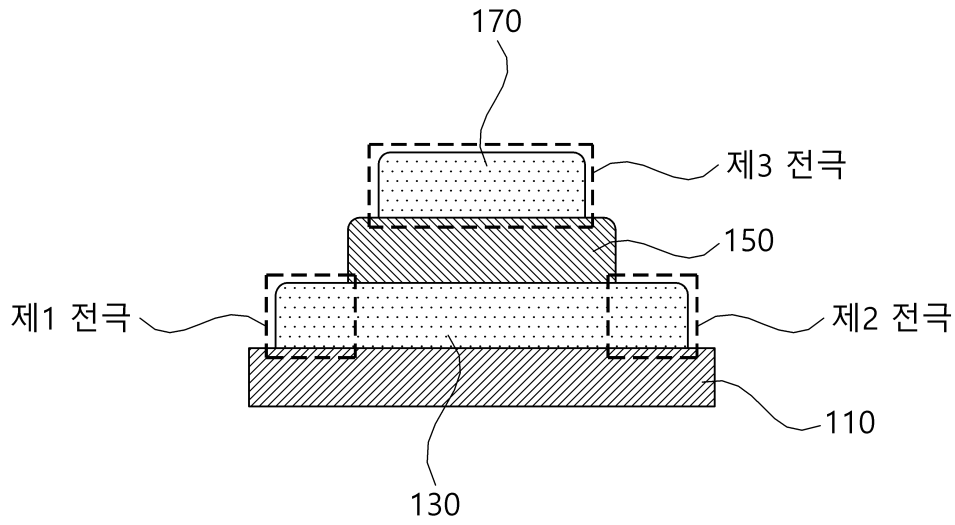
도면

도면1

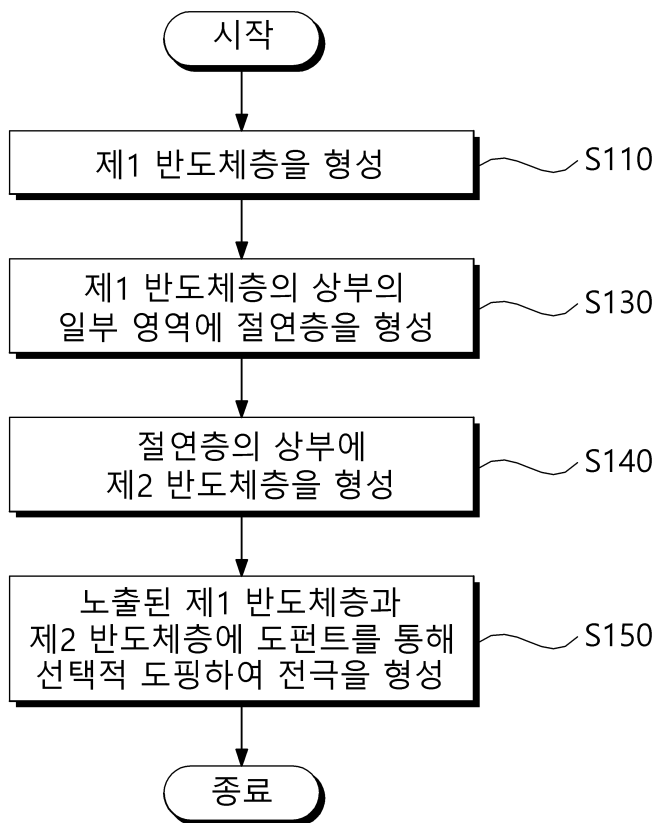
100

제2 반도체층 (170)
절연층 (150)
제1 반도체층 (130)
기판 (110)

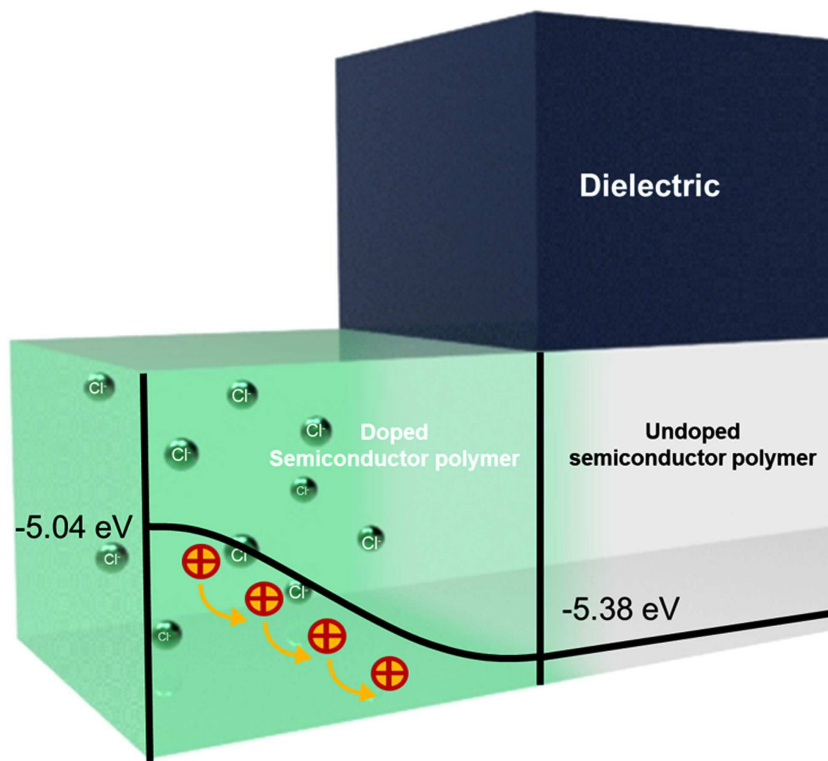
도면2



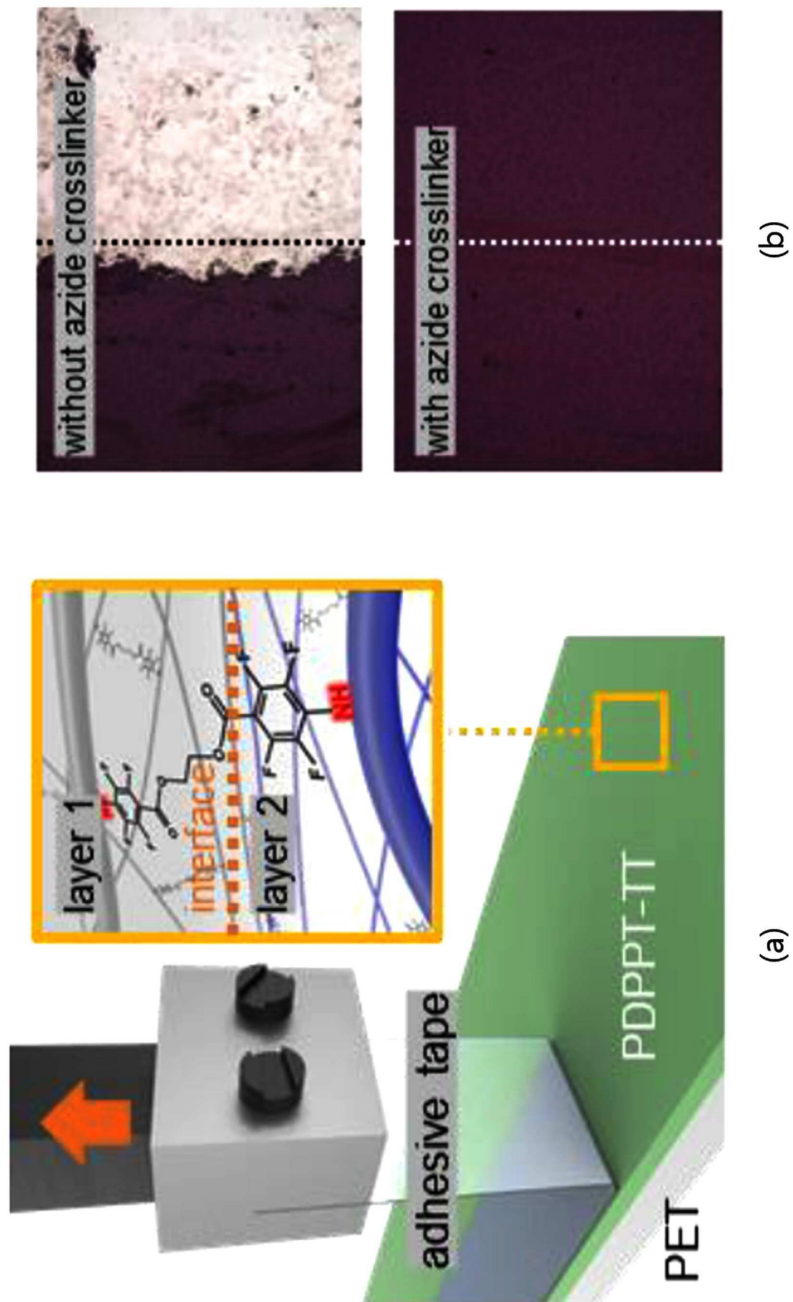
도면3



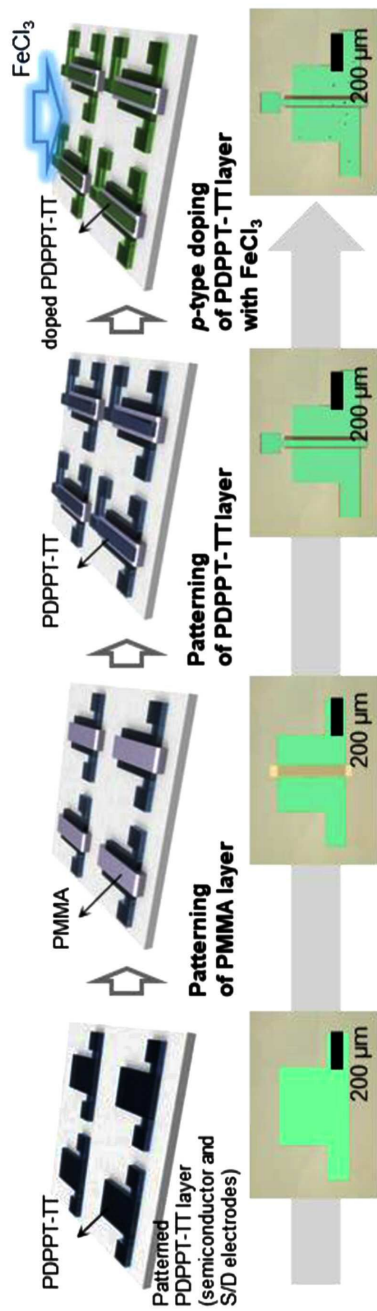
도면4



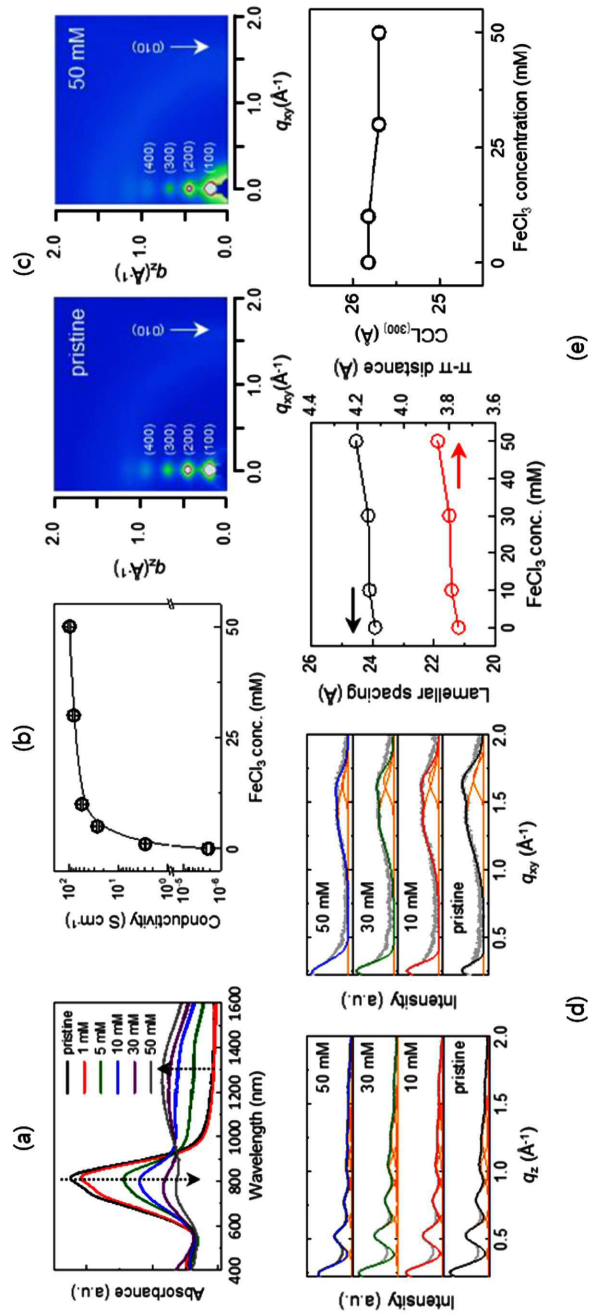
도면5



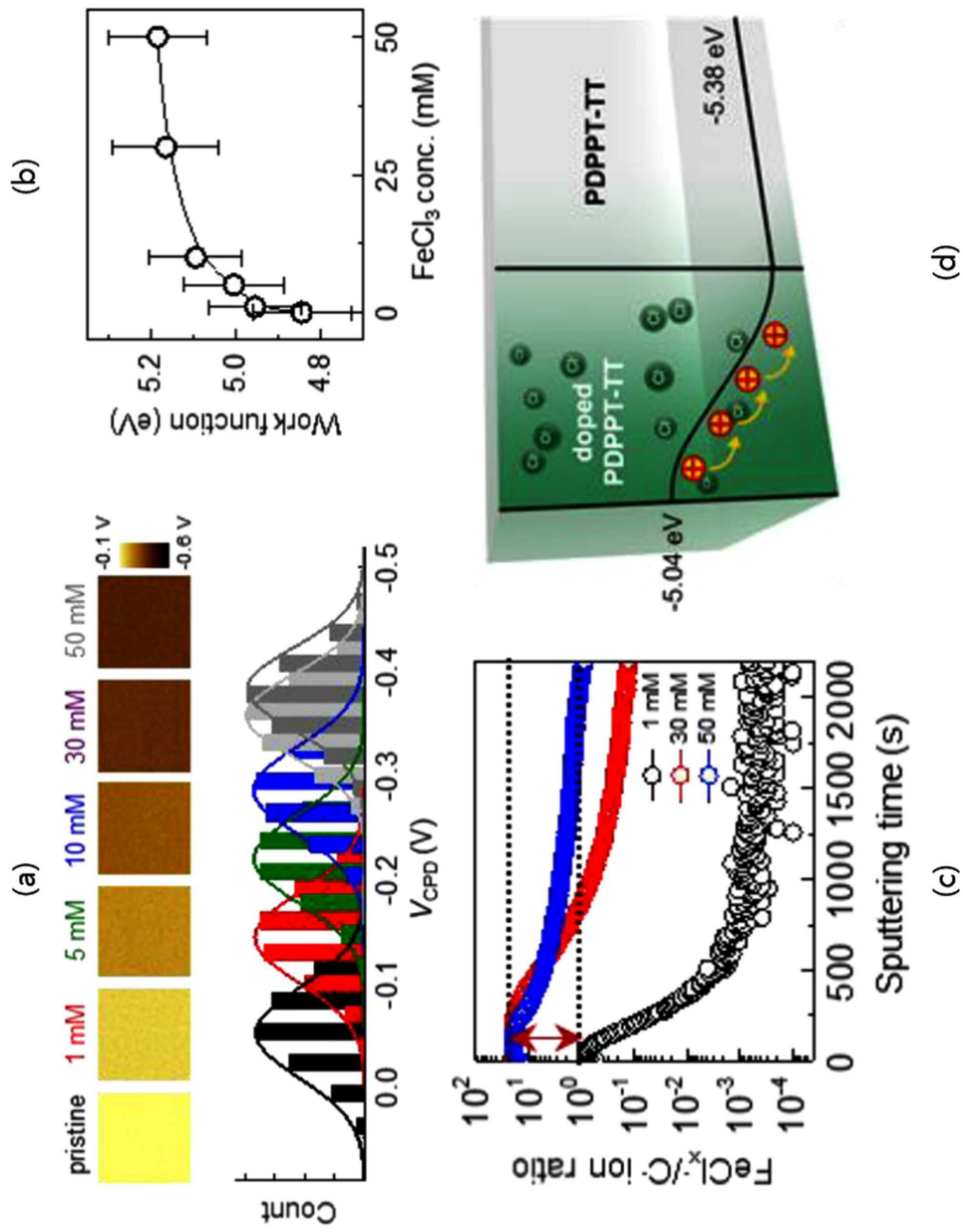
도면6



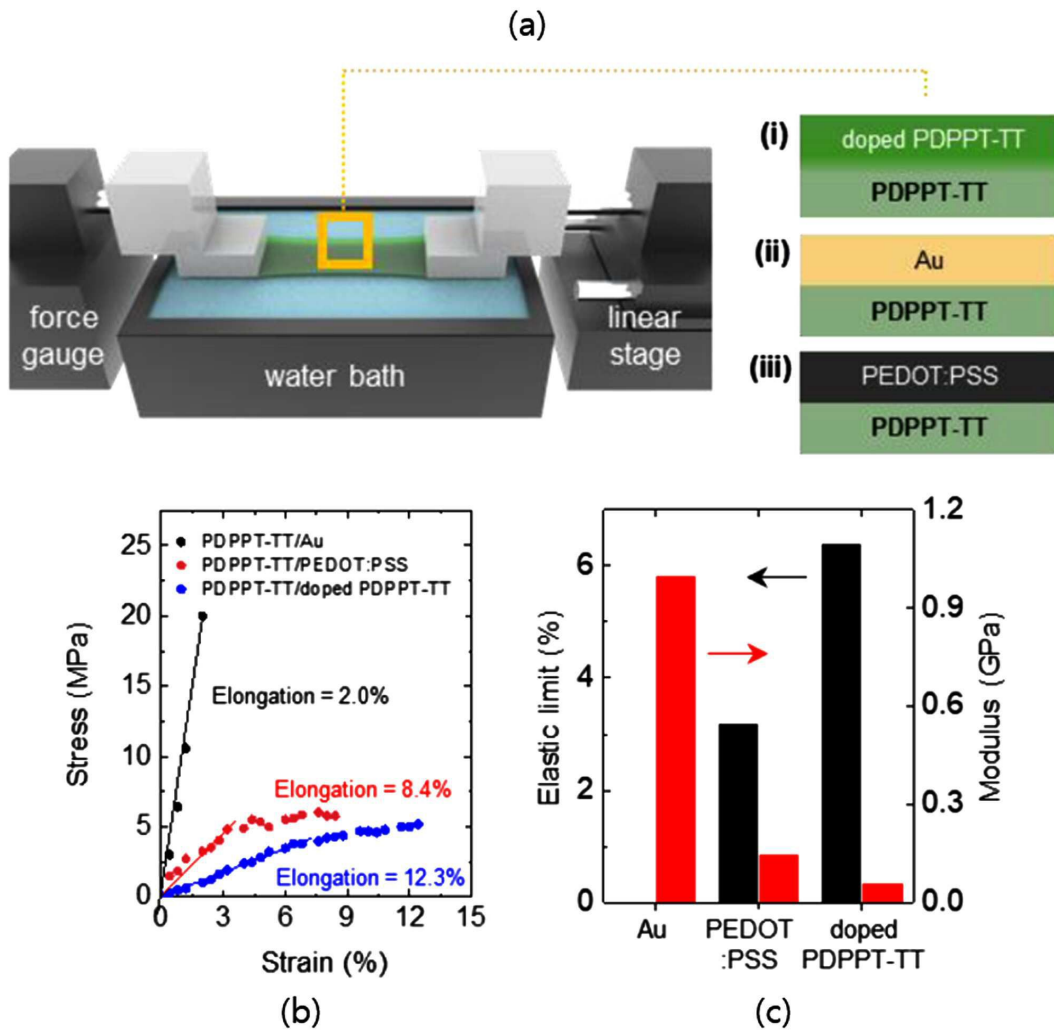
도면7



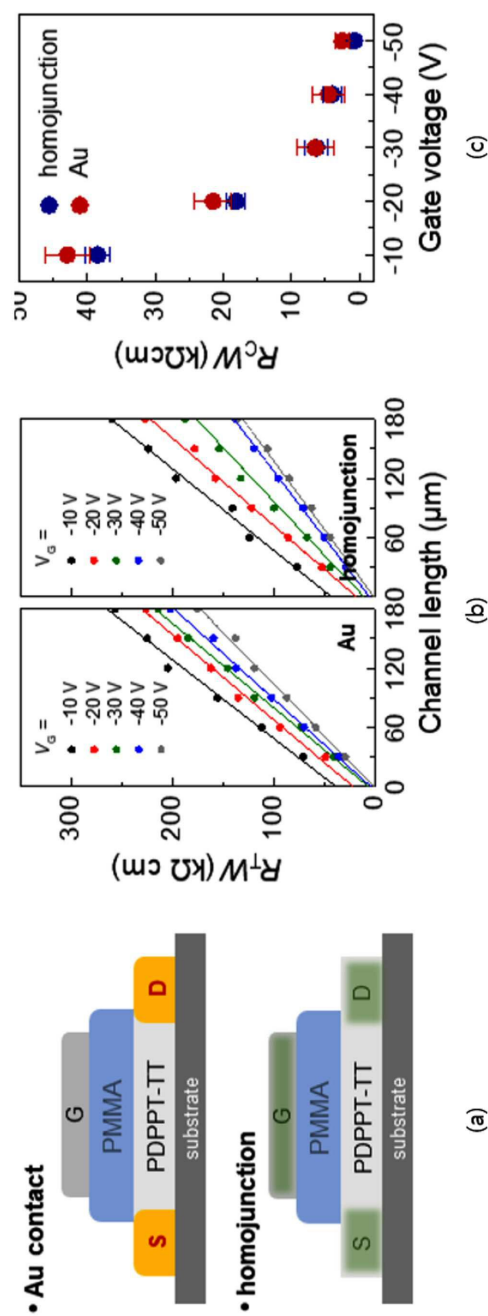
도면8



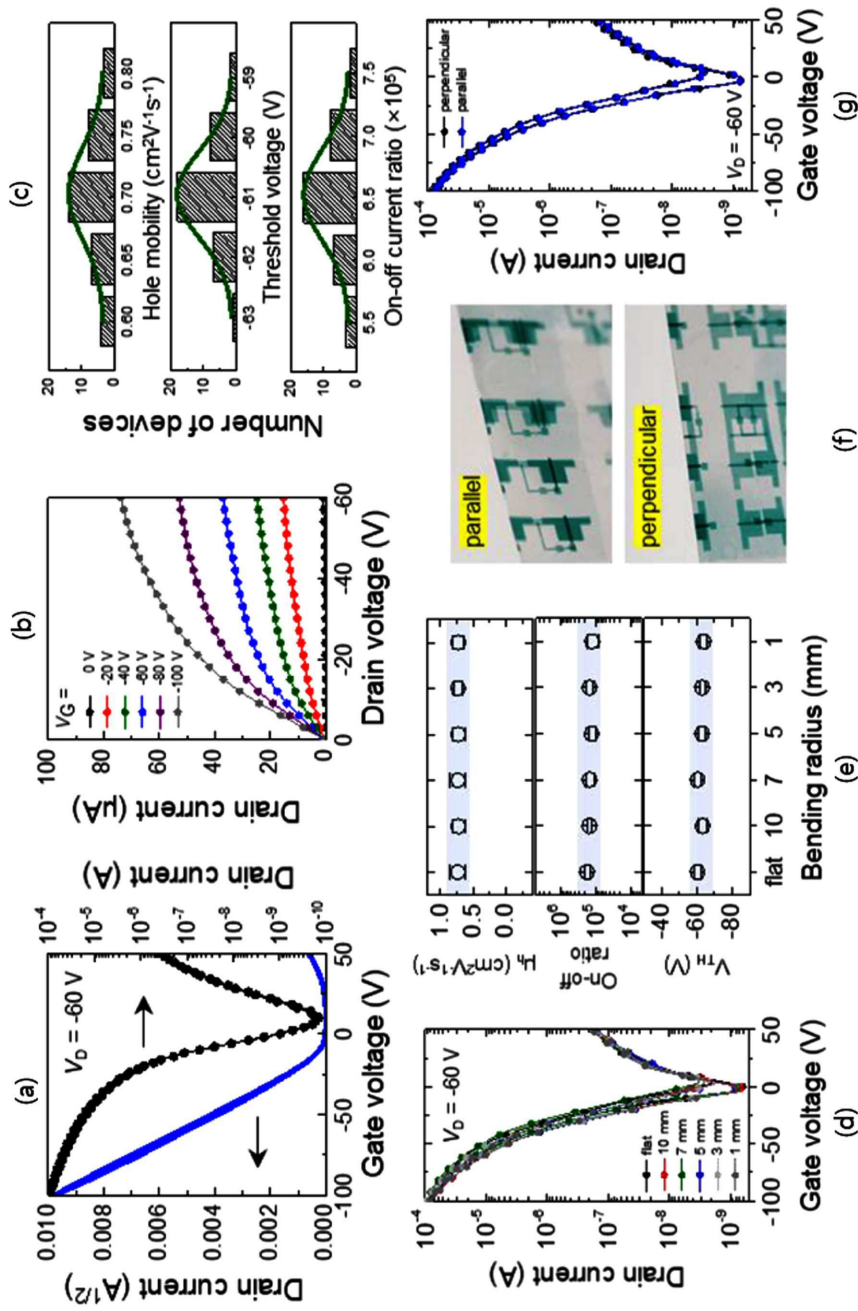
도면9



도면10



도면11



도면12

