



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0024987  
(43) 공개일자 2021년03월08일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/11551* (2017.01) *H01L 21/324*  
 (2017.01)  
*H01L 27/11521* (2017.01) *H01L 29/786*  
 (2006.01)

(52) CPC특허분류  
*H01L 27/11551* (2013.01)  
*H01L 21/324* (2013.01)

(21) 출원번호 10-2020-0115688(분할)  
 (22) 출원일자 2020년09월09일  
 심사청구일자 2020년09월09일

(62) 원출원 특허 10-2019-0104670  
 원출원일자 2019년08월26일  
 심사청구일자 2019년08월26일

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대  
학교)

(72) 발명자  
탁영준  
충청남도 천안시 서북구 늘푸른6길 41, 105동  
1205호(두정동, 극동늘푸른아파트)  
정태수  
서울특별시 서대문구 신촌로 121, 1116호(창천동)  
김원기  
경기도 고양시 일산동구 성현로 335(문봉동)

(74) 대리인  
김두식, 문용호, 오종한

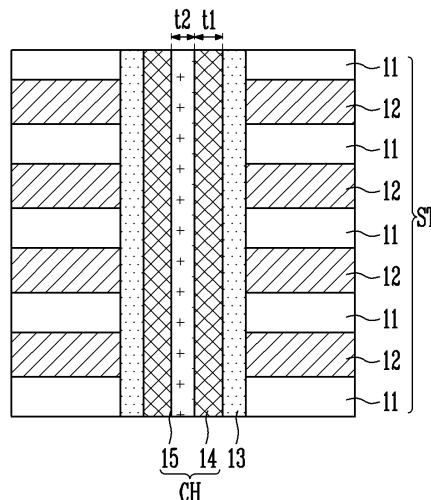
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

반도체 장치는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)할 수 있다.

대표도 - 도1a



(52) CPC특허분류

*H01L 27/11521* (2013.01)

*H01L 29/7869* (2013.01)

*H01L 29/78696* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

교대로 적층된 도전막들 및 절연막들을 포함하는 적층물;

상기 적층물을 관통하는 채널막;

상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및

상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막

을 포함하고,

상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부한(M2-rich)

반도체 장치.

#### 청구항 2

제1항에 있어서,

상기 터널절연막은  $ZrAlO$ 를 포함하고, 상기 제1 금속은 Zr이고 상기 제2 금속은 Al인

반도체 장치.

#### 청구항 3

제1항에 있어서,

상기 제2 금속은 상기 제1 금속에 비해 자성이 강한

반도체 장치.

#### 청구항 4

제1항에 있어서,

상기 외측부는 상기 내측부에 비해 상기 제2 금속의 농도가 낮은

반도체 장치.

#### 청구항 5

제1항에 있어서,

상기 내측부는 상기 외측부에 비해 상기 제1 금속의 농도가 낮은

반도체 장치.

## 청구항 6

교대로 적층된 도전막들 및 절연막들을 포함하는 적층물을 형성하는 단계;

상기 적층물을 관통하는 개구부를 형성하는 단계;

상기 개구부 내에 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막을 형성하는 단계; 및

상기 터널절연막 내에 채널막을 형성하는 단계

를 포함하고,

상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 채널막으로부터 이격된 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부한(M2-rich)

반도체 장치의 제조 방법.

## 청구항 7

제6항에 있어서,

상기 터널절연막을 자기장 처리하여 상기 제1 금속을 상기 외측부로 이동시키고 상기 제2 금속을 상기 내측부로 이동시키는

반도체 장치의 제조 방법.

## 청구항 8

제6항에 있어서,

상기 터널절연막을 열처리하여 상기 제1 금속을 상기 외측부로 이동시키고 상기 제2 금속을 상기 내측부로 이동시키는

반도체 장치의 제조 방법.

## 청구항 9

제6항에 있어서,

상기 터널절연막은  $ZrAlO$ 를 포함하고, 상기 제1 금속은 Zr이고 상기 제2 금속은 Al인

반도체 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 상세히는 반도체 장치 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 비휘발성 메모리 소자는 전원공급이 차단되더라도 저장된 데이터가 그대로 유지되는 메모리 소자이다. 최근 기관 상에 단층으로 메모리 셀을 형성하는 2차원 비휘발성 메모리 소자의 집적도 향상이 한계에 도달함에 따라, 기관 상에 수직으로 메모리 셀들을 적층하는 3차원 비휘발성 메모리 소자가 제안되고 있다.

[0003] 3차원 비휘발성 메모리 소자는 교대로 적층된 층간절연막들 및 게이트 전극들, 이들을 관통하는 채널막들을 포함하며, 채널막들을 따라 메모리 셀들이 적층된다. 이러한 3차원 구조를 갖는 비휘발성 메모리 소자의 동작 신

뢰성 향상을 위해, 다양한 구조 및 제조 방법들이 개발되고 있다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 발명의 일 실시예는 제조 공정이 용이하고 안정적인 구조 및 개선된 특성을 갖는 반도체 장치 및 그 제조 방법을 제공한다.

### 과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 반도체 장치는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)할 수 있다.

[0006] 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물을 형성하는 단계; 상기 적층물을 관통하는 개구부를 형성하는 단계: 상기 개구부 내에 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막을 형성하는 단계; 및 상기 터널절연막 내에 채널막을 형성하는 단계를 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 채널막으로부터 이격된 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)할 수 있다.

### 발명의 효과

[0007] 안정된 구조를 갖고 신뢰성이 향상된 반도체 장치를 제공할 수 있다. 또한, 반도체 장치를 제조함에 있어서, 공정의 난이도를 낮추고 절차를 간소화하고 비용을 절감할 수 있다.

### 도면의 간단한 설명

[0008] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 단면도이다.

도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 채널 구조의 특성을 설명하기 위한 도면이다.

도 3a 및 도 3b는 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 동작 원리를 나타낸 도면이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다.

도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 특성을 나타낸 도면이다.

도 6a 및 도 6b는 본 발명의 일 실시예에 따른 터널절연막의 에너지 밴드 다이어그램을 나타낸 도면이다.

도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 터널절연막의 형성 방법을 설명하기 위한 모식도이다.

도 8a 및 도 8b는 본 발명의 일 실시예에 따른 터널절연막의 형성 방법을 설명하기 위한 모식도이다.

도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다.

도 10은 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.

도 11은 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.

도 12는 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타낸 블록도이다.

도 13은 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타낸 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0009] 이하에서는, 본 발명의 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무

관한 공지의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0010] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0012] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 장치의 구조를 나타낸 단면도이다.

[0013] 도 1a 및 도 1b를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 적층물(ST), 메모리막(13) 및 채널 구조(CH)를 포함한다.

[0014] 적층물(ST)은 교대로 적층된 도전막들(11) 및 절연막들(12)을 포함한다. 도전막들(11)은 선택 트랜지스터, 메모리 셀 등의 게이트 전극일 수 있고, 폴리실리콘, 텅스텐, 금속 등을 포함할 수 있다. 절연막들(12)은 적층된 게이트 전극들을 상호 절연시키기 위한 것으로, 산화물, 질화물 등의 절연 물질을 포함할 수 있다.

[0015] 메모리막(13) 및 채널 구조(CH)는 적층 방향으로 적층물(ST)을 관통할 수 있다. 적층 방향은 도전막들(11) 및 절연막들(12)이 적층된 방향일 수 있으며, 기판의 표면에 수직된 방향일 수 있다.

[0016] 메모리막(13)은 터널절연막, 데이터 저장막 또는 전하차단막 중 적어도 하나를 포함할 수 있다. 터널절연막이 제1 채널막(13)을 감싸고, 데이터 저장막이 터널절연막을 감싸고, 전하차단막이 데이터 저장막을 감싸는 형태로, 메모리막(13)이 형성될 수 있다. 데이터 저장막은 플로팅 게이트, 전하 트랩 물질, 실리콘, 질화물, 나노 닷, 가변 저항 물질, 상변화 물질 등을 포함할 수 있다. 터널절연막은 금속 산화물을 포함할 수 있고, 금속 산화물은 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함할 수 있다.

[0017] 채널 구조(CH)는 선택 트랜지스터, 메모리 셀 등의 채널이 형성되는 영역이다. 채널 구조(CH)와 도전막들(11)이 교차되는 영역에 선택 트랜지스터, 메모리 셀 등이 위치될 수 있다.

[0018] 표 1을 참조하면, 채널 구조(CH)의 물질은 캐리어 이동도, 밴드갭 제어, 상(phase), 신뢰성, 오프 커런트를 고려하여 결정할 수 있다.

표 1

종류	Mobility	Bandgap controllability	Phase	Reliability	Off current
IZO	○	○	amorphous	△	○
ZTO	○	○	amorphous	△	○
IGZO	△	◎	amorphous	○	○
ITZO	◎	◎	amorphous	△	△

[0020] 채널 구조(CH)의 물질은 비정질 상태를 갖는 물질로 선택될 수 있다. 이를 통해, 그레인 바운더리로 인한 차지 트랩이 발생하는 것을 방지할 수 있다. 또한, 고온 공정에서 폴리 응집(poly ahglomeration)이 유발되는 것을 방지할 수 있다. 따라서, 박막 균일도를 향상시킬 수 있다.

[0021] 채널 구조(CH)의 물질은 캐리어 이동도가 양호하고, 신뢰성이 양호하고, 오프 커런트가 양호한 물질로 선택될 수 있다. 이를 통해, 이동도가 우수하고 전력 소비가 낮은 트랜지스터를 구현할 수 있다. 또한, 채널 구조(CH)의 물질은 밴드갭의 조절이 가능한 물질로 선택될 수 있다. 이를 통해, 채널 구조(CH) 내에서 국부적으로 캐리어의 농도를 증가시킴으로써, 이동도를 더욱 개선하고, 누설 전류를 감소시킬 수 있다.

[0022] 이러한 점을 고려할 때, 채널 구조(CH)는 IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide), IGZO(Indium Gallium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등의 금속 산화물계 반도체를 포함하거나, 이들을 조합하여 포함할 수 있다.

[0023] 채널 구조(CH)는 다층막일 수 있고, 제1 채널막(14) 및 제2 채널막(15, 15A)을 포함할 수 있다. 제1 채널막(14)은 적층물(ST)을 관통하며, 중심 영역이 오픈된 형태를 가질 수 있다. 예를 들어, 제1 채널막(14)은 마카로니 형태를 가질 수 있다. 제2 채널막(15, 15A)은 적층물(ST)을 관통하며, 제1 채널막(14) 내에 형성될 수 있다. 제

1 채널막(14)과 제2 채널막(15, 15A)은 별도의 공정으로 형성된 막으로, 제1 채널막(14)과 제2 채널막(15, 15A) 간에 계면이 존재할 수 있다.

[0024] 도 1a를 참조하면, 제2 채널막(15)은 중심 영역이 채워진 형태를 갖는다. 도 1b를 참조하면, 제2 채널막(15A)은 중심 영역이 오픈된 형태를 갖는다. 제2 채널막(15A) 내에는 갭필 절연막(16)이 형성될 수 있다.

[0025] 채널 구조(CH) 내에서 국부적으로 캐리어의 농도를 증가시키기 위해, 제1 및 제2 채널막들(14, 15, 15A)의 산소 함량, 두께 또는 금속 조성(metal composition) 중 적어도 하나를 조절할 수 있다. 예를 들어, 제1 및 제2 채널막들(14, 15, 15A)의 산소 함량을 조절하거나, 두께를 조절하거나, 금속 조성을 조절하거나, 이들을 조합하여 조절할 수 있다.

[0026] 도 1a 및 도 1b를 참조하면, 제1 채널막(14)의 산소 함량과 제2 채널막(15, 15A)의 산소 함량이 상이할 수 있다. 예를 들어, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 높은 산소 함량을 갖는다. 다시 말해, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 산소 공공(oxygen vacancy)이 적을 수 있다.

[0027] 제1 채널막(14)과 제2 채널막(15, 15A)은 서로 다른 두께( $t_1 \neq t_2$ )를 가질 수 있다. 예를 들어, 제2 채널막(15, 15A)에 비해 얇은 두께( $t_2 < t_1$ )를 가질 수 있다. 또는, 제2 채널막(15, 15A)이 5nm 이하의 두께를 가질 수 있다.

[0028] 또한, 제1 채널막(14)과 제2 채널막(15, 15A)은 서로 다른 금속 조성(metal composition)을 가질 수 있다. 제1 채널막(14)은 제2 채널막(15, 15A)에 비해 인듐(In)의 농도가 높거나 주석(Sn)의 농도가 높거나 갈륨(Ga)의 농도가 낮을 수 있다.

[0029] 전술한 바와 같은 구조에 따르면, 제1 및 제2 채널막들(14, 15, 15A)의 산소 함량, 두께 또는 금속 조성 중 적어도 하나를 조절함으로써, 제1 채널막(14)과 제2 채널막(15, 15A)의 경계에 캐리어를 집중시킬 수 있다.

[0031] 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 채널 구조의 특성을 설명하기 위한 도면이다.

[0032] 도 2a는 산소 함량(High, Low)에 따른 페르미 에너지 레벨을 나타내고, 도 2b는 산소 함량이 상이한 제1 채널막(24)과 제2 채널막(25)의 에너지 밴드 다이어그램을 나타낸다.  $E_c$ 는 전도대(conduction band)의 최하위 에너지 레벨을 나타내고,  $E_v$ 는 가전자대(valence band)의 최상위 에너지 레벨을 나타내고,  $E_f$ 는 페르미 에너지 레벨을 나타낸다. 또한, 제1 채널막(24) 및 제2 채널막(25)은 도 1a 및 도 1b를 참조하여 설명한 실시예와 유사한 구조를 가질 수 있다. 여기서, 제2 채널막(25)은 제1 채널막(24)의 내부에 위치될 수 있고, 제1 채널막(24)은 메모리막과 인접하게 위치될 수 있다.

[0033] 도 2a를 참조하면, 산소 함량이 낮을수록 페르미 에너지 레벨( $E_f$ )이 증가한다. 다시 말해, 산소 공공이 많을수록 페르미 에너지 레벨( $E_f$ )이 증가한다. 도 2b를 참조하면, 제1 채널막(24)이 제2 채널막(25)에 비해 산소 함량이 높은 경우, 제1 채널막(24)이 제2 채널막(25)에 비해 낮은 페르미 에너지 레벨( $E_f$ )을 갖게 된다. 다시 말해, 제1 채널막(24)이 제2 채널막(25)에 비해 산소 공공이 적은 경우, 제1 채널막(24)이 제2 채널막(25)에 비해 낮은 페르미 에너지 레벨( $E_f$ )을 갖게 된다.

[0034] 도 2c는 두께에 따른 채널막의 특성을 나타낸다. 도 2c를 참조하면, 두께에 따라 채널막의 밴드갭 에너지가 달라진다. 따라서, 제2 채널막(25)과 제1 채널막(24)이 서로 다른 밴드갭 에너지를 갖도록, 제2 채널막(25)과 제1 채널막(24)을 상이한 두께로 형성할 수 있다.

[0035] 그래프를 참조하면, 두께가 얇은 채널막이 두께가 두꺼운 채널막에 비해 상대적으로 큰 밴드갭 에너지를 갖는다. 따라서, 제2 채널막(25)의 두께를 감소시킴으로써 제2 채널막(25)의 밴드갭 에너지를 증가시킬 수 있다. 예를 들어, 제1 채널막(24)이 제2 채널막(25)에 비해 상대적으로 낮은 밴드갭 에너지를 갖도록, 제2 채널막(25)이 제1 채널막(24)에 비해 얇은 두께를 가질 수 있다.

[0036] 또한, 그래프를 참조하면, 5nm 이하의 두께에서 밴드갭 에너지가 급격히 증가하는 것을 확인할 수 있다. 따라서, 밴드갭 에너지를 충분히 증가시키도록, 제2 채널막(25)이 5nm 이하 또는 1nm 내지 5nm의 두께를 가질 수 있다.

[0037] 한편, 채널막의 금속 조성은 캐리어 이동도에 영향을 줄 수 있다. 예를 들어, 인듐(In) 또는 주석(Sn)의 농도가 높을수록 캐리어 이동도가 증가하고, 갈륨(Ga)의 농도가 높을수록 캐리어 이동도가 감소한다. 따라서, 제1 및 제2 채널막들(24, 25)에 포함된 인듐(In), 주석(Sn) 또는 갈륨(Ga)의 농도가 상이할 수 있다. 제1 채널막(14)은



제2 채널막(15, 15A)에 비해 인듐(In)의 농도가 높거나 주석(Sn)의 농도가 높거나 갈륨(Ga)의 농도가 낮을 수 있다. 이러한 금속 구성에 따르면, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 높은 캐리어 이동도를 갖게 된다.

[0038] 실시예로서, 제1 및 제2 채널막들(14, 15, 15A)이 IZO(Indium Zinc Oxide)를 포함할 수 있다. 이러한 경우, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 인듐(In)의 농도가 높을 수 있다. 실시예로서, 제1 및 제2 채널막들(14, 15, 15A)이 ZTO(Zinc Tin Oxide)를 포함할 수 있다. 이러한 경우, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 주석(Sn)의 농도가 높을 수 있다. 실시예로서, 제1 및 제2 채널막들(14, 15, 15A)이 IGZO(Indium Gallium Zinc Oxide)를 포함할 수 있다. 이러한 경우, 제1 채널막(14)이 제2 채널막(15, 15A)에 비해 인듐(In)의 농도가 높거나, 제2 채널막(15, 15A)에 비해 갈륨(Ga)의 농도가 낮을 수 있다. 실시예로서, 제1 및 제2 채널막들(14, 15, 15A)이 ITZO(Indium Tin Zinc Oxide)를 포함할 수 있다. 이러한 경우, 제1 채널막(14)은 제2 채널막(15, 15A)에 비해 인듐(In)의 농도가 높거나, 제2 채널막(15, 15A)에 비해 주석(Sn)의 농도가 높을 수 있다.

[0039] 전술한 바와 같은 특성을 고려하여 제1 및 제2 채널막들(24, 25)의 산소 함량, 두께 또는 금속 구성 중 적어도 하나를 조절할 수 있다. 이를 통해, 제1 채널막(24)이 제2 채널막(25)에 비해 페르미 에너지 레벨이 낮고, 밴드 갭 에너지가 낮고, 캐리어 이동도가 높은 특성을 갖도록, 채널 구조를 구현할 수 있다. 따라서, 제1 채널막(24)과 제2 채널막(25)의 계면으로 전자의 흐름을 제한시킬 수 있다.

[0041] 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 동작 원리를 나타낸 도면이다. 도 3a는 채널 구조 내의 유효 채널을 나타낸 모식도이고, 도 3b는 채널 구조의 에너지 밴드 다이어그램을 나타낸다.

[0042] 도 3a를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 메모리막(33) 및 채널 구조(CH)를 포함하고, 채널 구조(CH)는 제1 채널막(34) 및 제2 채널막(35)을 포함한다. 제1 채널막(34)은 메모리막(33)과 접할 수 있고, 메모리막(33)에 포함된 다층막 중 터널절연막과 접할 수 있다.

[0043] 메모리 셀, 선택 트랜지스터 등과 같은 트랜지스터의 구동 시, 채널 구조(CH)를 통해 캐리어가 이동하게 된다. 캐리어는 채널 구조(CH)의 물질에 따라 달라질 수 있으며, 전자 또는 정공일 수 있다. 캐리어는 유효 채널(Effective channel; E<sub>CH</sub>) 내에서 이동하는데, 캐리어가 분산될수록 채널의 이동도가 감소된다.

[0044] 따라서, 본 발명은 실시예로서, 제1 및 제2 채널막들(34, 35)의 산소 함량, 두께 또는 금속 구성 중 적어도 하나를 조절한다. 도 3b를 참조하면, 제1 채널막(34)과 제2 채널막(35)은 계면에서 새롭게 정렬된 에너지 밴드 다이어그램을 갖는다.

[0045] 새롭게 정렬된 에너지 밴드 다이어그램에 따르면, 제1 채널막(34)의 전도대와 제2 채널막(35)의 전도대의 사이에 웰(well)이 형성되고, 웰 내의 캐리어 농도가 증가하게 된다. 따라서, 채널 구조(CH)의 도전성(conductivity)을 국부적으로 제어할 수 있다. 또한, 이를 이용하여, 제1 채널막(34)과 제2 채널막(35)의 계면이 나머지 영역에 비해 높은 도전성을 갖는 채널 구조(CH)를 구현할 수 있다.

[0046] 전술한 바와 같은 실시예에 따르면, 제1 채널막(34)과 제2 채널막(35)의 계면으로 캐리어의 이동 경로를 제한시킬 수 있다. 여기서, 캐리어는 전자일 수 있고, 이를 통해, 전류의 흐름을 제1 채널막(34)과 제2 채널막(35)의 계면으로 제한시킬 수 있다. 또한, 채널 구조(CH)의 캐리어 이동도를 증가시키고, 저전력의 채널 구조(CH)를 구현할 수 있다.

[0048] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다.

[0049] 도 4a를 참조하면, 적층물(ST)을 형성한다. 적층물(ST)은 교대로 적층된 제1 물질막들(41) 및 제2 물질막들(42)을 포함한다. 제1 물질막들(41)은 메모리 셀, 선택 트랜지스터 등의 게이트 전극을 형성하기 위한 것일 수 있다. 제2 물질막들(42)은 적층된 게이트 전극들을 상호 절연시키기 위한 것일 수 있다.

[0050] 제1 물질막들(41)은 제2 물질막들(42)에 대해 식각 선택비가 높은 물질로 형성된다. 일 예로, 제1 물질막들(41)은 질화물 등을 포함하는 희생막이고, 제2 물질막들(42)은 산화물 등을 포함하는 절연막일 수 있다. 다른 예로, 제1 물질막들(41)은 폴리실리콘, 텅스텐 등을 포함하는 도전막이고, 제2 물질막들(42)은 산화물 등을 포함하는 절연막일 수 있다. 또 다른 예로, 제1 물질막들(41)은 도프트 폴리실리콘 등을 포함하는 도전막이고, 제2



물질막들(42)은 언도프드 폴리실리콘 등을 포함하는 희생막일 수 있다.

- [0051] 도 4b를 참조하면, 적층물(ST)을 관통하는 개구부(OP)를 형성한다. 본 도면에는 하나의 개구부(OP)를 도시하였으나, 적층물(ST)을 관통하는 복수의 개구부들(OP)을 형성할 수 있다. 각 개구부(OP)는 원형, 타원형, 다각형 등의 평면을 가질 수 있다. 또한, 복수의 개구부들(OP)이 제1 방향 및 제1 방향과 교차된 제2 방향으로 배열될 수 있고, 매트릭스 형태로 배열될 수 있다. 또는, 복수의 개구부들(OP)은 중심이 어긋난 형태로 배열될 수 있다.
- [0052] 도 4c를 참조하면, 개구부(OP) 내에 채널 구조(CH)를 형성한다. 예를 들어, 개구부(OP) 내에 제1 채널막(44)을 형성한 후, 제1 채널막(44) 내에 제2 채널막(45)을 형성한다. 참고로, 제1 채널막(44)을 형성하기 전에 메모리막(43)을 형성할 수 있다.
- [0053] 제1 채널막(44) 및 제2 채널막(45)은 증착 공정을 이용하여 형성될 수 있다. 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition; CVD) 방식을 이용하거나, 원자층 증착(Atomic Layer Deposition; ALD) 방식을 이용하여, 제1 채널막(44) 및 제2 채널막(45)을 형성할 수 있다.
- [0054] 제1 채널막(44)은 제2 채널막(45)에 비해 높은 산소 함량을 갖는 물질로 형성될 수 있다. 증착 공정시에 사용하는 산소 가스의 유량을 증가 또는 감소시킴으로써, 제1 및 제2 채널막들(44, 45)의 산소 함량을 조절할 수 있다. 예를 들어, 제1 채널막(44)을 증착할 때 사용된 산소 가스의 유량이 제2 채널막(45)을 증착할 때 사용된 산소 가스의 유량보다 많을 수 있다.
- [0055] 제2 채널막(45)은 제2 채널막(44)에 비해 얇은 두께로 형성될 수 있다. 증착 공정의 시간을 증가 또는 감소시킴으로써, 제1 및 제2 채널막들(44, 45)의 두께를 조절할 수 있다. 예를 들어, 제2 채널막(45)의 증착 시간이 제2 채널막(44)의 증착 시간에 비해 짧을 수 있다.
- [0056] 제1 채널막(44)과 제2 채널막(45)은 금속 조성이 상이할 수 있다. 증착 공정에서 사용되는 금속 전구체 가스의 유량을 증가 또는 감소시킴으로써, 제1 및 제2 채널막들(44, 45)의 금속 조성비를 조절할 수 있다.
- [0057] 제1 채널막(44)이 제2 채널막(45)에 비해 인듐(In)의 농도가 높을 경우, 제1 채널막(44)을 형성할 때 사용되는 인듐 전구체 가스의 유량이 제2 채널막(45)을 형성할 때 사용되는 인듐 전구체 가스의 유량보다 많을 수 있다.
- [0058] 제1 채널막(44)이 제2 채널막(45)에 비해 주석(Sn)의 농도가 높을 경우, 제1 채널막(44)을 형성할 때 사용되는 주석 전구체 가스의 유량이 제2 채널막(45)을 형성할 때 사용되는 주석 전구체 가스의 유량보다 많을 수 있다.
- [0059] 제1 채널막(44)이 제2 채널막(45)에 비해 갈륨(Ga)의 농도가 낮을 경우, 제1 채널막(44)을 형성할 때 사용되는 갈륨 전구체 가스의 유량이 제2 채널막(45)을 형성할 때 사용되는 갈륨 전구체 가스의 유량보다 적을 수 있다.
- [0060] 실시예로서, 제1 및 제2 채널막들(44, 45)이 ITZO(Indium Tin Zinc Oxide)를 포함할 수 있다. 이러한 경우, 제1 채널막(44)을 형성할 때 사용되는 인듐 전구체 가스의 유량이 제2 채널막(45)을 형성할 때 사용되는 인듐 전구체 가스의 유량에 비해 많을 수 있다. 또는, 제1 채널막(44)을 형성할 때 사용되는 주석 전구체 가스의 유량이 제2 채널막(45)을 형성할 때 사용되는 주석 전구체 가스의 유량에 비해 많을 수 있다. 이를 통해, 캐리어 이동도가 상대적으로 높은 제1 채널막(44)과 캐리어 이동도가 상대적으로 낮은 제2 채널막(45)을 포함한 채널 구조(CH)를 형성할 수 있다.
- [0061] 이어서, 제2 채널막(45) 내에 갭필 절연막(46)을 형성한다. 제2 채널막(45)이 개구부(OP)를 완전히 채우는 경우, 갭필 절연막(46) 형성 공정은 생략할 수 있다.
- [0062] 이어서, 제1 물질막들(41) 및 제2 물질막들(42)의 물질에 따라 추가 공정을 진행할 수 있다. 적층물(ST)을 관통하는 슬릿(미도시됨)을 형성한 후, 제1 물질막들(41) 또는 제2 물질막들(42)을 제3 물질막들(47)로 대체한다. 일 예로, 제1 물질막들(41)이 희생막이고 제2 물질막들(42)이 절연막인 경우, 제1 물질막들(41)을 도전막들로 대체할 수 있다. 이때, 제1 물질막들(41)이 제거된 영역 내에 메모리막을 추가로 형성한 후, 도전막들을 형성하는 것도 가능하다. 다른 예로, 제1 물질막들(41)이 도전막이고 제2 물질막들(42)이 절연막인 경우, 제1 물질막들(41)을 실리사이드화할 수 있다. 또 다른 예로, 제1 물질막들(41)이 희생막이고 제2 물질막들(42)이 도전막인 경우, 제2 물질막들(42)을 절연막들로 대체할 수 있다.
- [0063] 전술한 바와 같은 제조 방법에 따르면, 서로 다른 특성을 갖는 제1 채널막(44) 및 제2 채널막(45)을 형성할 수 있다.

- [0065] 도 5a 내지 도 5c는 본 발명의 일 실시예에 따른 반도체 장치의 구조 및 특성을 나타낸 도면이다. 도 5a는 반도체 장치의 단면도이고, 도 5b는 터널절연막의 사시도이고, 도 5c는 터널절연막의 에너지 밴드 다이어그램을 나타낸다.
- [0066] 도 5a를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는 적층물(ST), 메모리막(53) 및 채널막(54)을 포함한다. 또한, 반도체 장치는 캡필 절연막(55)을 더 포함할 수 있다.
- [0067] 적층물(ST)은 교대로 적층된 도전막들(51) 및 절연막들(52)을 포함한다. 도전막들(51)은 선택 트랜지스터, 메모리 셀 등의 게이트 전극일 수 있고, 폴리실리콘, 텅스텐, 금속 등을 포함할 수 있다. 절연막들(52)은 적층된 게이트 전극들을 상호 절연시키기 위한 것으로, 산화물, 질화물 등의 절연 물질을 포함할 수 있다.
- [0068] 채널막(54) 및 메모리막(53)은 적층 방향으로 적층물(ST)을 관통할 수 있다. 적층 방향은 도전막들(51) 및 절연막들(52)이 적층된 방향일 수 있으며, 기판의 표면에 수직된 방향일 수 있다.
- [0069] 채널막(54)은 선택 트랜지스터, 메모리 셀 등의 채널이 형성되는 영역이다. 채널막(54)과 도전막들(51)이 교차되는 영역에 선택 트랜지스터, 메모리 셀 등이 위치될 수 있다. 채널막(54)은 실리콘(Si), 저마늄(Ge) 등의 반도체 물질을 포함할 수 있다. 또는, 채널막(54)은 앞서 도 1a 내지 도 4c를 참조하여 설명한 채널 구조(CH)에 대응될 수 있다. 채널막(54)은 다층막을 포함할 수 있고, IZO(Indium Zinc Oxide), ZTO(Zinc Tin Oxide), IGZO(Indium Gallium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등의 금속 산화물계 반도체를 포함할 수 있다.
- [0070] 메모리막(53)은 터널절연막(53A), 데이터 저장막(53B) 또는 전하차단막(53C) 중 적어도 하나를 포함할 수 있다. 터널절연막(53A)이 채널막(54)을 감싸고, 데이터 저장막(53B)이 터널절연막(53A)을 감싸고, 전하차단막(53C)이 데이터 저장막(53B)을 감싸도록, 메모리막(53)이 형성될 수 있다. 데이터 저장막(53B)은 플로팅 게이트, 전하 트랩 물질, 실리콘, 질화물, 나노 닷, 가변 저항 물질, 상변화 물질 등을 포함할 수 있다.
- [0071] 도 5a 내지 도 5c를 참조하면, 터널절연막(53A)은 채널막(54)과 데이터 저장막(53B)의 사이에 개재될 수 있다. 터널절연막(53A)은 외측부(P1) 및 내측부(P2)를 포함하는 단일막일 수 있다. 외측부(P1)는 데이터 저장막(53B)과 인접하여 위치될 수 있고, 내측부(P2)는 채널막(54)과 인접하여 위치될 수 있다.
- [0072] 터널절연막(53A)은 금속 산화물을 포함할 수 있고, 금속 산화물은 제1 금속(M1)과 제2 금속(M2)을 포함할 수 있다. 여기서, 외측부(P1)와 내측부(P2)는 금속 조성이 상이할 수 있다. 외측부(P1)는 제1 금속이 풍부(M1-rich)할 수 있고, 내측부(P2)는 제2 금속이 풍부(M2-rich)할 수 있다. 외측부(P1)는 제1 금속(M1) 및 제2 금속(M2)을 모두 포함하고, 내측부(P2)에 비해 제1 금속(M1)의 농도가 높고 제2 금속(M2)의 농도가 낮을 수 있다. 예를 들어, 외측부(P1)에서 제1 금속(M1)의 비율이 70% 이상일 수 있다. 내측부(P2)는 제1 금속(M1) 및 제2 금속(M2)을 모두 포함하고, 외측부(P1)에 비해 제2 금속(M2)의 농도가 높고 제1 금속(M1)의 농도가 낮을 수 있다. 예를 들어, 내측부(P2)에서 제2 금속(M2)의 비율이 70% 이상일 수 있다.
- [0073] 표 2를 참조하면, 터널절연막(53A)의 물질은 채널막(54)과의 접착력, 제1 및 제2 금속들(M1, M2)의 자기 쌍극자 모멘트(magnetic dipole moment), 유전 상수 등을 고려하여 결정될 수 있다.

표 2

종류	Adhesion	energy level	magnetic dipole moment 차이 (J/T)	Dielectric constant
ZrAlO	○	◎	5.452	13~17
GaZrO	○	△	3.872	16~25
AlSiO	◎	△	4.197	4~10

- [0075] 터널절연막(53A)의 물질은 채널막(54)과의 접착력이 우수한 물질로 선택될 수 있다. 또한, 터널절연막(53A)의 물질은 유전 상수가 높은 고유전 상수(high-k) 물질로 선택될 수 있다.
- [0076] 터널절연막(53A)의 물질은 제1 금속(M1)과 제2 금속(M2)의 전도대의 최상위 레벨(Ec)의 차이(d1)가 1.0eV 이상인 물질로 선택될 수 있다. 또한, 제1 금속(M1)과 제2 금속(M2)은 가전자대의 최하위 레벨(Ev)의 차이(d2)가 1.0eV 이상인 물질로 선택될 수 있다.
- [0077] 터널절연막(53A)의 물질은 제1 금속(M1)과 제2 금속(M2)의 자기 쌍극자 모멘트 차이가 큰 물질로 선택될 수 있

다. 제1 금속(M1)과 제2 금속(M2)은 서로 다른 자성을 갖는 물질일 수 있다. 제2 금속(M2)이 제1 금속(M1)에 비해 강한 자성을 갖는 물질일 수 있다. 예를 들어, 제2 금속(M2)은 강자성 금속이고, 제1 금속(M1)은 반자성 금속 또는 상자성 금속일 수 있다.

- [0078] 이러한 점을 고려할 때, 터널절연막(53A)은 ZrAlO, GaZrO 또는 AlSiO를 포함하거나, 이들을 조합하여 포함할 수 있다. 터널절연막(53A)이 ZrAlO인 경우, 제1 금속(M1)이 알루미늄(Al)이고 제2 금속(M2)이 지르코늄(Zr)일 수 있다. 터널절연막(53A)이 GaZrO인 경우, 제1 금속(M1)이 지르코늄(Zr)이고 제2 금속(M2)이 갈륨(Ga)일 수 있다. 터널절연막(53A)이 AlSiO인 경우, 제1 금속(M1)이 실리콘(Si)이고 제2 금속(M2)이 알루미늄(Al)일 수 있다.
- [0079] 전술한 바와 같은 구조에 따르면, 터널절연막(53A)이 외측부(P1)와 내측부(P2)를 포함하는 단일막 구조를 갖고, 외측부(P1)와 내측부(P2)는 서로 다른 금속 조성을 갖게 된다. 따라서, 단일막이 영역에 따라 상이한 밴드갭을 갖게 되며, 이를 이용하여, 반도체 장치의 누설 전류를 감소시키고 동작 속도를 개선할 수 있다. 또한, 터널절연막(53A) 내에 계면이 존재하지 않으므로, 계면의 트랩 사이트에 전하가 트랩되는 것을 방지할 수 있다.
- [0081] 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 터널절연막의 에너지 밴드 다이어그램을 나타낸 도면이다. 도 6a는 프로그램 동작의 에너지 밴드 다이어그램이고, 도 6b는 소거 동작의 에너지 밴드 다이어그램이다.
- [0082] 도 6a 및 도 6b에서, 터널절연막(63A)은 채널막(64)과 데이터 저장막(63B)의 사이에 개재되고, 외측부(P1) 및 내측부(P2)를 포함한다. 외측부(P1)는 제1 금속이 풍부한 영역일 수 있고, 내측부(P2)는 제2 금속이 풍부한 영역일 수 있다.
- [0083] 도 6a를 참조하면, 프로그램 동작 시, F-N 터널링(Fowler-Nordheim tunneling)에 의해, 채널막(64)으로부터 터널절연막(63A)을 거쳐 데이터 저장막(63B)으로 전자(electron)가 주입된다. 이때, 외측부(P1)와 내측부(P2)의 물성 차이로 인해, 유효 터널링 길이가 감소된다. 따라서, 프로그램 동작의 속도를 향상시킬 수 있다.
- [0084] 도 6b를 참조하면, 소거 동작 시, 채널막(64)으로부터 터널절연막(63A)을 거쳐 데이터 저장막(63B)으로 홀(hole)이 주입된다. 터널절연막(63A)의 외측부(P1)와 내측부(P2)의 사이에 계면이 존재하지 않으므로, 홀이 주입될 때 계면에서 홀이 트랩되는 것을 방지할 수 있다. 따라서, 소거 동작의 속도를 향상시킬 수 있다.
- [0086] 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 터널절연막의 형성 방법을 설명하기 위한 모식도이다.
- [0087] 도 7a를 참조하면, 터널절연막을 밴드갭 엔지니어링하기 위해, 열처리 공정을 수행한다. 열처리 공정을 수행하면, 제1 금속(M1)과 제2 금속(M2) 간에 도펀트 용해도(dopant solubility) 차이가 발생하고, 안정된 상태(stable state)를 형성하기 위해 제1 금속(M1)과 제2 금속(M2)이 분리된다(segregation). 따라서, 터널절연막의 단일막 형태는 유지하면서, 단일막을 제1 금속이 풍부한 영역(M1-rich)과 제2 금속이 풍부한 영역(M2-rich)으로 분리할 수 있다.
- [0088] 도 7b는 제1 금속이 풍부한 영역(M1-rich)을 나타낸다. 도 7b를 참조하면, 제1 금속(M1)의 농도가 제2 금속(M2)의 농도에 비해 높은 것을 확인할 수 있다. 도 7c는 제2 금속이 풍부한 영역(M2-rich)을 나타낸다. 도 7c를 참조하면, 제2 금속(M2)의 농도가 제1 금속(M1)의 농도에 비해 높은 것을 확인할 수 있다.
- [0090] 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 터널절연막의 형성 방법을 설명하기 위한 모식도이다.
- [0091] 도 8a를 참조하면, 터널절연막을 밴드갭 엔지니어링하기 위해, 자기장 처리(magnetic field treatment) 공정을 수행한다. 자기장 처리 공정에 의해, 터널절연막에 포함된 제1 금속(M1)과 제2 금속(M2)을 분리시킨다. 자기장 처리 공정은 자기장을 생성하기 위한 자석을 포함한 챔버를 이용하여 수행될 수 있다.
- [0092] 자기장 처리 공정을 수행하면, 축을 중심으로 내측은 약한 자기장이 생성되고 외측은 강한 자기장이 생성된다. 따라서, 자석과 강한 인력이 작용하는 강자성의 금속은 내측으로 이동하게 된다. 자석과 약한 인력이 작용하는 상자성 금속 또는 자석과 척력이 작용하는 반자성 금속은 외측으로 이동하게 된다.
- [0093] 터널절연막이 반자성 또는 상자성의 제1 금속(M1)과 강자성의 제2 금속(M2)을 포함하는 경우, 제2 금속(M2)은 내측으로 이동하게 되고 제1 금속(M1)은 외측으로 이동할 수 있다.
- [0094] 도 8b를 참조하면, 터널절연막에 가해진 자기장에 의해, 터널절연막 내에서 제1 금속(M1) 및 제2 금속(M2)이 분

리된다. 그에 따라, 터널절연막 내에서, 제1 금속(M1)이 풍부한(M1-rich)한 외측부(P1)와 제2 금속이 풍부한(M2-rich) 내측부(P2)가 정의될 수 있다.

- [0096] 도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 도면이다.
- [0097] 도 9a를 참조하면, 적층물(ST)을 형성한다. 적층물(ST)은 교대로 적층된 제1 물질막들(91) 및 제2 물질막들(92)을 포함한다. 제1 물질막들(91)은 메모리 셀, 선택 트랜지스터 등의 게이트 전극을 형성하기 위한 것일 수 있다. 제2 물질막들(92)은 적층된 게이트 전극들을 상호 절연시키기 위한 것일 수 있다.
- [0098] 제1 물질막들(91)은 제2 물질막들(92)에 대해 식각 선택비가 높은 물질로 형성된다. 일 예로, 제1 물질막들(91)은 질화물 등을 포함하는 희생막이고, 제2 물질막들(92)은 산화물 등을 포함하는 절연막일 수 있다. 다른 예로, 제1 물질막들(91)은 폴리실리콘, 텅스텐 등을 포함하는 도전막이고, 제2 물질막들(92)은 산화물 등을 포함하는 절연막일 수 있다. 또 다른 예로, 제1 물질막들(91)은 도프트 폴리실리콘 등을 포함하는 도전막이고, 제2 물질막들(92)은 언도프트 폴리실리콘 등을 포함하는 희생막일 수 있다.
- [0099] 이어서, 적층물(ST)을 관통하는 개구부(OP)를 형성한다. 본 도면에는 하나의 개구부(OP)를 도시하였으나, 적층물(ST)을 관통하는 복수의 개구부들(OP)을 형성할 수 있다. 각 개구부(OP)는 원형, 타원형, 다각형 등의 평면을 가질 수 있다. 또한, 복수의 개구부들(OP)이 매트릭스 형태로 배열되거나, 중심이 어긋난 형태로 배열될 수 있다.
- [0100] 이어서, 개구부(OP) 내에 메모리막(93)을 형성한다. 예를 들어, 개구부(OP)내에 전하차단막(93C), 데이터 저장막(93B) 및 터널절연막(93A)을 차례로 형성한다. 여기서, 터널절연막(93A)은 금속 산화물을 포함할 수 있고, 금속 산화물은 제1 금속 및 제2 금속을 포함할 수 있다.
- [0101] 도 9b를 참조하면, 밴드갭 엔지니어링을 수행한다. 밴드갭 엔지니어링에 의해, 메모리막(93')에 포함된 터널절연막(93AA) 내의 금속 조성이 조정될 수 있다. 밴드갭 엔지니어링에 의해 터널절연막(93A) 내에서 제1 금속(M1)과 제2 금속(M2)이 분리된다. 이를 통해, 터널절연막(93AA)은 제1 금속(M1)이 풍부한 외측부(P1) 및 제2 금속(M2)을 포함하게 된다. 밴드갭 엔지니어링은 도 7a 및 도 7b를 참조하여 설명한 열처리 공정을 이용하여 수행되거나, 도 8a 및 도 8b를 참조하여 설명한 자기장 처리 공정을 이용하여 수행되거나, 이들을 조합하여 수행될 수 있다.
- [0102] 도 9c를 참조하면, 메모리막(93') 내에 채널막(94)을 형성한 후, 채널막(94) 내에 갭필 절연막(95)을 형성한다. 채널막(94)이 개구부(OP)를 완전히 채우는 경우, 갭필 절연막(95) 형성 공정은 생략할 수 있다.
- [0103] 이어서, 제1 물질막들(91) 및 제2 물질막들(92)의 물질에 따라 추가 공정을 진행할 수 있다. 제1 물질막들(91) 또는 제2 물질막들(92)을 제3 물질막들(96)로 대체한다. 일 예로, 제1 물질막들(91)이 희생막이고 제2 물질막들(92)이 절연막인 경우, 제1 물질막들(91)을 도전막들로 대체할 수 있다. 이때, 제1 물질막들(91)이 제거된 영역 내에 메모리막을 추가로 형성한 후, 도전막들을 형성하는 것도 가능하다. 다른 예로, 제1 물질막들(91)이 도전막이고 제2 물질막들(92)이 절연막인 경우, 제1 물질막들(91)을 실리사이드화할 수 있다. 또 다른 예로, 제1 물질막들(91)이 도전막이고 제2 물질막들(92)이 희생막인 경우, 제2 물질막들(92)을 절연막들로 대체할 수 있다.
- [0104] 참고로, 본 실시예에서는 채널막(94)을 형성하기 전에 밴드갭 엔지니어링을 수행하는 경우에 대해 설명하였으나, 채널막(94)을 형성한 후에 또는 갭필 절연막(95)을 형성한 후에 밴드갭 엔지니어링을 수행하는 것도 가능하다.
- [0105] 전술한 바와 같은 제조 방법에 따르면, 밴드갭 엔지니어링에 의해 외측부(P1)와 내측부(P2)가 상이한 밴드갭을 갖는 터널절연막(93AA)을 형성할 수 있다. 단일막으로 터널절연막(93AA)을 형성하므로, 다층막인 경우에 비해 공정을 단순화하고 비용을 절감할 수 있다.
- [0107] 도 10은 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.
- [0108] 도 10을 참조하면, 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 메모리 장치(1200)와 컨트롤러(1100)를 포함한다.
- [0109] 메모리 장치(1200)는 텍스트, 그래픽, 소프트웨어 코드 등과 같은 다양한 데이터 형태를 갖는 데이터 정보를 저



장하는데 사용된다. 메모리 장치(1200)는 비휘발성 메모리일 수 있다. 또한, 메모리 장치는(1200)는 앞서 도 1a 내지 도 9c를 참조하여 설명한 구조를 가질 수 있고, 앞서 도 1a 내지 도 9c를 참조하여 설명한 제조 방법에 따라 제조될 수 있다. 실시예로서, 메모리 장치(1200)는 반도체 장치는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하고, 금속 산화물계 반도체를 포함하는 제1 채널막; 및 상기 제1 채널막 내에 형성되고, 상기 금속 산화물계 반도체를 포함하는 제2 채널막을 포함하고, 상기 제1 채널막은 상기 제2 채널막에 비해 산소 함량이 높고 상기 제2 채널막과 상이한 두께를 갖도록 구성될 수 있다. 실시예로서, 메모리 장치(1200)는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)하도록 구성될 수 있다. 메모리 장치(1200)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.

- [0110] 컨트롤러(1100)는 호스트 및 메모리 장치(1200)에 연결되며, 호스트로부터의 요청에 응답하여 메모리 장치(1200)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1100)는 메모리 장치(1200)의 읽기, 쓰기, 소거, 배경(background) 동작 등을 제어하도록 구성된다.
- [0111] 컨트롤러(1100)는 RAM(Random Access Memory; 1110), CPU(Central Processing Unit; 1120), 호스트 인터페이스(Host Interface; 1130), ECC 회로(Error Correction Code Circuit; 1140), 메모리 인터페이스(Memory Interface; 1150) 등을 포함한다.
- [0112] 여기서, RAM(1110)은 CPU(1120)의 동작 메모리, 메모리 장치(1200)와 호스트 간의 캐시 메모리, 메모리 장치(1200)와 호스트 간의 버퍼 메모리 등으로 사용될 수 있다. 참고로, RAM(1110)은 SRAM(Static Random Access Memory), ROM(Read Only Memory) 등으로 대체될 수 있다.
- [0113] CPU(1120)는 컨트롤러(1100)의 전반적인 동작을 제어하도록 구성된다. 예를 들어, CPU(1120)는 RAM(1110)에 저장된 플래시 변환 계층(Flash Translation Layer; FTL)과 같은 펌웨어를 운용하도록 구성된다.
- [0114] 호스트 인터페이스(1130)는 호스트와의 인터페이싱을 수행하도록 구성된다. 예를 들어, 컨트롤러(1100)는 USB(Universal Serial Bus)프로토콜, MMC(MultiMedia Card) 프로토콜, PCI(Peripheral Component Interconnection)프로토콜, PCI-E(PCI-Express) 프로토콜, ATA(Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI(Small Computer Small Interface) 프로토콜, ESDI(Enhanced Small Disk Interface) 프로토콜, 그리고 IDE(Integrated Drive Electronics) 프로토콜, 프라이빗(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신한다.
- [0115] ECC 회로(1140)는 오류 정정 코드(ECC)를 이용하여 메모리 장치(1200)로부터 리드된 데이터에 포함된 오류를 검출하고, 정정하도록 구성된다.
- [0116] 메모리 인터페이스(1150)는 메모리 장치(1200)와의 인터페이싱을 수행하도록 구성된다. 예를 들어, 메모리 인터페이스(1150)는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0117] 참고로, 컨트롤러(1100)는 데이터를 임시 저장하기 위한 버퍼 메모리(미도시됨)를 더 포함할 수 있다. 여기서, 버퍼 메모리는 호스트 인터페이스(1130)를 통해 외부로 전달되는 데이터를 임시 저장하거나, 메모리 인터페이스(1150)를 통해 메모리 장치(1200)로부터 전달되는 데이터를 임시로 저장하는데 사용될 수 있다. 또한, 컨트롤러(1100)는 호스트와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM을 더 포함할 수 있다.
- [0118] 이와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 집적도가 향상되고 특성이 개선된 메모리 장치(1200)를 포함하므로, 메모리 시스템(1000)의 집적도 및 특성 또한 향상시킬 수 있다.
- [0120] 도 11은 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0121] 도 11을 참조하면, 본 발명의 일 실시예에 따른 메모리 시스템(1000')은 메모리 장치(1200')와 컨트롤러(1100)를 포함한다. 또한, 컨트롤러(1100)는 RAM(1110), CPU(1120), 호스트 인터페이스(1130), ECC 회로(1140), 메모리

리 인터페이스(1150) 등을 포함한다.

- [0122] 메모리 장치(1200')는 비휘발성 메모리일 수 있다. 또한, 메모리 장치(1200')는 앞서 도 1a 내지 도 9c를 참조하여 설명한 구조를 가질 수 있고, 앞서 도 1a 내지 도 9c를 참조하여 설명한 제조 방법에 따라 제조될 수 있다. 실시예로서, 메모리 장치(1200')는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하고, 금속 산화물계 반도체를 포함하는 제1 채널막; 및 상기 제1 채널막 내에 형성되고, 상기 금속 산화물계 반도체를 포함하는 제2 채널막을 포함하고, 상기 제1 채널막은 상기 제2 채널막에 비해 산소 함량이 높고 상기 제2 채널막과 상이한 두께를 갖도록 구성될 수 있다. 실시예로서, 메모리 장치(1200')는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)하도록 구성될 수 있다. 메모리 장치(1200')의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0123] 또한, 메모리 장치(1200')는 복수의 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다. 복수의 메모리 칩들은 복수의 그룹들로 분할되며, 복수의 그룹들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(1100)와 통신하도록 구성된다. 또한, 하나의 그룹에 속한 메모리 칩들은 공통 채널을 통해 컨트롤러(1100)와 통신하도록 구성된다. 참고로, 하나의 채널에 하나의 메모리 칩이 연결되도록 메모리 시스템(1000')이 변형되는 것도 가능하다.
- [0124] 이와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000')은 집적도가 향상되고 특성이 개선된 메모리 장치(1200')를 포함하므로, 메모리 시스템(1000')의 집적도 및 특성 또한 향상시킬 수 있다. 특히, 메모리 장치(1200')를 멀티-칩 패키지로 구성함으로써, 메모리 시스템(1000')의 데이터 저장 용량을 증가시키고, 구동 속도를 향상시킬 수 있다.
- [0126] 도 12는 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타내는 블록도이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0127] 도 12를 참조하면, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(2000)은 메모리 장치(2100), CPU(2200), RAM(2300), 유저 인터페이스(2400), 전원(2500), 시스템 버스(2600) 등을 포함한다.
- [0128] 메모리 장치(2100)는 유저 인터페이스(2400)를 통해 제공된 데이터, CPU(2200)에 의해 처리된 데이터 등을 저장한다. 또한, 메모리 장치(2100)는 시스템 버스(2600)를 통해 CPU(2200), RAM(2300), 유저 인터페이스(2400), 전원(2500) 등에 전기적으로 연결된다. 예를 들어, 메모리 장치(2100)는 컨트롤러(미도시됨)를 통해 시스템 버스(2600)에 연결되거나, 시스템 버스(2600)에 직접 연결될 수 있다. 메모리 장치(2100)가 시스템 버스(2600)에 직접 연결되는 경우, 컨트롤러의 기능은 CPU(2200), RAM(2300) 등에 의해 수행될 수 있다.
- [0129] 여기서, 메모리 장치(2100)는 비휘발성 메모리 일 수 있다. 또한, 메모리 장치(2100)는 앞서 도 1a 내지 도 9c를 참조하여 설명한 구조를 가질 수 있고, 앞서 도 1a 내지 도 9c를 참조하여 설명한 제조 방법에 따라 제조될 수 있다. 실시예로서, 메모리 장치(2100)는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하고, 금속 산화물계 반도체를 포함하는 제1 채널막; 및 상기 제1 채널막 내에 형성되고, 상기 금속 산화물계 반도체를 포함하는 제2 채널막을 포함하고, 상기 제1 채널막은 상기 제2 채널막에 비해 산소 함량이 높고 상기 제2 채널막과 상이한 두께를 갖도록 구성될 수 있다. 실시예로서, 메모리 장치(2100)는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)하도록 구성될 수 있다. 메모리 장치(2100)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0130] 또한, 메모리 장치(2100)은 도 11을 참조하여 설명한 바와 같이 복수의 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다.
- [0131] 이와 같은 구성을 갖는 컴퓨팅 시스템(2000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선

전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(Portable MultimediaPlayer), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audiorecorder), 디지털 음성 재생기(digital audioplayer), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치 등일 수 있다.

[0132] 이와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(2000)은 집적도가 향상되고 특성이 개선된 메모리 장치(2100)를 포함하므로, 컴퓨팅 시스템(2000)의 특성 또한 향상시킬 수 있다.

[0134] 도 13은 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타낸 블록도이다.

[0135] 도 13을 참조하면, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(3000)은 운영 체제(3200), 어플리케이션(3100), 파일 시스템(3300), 변환 계층(3400) 등을 포함하는 소프트웨어 계층을 포함한다. 또한, 컴퓨팅 시스템(3000)은 메모리 장치(3500) 등의 하드웨어 계층을 포함한다.

[0136] 운영 체제(3200)는 컴퓨팅 시스템(3000)의 소프트웨어, 하드웨어 자원 등을 관리하기 위한 것으로, 중앙처리장치의 프로그램 실행을 제어할 수 있다. 어플리케이션(3100)은 컴퓨팅 시스템(3000)에서 실시되는 다양한 응용 프로그램으로, 운영 체제(3200)에 의해 실행되는 유틸리티일 수 있다.

[0137] 파일 시스템(3300)은 컴퓨팅 시스템(3000)에 존재하는 데이터, 파일 등을 관리하기 위한 논리적인 구조를 의미하며, 규칙에 따라 메모리 장치(3500) 등에 저장할 파일 또는 데이터를 조직화한다. 파일 시스템(3300)은 컴퓨팅 시스템(3000)에서 사용되는 운영 체제(3200)에 따라 결정될 수 있다. 예를 들어, 운영 체제(3200)가 마이크로소프트(Microsoft)사의 윈도우즈(Windows) 계열인 경우, 파일 시스템(3300)은 FAT(File Allocation Table), NTFS(NT file system) 등일 수 있다. 또한, 운영 체제(3200)가 유닉스/리눅스(Unix/Linux) 계열인 경우, 파일 시스템(3300)은 EXT(extended file system), UFS(Unix File System), JFS(Journaling File System) 등일 수 있다.

[0138] 본 도면에서는 운영 체제(3200), 어플리케이션(3100) 및 파일 시스템(3300)을 별도의 블록으로 도시하였으나, 어플리케이션(3100) 및 파일 시스템(3300)은 운영 체제(3200) 내에 포함된 것일 수 있다.

[0139] 변환 계층(Translation Layer; 3400)은 파일 시스템(3300)으로부터의 요청에 응답하여 메모리 장치(3500)에 적합한 형태로 어드레스를 변환한다. 예를 들어, 변환 계층(3400)은 파일 시스템(3300)이 생성한 로직 어드레스를 메모리 장치(3500)의 피지컬 어드레스로 변환한다. 여기서, 로직 어드레스와 피지컬 어드레스의 맵핑 정보는 어드레스 변환 테이블(address translation table)로 저장될 수 있다. 예를 들어, 변환 계층(3400)은 플래시 변환 계층(Flash Translation Layer; FTL), 유니버설 플래시 스토리지 링크 계층(Universal Flash Storage Link Layer, ULL) 등일 수 있다.

[0140] 메모리 장치(3500)는 비휘발성 메모리 일 수 있다. 또한, 메모리 장치(3500)는 앞서 도 1a 내지 도 9c를 참조하여 설명한 구조를 가질 수 있고, 앞서 도 1a 내지 도 9c를 참조하여 설명한 제조 방법에 따라 제조될 수 있다. 실시예로서, 메모리 장치(3500)는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하고, 금속 산화물계 반도체를 포함하는 제1 채널막; 및 상기 제1 채널막 내에 형성되고, 상기 금속 산화물계 반도체를 포함하는 제2 채널막을 포함하고, 상기 제1 채널막은 상기 제2 채널막에 비해 산소 함량이 높고 상기 제2 채널막과 상이한 두께를 갖도록 구성될 수 있다. 실시예로서, 메모리 장치(3500)는 교대로 적층된 도전막들 및 절연막들을 포함하는 적층물; 상기 적층물을 관통하는 채널막; 상기 채널막과 상기 적층물의 사이에 개재되고, 서로 다른 자성을 갖는 제1 금속과 제2 금속을 포함한 금속 산화물을 포함하는 터널절연막; 및 상기 터널절연막과 상기 적층물의 사이에 개재된 데이터 저장막을 포함하고, 상기 터널 절연막은 상기 채널막과 인접한 내측부 및 상기 데이터 저장막과 인접한 외측부를 포함하는 단일막이고, 상기 외측부는 상기 제1 금속이 풍부하고(M1-rich) 상기 내측부는 상기 제2 금속이 풍부(M2-rich)하도록 구성될 수 있다. 메모리 장치(3500)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.

[0141] 이러한 구성을 갖는 컴퓨팅 시스템(3000)은 상위 레벨 영역에서 수행되는 운영체제 계층과 하위 레벨 영역에서 수행되는 컨트롤러 계층으로 구분될 수 있다. 여기서, 어플리케이션(3100), 운영 체제(3200) 및 파일 시스템



(3300)은 운영 체제 계층에 포함되며, 컴퓨팅 시스템(3000)의 동작 메모리에 의해 구동될 수 있다. 또한, 변환 계층(3400)은 운영 체제 계층에 포함되거나, 컨트롤러 계층에 포함될 수 있다.

[0142] 이와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(3000)은 집적도가 향상되고 특성이 개선된 메모리 장치(3500)를 포함하므로, 컴퓨팅 시스템(3000)의 특성 또한 향상시킬 수 있다.

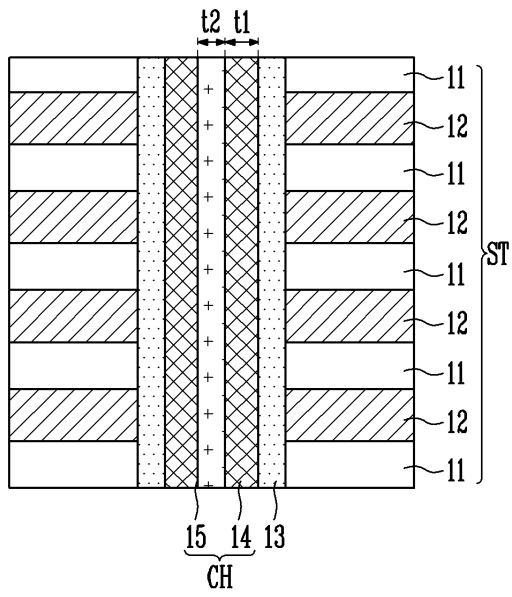
[0144] 본 발명의 기술 사상은 실시예들에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 부호의 설명

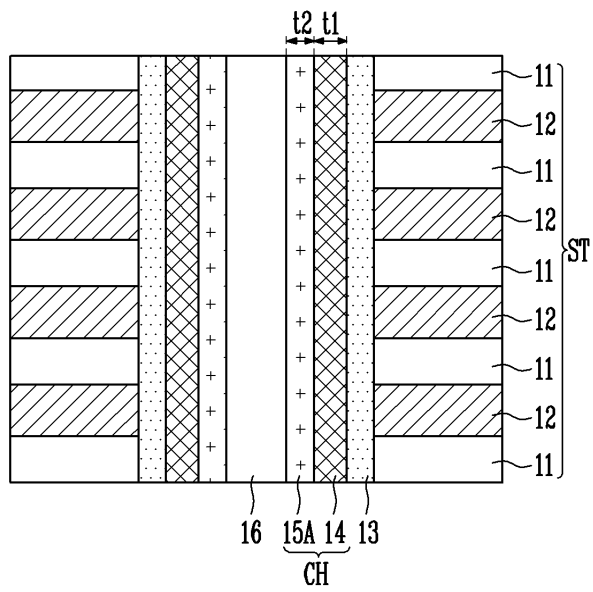
[0145] 11: 도전막      12: 절연막  
13: 메모리막      14: 제1 채널막  
15, 15A: 제2 채널막      16: 갭필 절연막  
33: 메모리막      34: 제1 채널막  
35: 제2 채널막      41: 제1 물질막  
42: 제2 물질막      43: 메모리막  
44: 제1 채널막      45: 제2 채널막  
46: 갭필 절연막      47: 제3 물질막  
51: 제1 물질막      52: 제2 물질막  
53: 메모리막      53A: 터널절연막  
53B: 데이터 저장막      53C: 전하차단막  
54: 채널막      55: 갭필 절연막  
63A: 터널절연막      63B: 데이터 저장막  
64: 채널막      91: 제1 물질막  
92: 제2 물질막      93: 메모리막  
93A: 터널절연막      93B: 데이터 저장막  
93C: 전하차단막      94: 채널막  
95: 갭필 절연막  
ST: 적층물      CH: 채널 구조  
OP: 개구부      P1: 외측부  
P2: 내측부      M1: 제1 금속  
M2: 제2 금속

도면

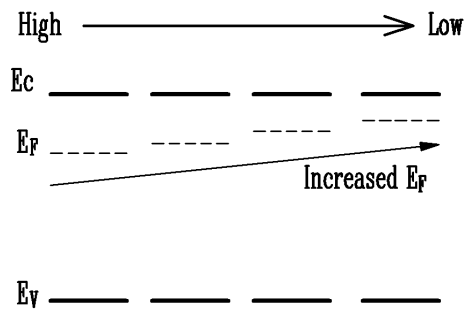
도면1a



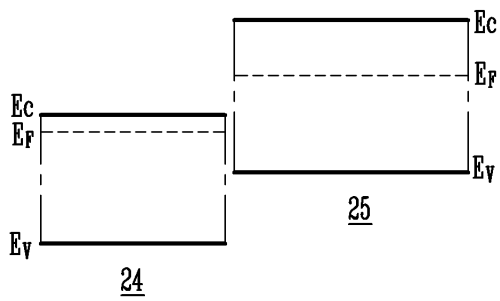
도면1b



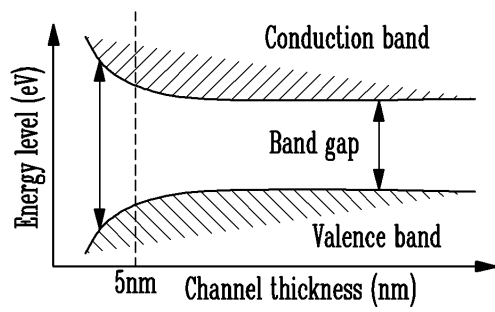
도면2a



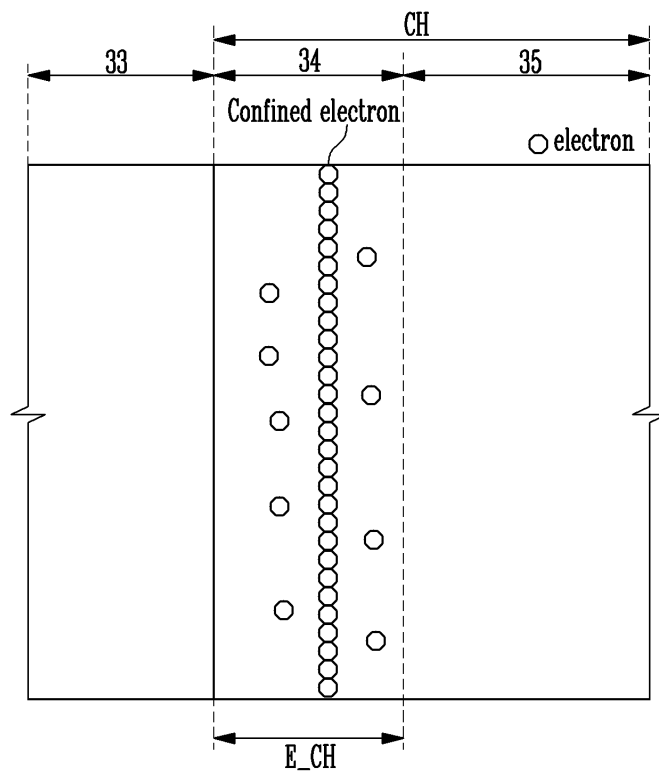
도면2b



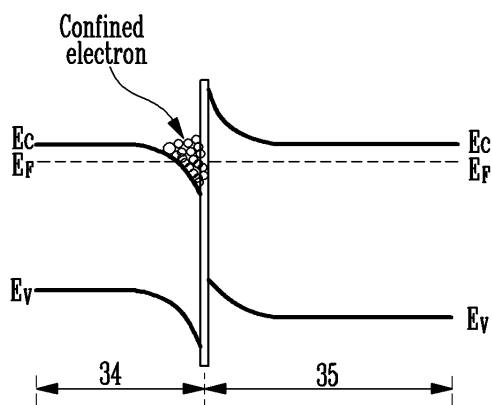
도면2c



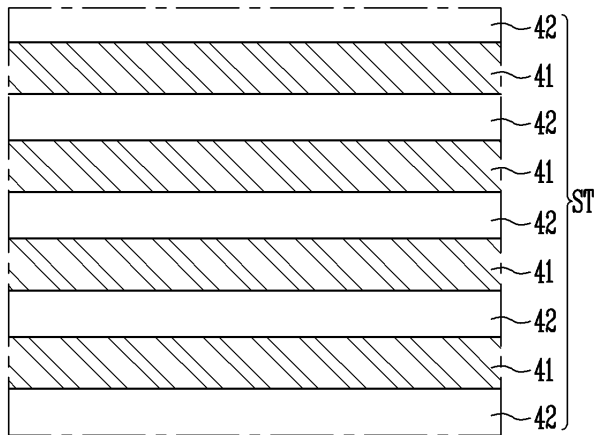
도면3a



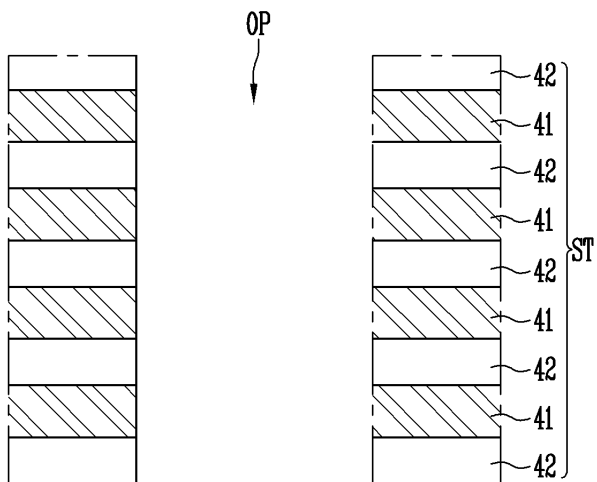
도면3b



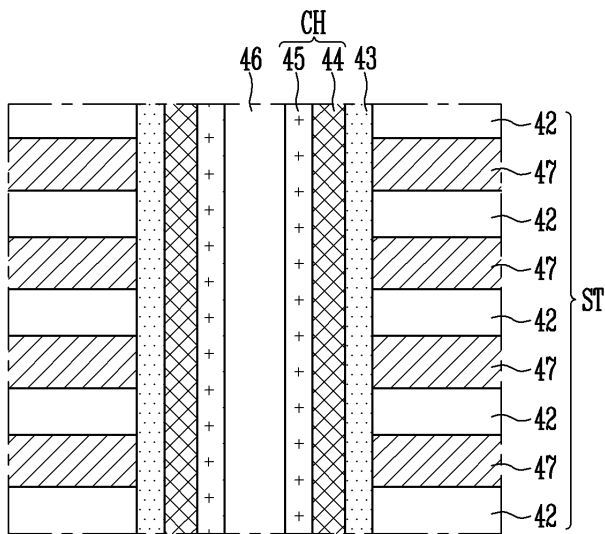
도면4a



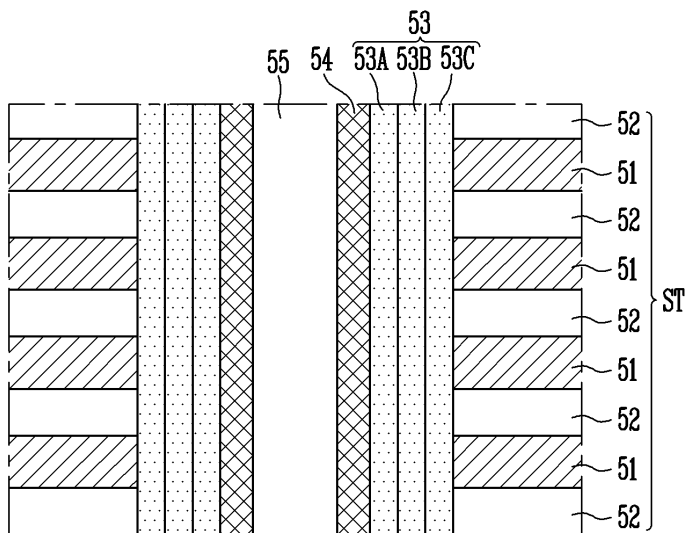
도면4b



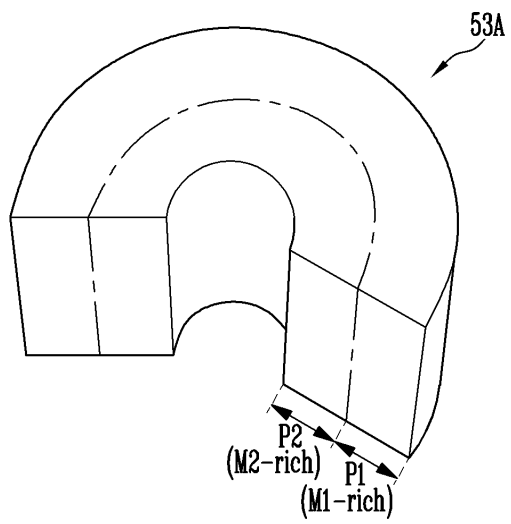
도면4c



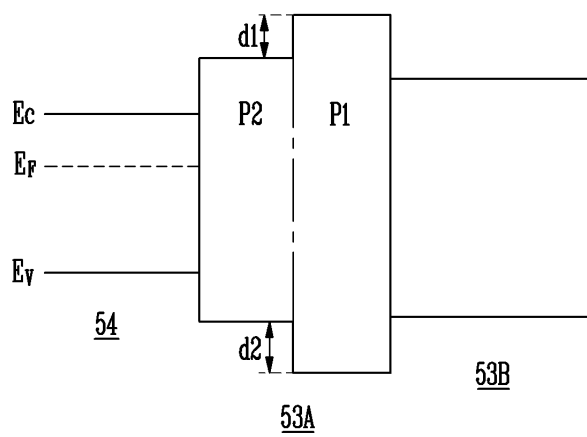
도면5a



도면5b

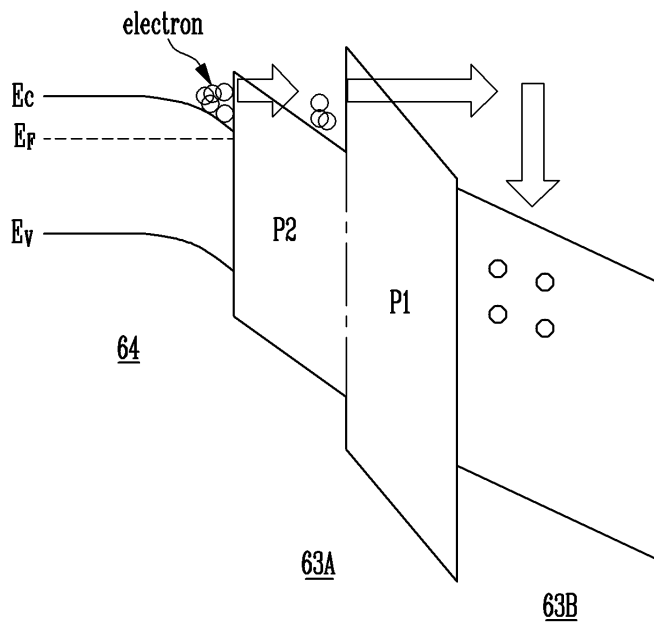


도면5c

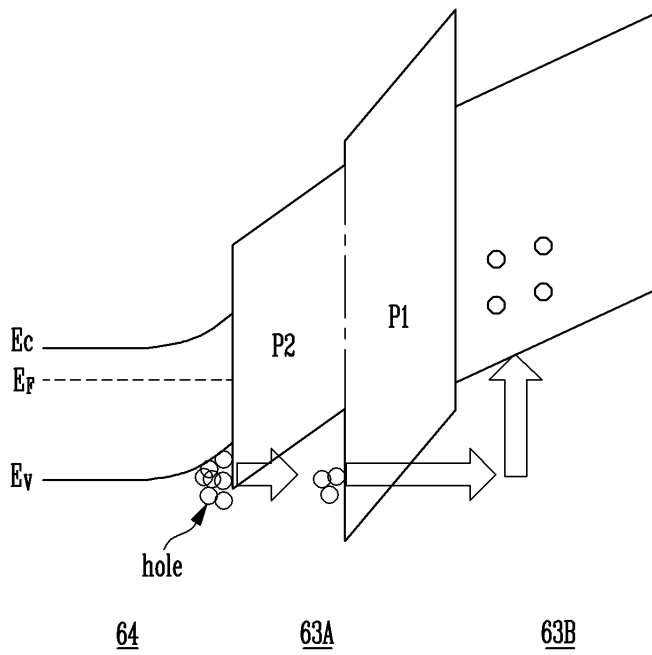




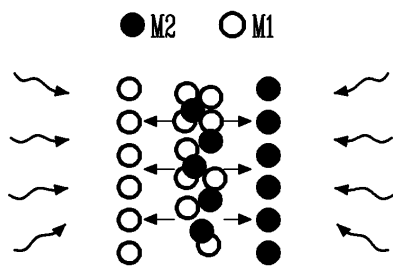
도면6a



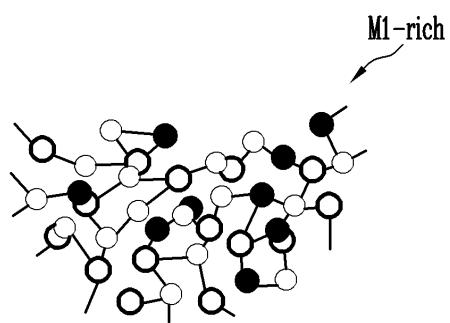
도면6b



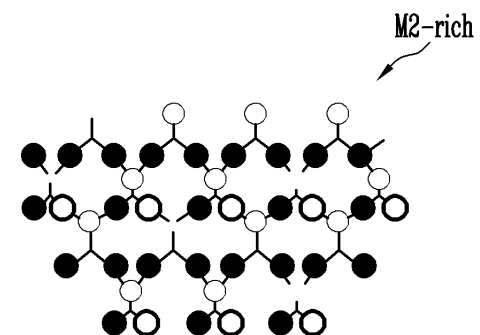
도면7a



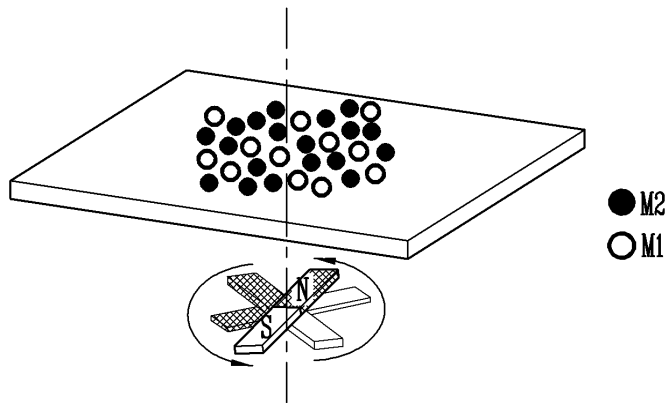
도면7b



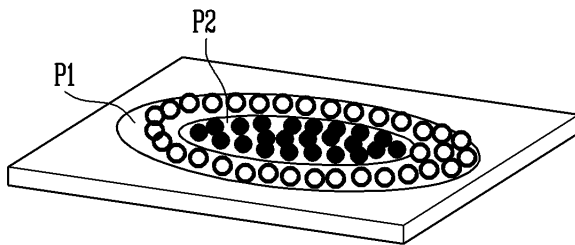
도면7c



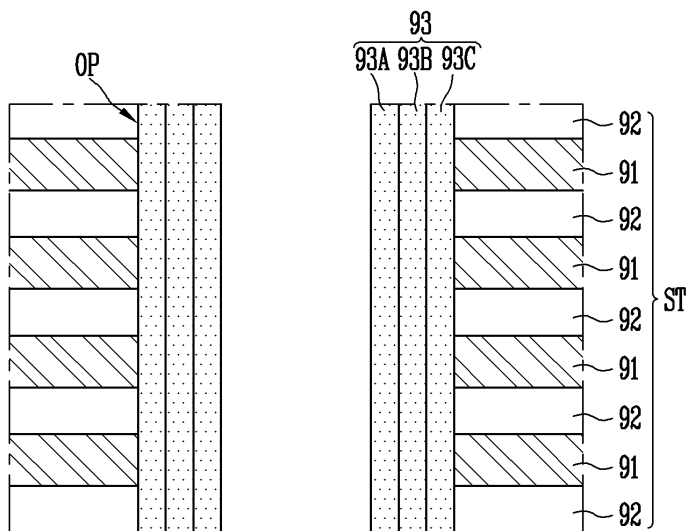
도면8a



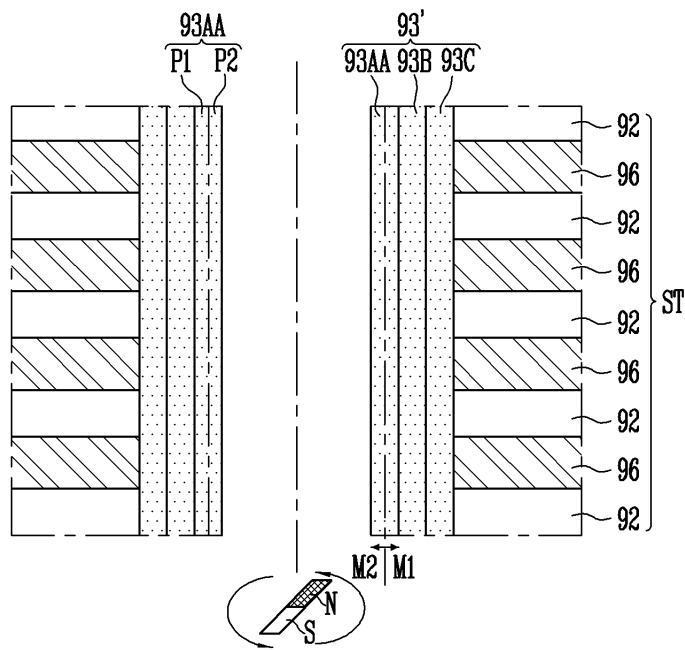
도면8b



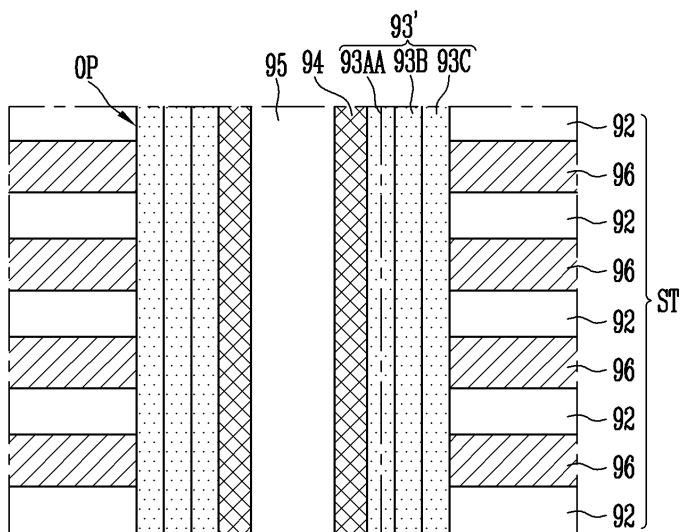
도면9a



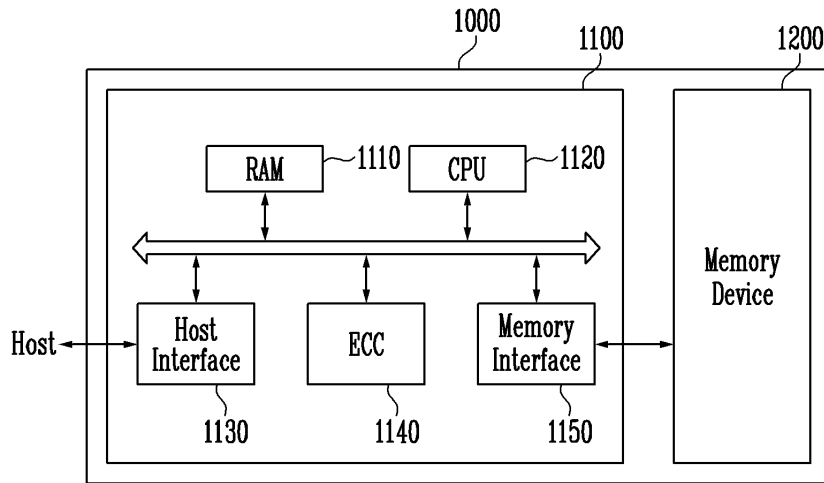
도면9b



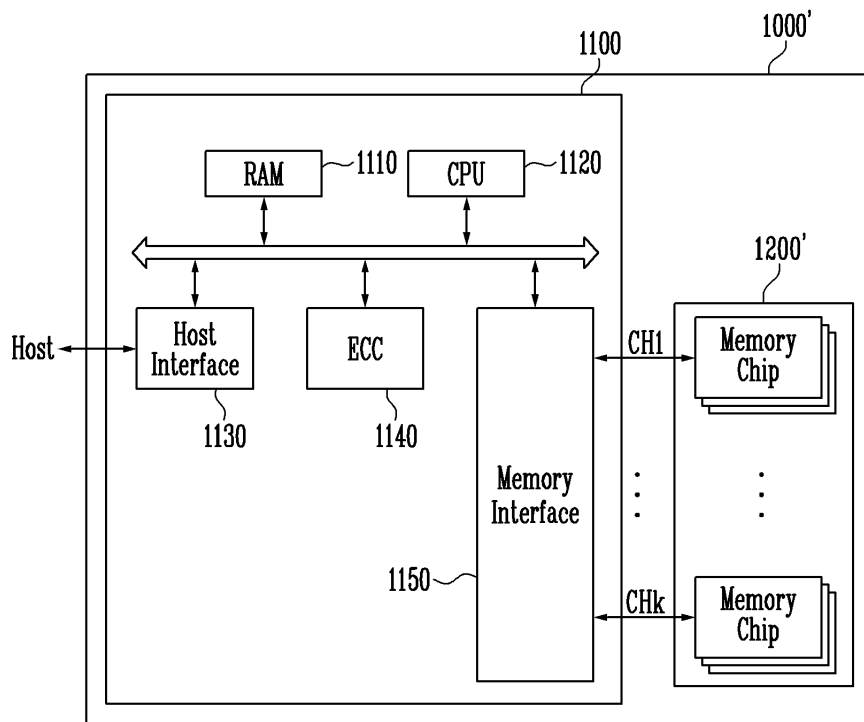
도면9c



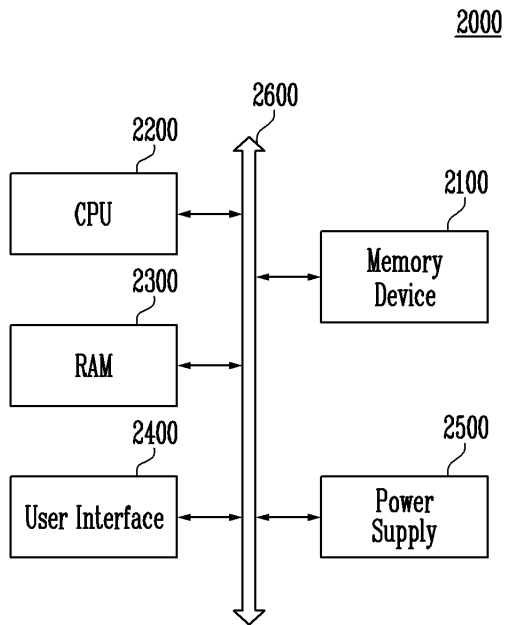
도면10



도면11



도면12



도면13

