

(45) 공고일자 2021년09월14일
(11) 등록번호 10-2302603
(24) 등록일자 2021년09월09일

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동, 연세대학교)

김태현
서울특별시 서대문구 연세로 50, 제3공학관 C206 (신촌동, 연세대학교)

송병규
서울특별시 서대문구 연세로 50, 제3공학관 C206 (신촌동, 연세대학교)

(74) 대리인
특허법인우인

심사관 : 신우열

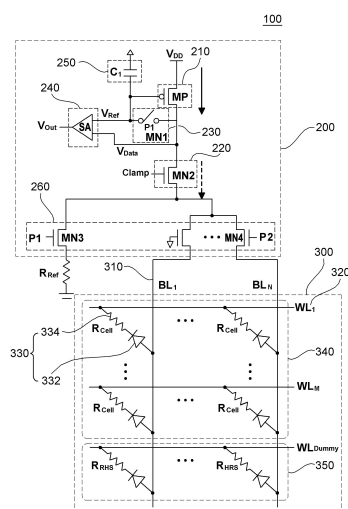
(54) 발명의 명칭 스니크 전류를 제거하기 위한 메모리 장치

(57) 요약

스니크 전류를 제거하기 위한 메모리 장치를 개시한다.

본 발명의 실시예에 따른 메모리 장치는, 복수의 워드 라인 및 복수의 비트 라인이 교차되며, 상기 워드 라인 및 상기 비트 라인의 교차점 각각에 배치되는 메모리 셀을 포함하는 메모리 셀 어레이; 및 상기 비트 라인의 전체 또는 일부에 비트라인 전류를 공급하고, 적어도 하나의 스위칭 제어를 통해 상기 비트라인 전류를 기반으로 스니크 전류(sneak current)를 제거하며, 상기 메모리 셀에 저장된 데이터를 감지 증폭하여 감지 증폭된 데이터를 출력하기 위한 감지 회로를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

G11C 13/0028 (2013.01)

H01L 27/2463 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711115932
과제번호	10080590
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술개발
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.01 ~ 2019.12.31

명세서

청구범위

청구항 1

복수의 워드 라인 및 복수의 비트 라인이 교차되며, 상기 워드 라인 및 상기 비트 라인의 교차점 각각에 배치되는 메모리 셀을 포함하는 메모리 셀 어레이; 및

상기 비트 라인의 전체 또는 일부에 비트라인 전류를 공급하고, 적어도 하나의 스위칭 제어를 통해 상기 비트라인 전류를 기반으로 스니크 전류(sneak current)를 제거하며, 상기 메모리 셀에 저장된 데이터를 감지 증폭하여 감지 증폭된 데이터를 출력하기 위한 감지 회로를 포함하되,

상기 메모리 셀 어레이는, 상기 스니크 전류를 샘플링하기 위하여 더미 워드라인에 연결된 적어도 하나의 더미 메모리 셀을 포함하며,

상기 감지 회로는, 제1 동작 제어신호 및 제2 동작 제어신호에 의해 동작하는 스위칭 제어를 통해 제1 단계 또는 제2 단계로 동작되되,

상기 감지 회로는, 상기 제1 동작 제어신호 및 상기 제2 동작 제어신호에 의해 복수의 스위치가 턴 온 상태로 제어되는 상기 제1 단계에서 상기 스니크 전류를 샘플링하기 위한 제1 비트라인 전류를 상기 더미 메모리 셀로 공급하며,

상기 제1 비트라인 전류는 기준전류, 스니크 전류 및 고저항 상태(HRS) 전류를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 감지 회로는,

상기 제2 단계에서 상기 스니크 전류를 제거하고, 메모리 셀에 저장된 데이터를 리드하기 위한 제2 비트라인 전류를 상기 더미 메모리 셀로 공급하는 것을 특징으로 하는 메모리 장치.

청구항 4

삭제

청구항 5

제3항에 있어서,

상기 감지 회로는,

상기 제1 동작 제어신호에 의해 일부 스위치가 턴 오프 상태 및 상기 제2 동작 제어신호에 의해 일부 스위치가 턴 온 상태로 제어되는 상기 제2 단계에서 상기 제2 비트라인 전류를 상기 메모리 셀 어레이로 공급하며,

상기 제2 비트라인 전류는 셀 전류 및 스니크 전류를 포함하며, 상기 스니크 전류는 상기 제1 단계에서 샘플링된 스니크 전류를 이용하여 제거되는 것을 특징으로 하는 메모리 장치.

청구항 6

제1항에 있어서,

상기 스위치는,

상기 제1 동작 제어신호 및 상기 제2 동작 제어신호에 의해 동작하는 적어도 하나의 트랜지스터(TR)인 것을 특징으로 하는 메모리 장치.

청구항 7

제1항에 있어서,

상기 감지 회로는,

전류 생성회로, 클램핑 회로, 제1 스위치 회로(MN1), 센스 앰프, 프리차지 커패시터 및 비트라인 선택회로를 포함하여 구성되며,

상기 감지 회로에서, 상기 전류 생성회로의 일측단과 상기 클램핑 회로의 타측단은 연결되고, 상기 전류 생성회로 및 상기 클램핑 회로 사이의 접점은 상기 센스 앰프와 연결되며, 상기 전류 생성회로 및 상기 클램핑 회로 사이의 접점과 상기 센스 앰프 사이에는 상기 제1 스위치 회로가 연결되는 것을 특징으로 하는 메모리 장치.

청구항 8

제7항에 있어서,

상기 감지 회로에서, 상기 센스 앰프와 상기 제1 스위치 회로 사이의 접점은 프리차지 커패시터(250)와 연결되고, 상기 프리차지 커패시터는 그라운드와 연결되며, 상기 센스 앰프와 상기 제1 스위치 회로 사이의 접점과 상기 프리차지 커패시터 사이의 접점은 상기 전류 생성회로와 연결되는 것을 특징으로 하는 메모리 장치.

청구항 9

제8항에 있어서,

상기 감지 회로에서, 상기 클램핑 회로는 상기 비트라인 선택회로와 연결되며, 상기 비트라인 선택회로는 제2 스위치 회로(MN3) 및 제3 스위치 회로(MN4)를 포함하는 것을 특징으로 하는 메모리 장치.

청구항 10

제9항에 있어서,

상기 제1 스위치 회로(MN1) 및 제2 스위치 회로(MN3)는,

제1 동작 제어신호에 의해 스위칭 동작이 제어되고, 상기 제3 스위치 회로(MN4)는 제2 동작 제어신호에 의해 스위칭 동작이 제어되는 것을 특징으로 하는 메모리 장치.

청구항 11

제10항에 있어서,

상기 감지 회로는,

상기 제1 동작 제어신호 및 상기 제2 동작 제어신호에 의해 상기 제1 스위치 회로(MN1), 상기 제2 스위치 회로(MN3) 및 상기 제3 스위치 회로(MN4)가 턴 온 상태로 제어되는 제1 단계에서 제1 비트라인 전류를 상기 메모리 셀 어레이로 공급하며,

상기 제1 동작 제어신호에 의해 상기 제1 스위치 회로(MN1) 및 상기 제2 스위치 회로(MN3)가 턴 오프 상태로 제어되고, 상기 제2 동작 제어신호에 의해 상기 제3 스위치 회로(MN4)가 턴 온 상태로 제어되는 제2 단계에서 제2 비트라인 전류를 상기 메모리 셀 어레이로 공급하는 것을 특징으로 하는 메모리 장치.

청구항 12

제11항에 있어서,

상기 감지 회로는,

상기 제1 단계 및 상기 제2 단계 사이에, 상기 제1 동작 제어신호 및 상기 제2 동작 제어신호에 의해 상기 제1 스위치 회로(MN1), 상기 제2 스위치 회로(MN3) 및 상기 제3 스위치 회로(MN4)가 턴 오프 상태로 제어되는 프리차지 단계를 포함하며, 상기 프리차지 단계에서 프리차지 동작을 수행하는 것을 특징으로 하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 스니크 전류를 샘플링하고, 샘플링된 스니크 전류를 상쇄하여 동작하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 발명의 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] DRAM은 빠른 처리 속도를 가지지만 데이터를 항구적으로 저장하지 못하는 휘발성 메모리이며, NAND 플래시 메모리는 비휘발성을 가지지만 처리 속도가 느린 단점이 있다. 저항 메모리(또는 '저항변화 메모리'라고도 한다)는 DRAM의 빠른 처리 속도와 NAND 플래시의 비휘발성을 함께 가지는 동시에, DRAM과 NAND 플래시의 모두를 넘어서는 높은 용량을 가질 수 있을 것이라 기대되는 새로운 구조의 메모리이다.

[0004] RRAM의 동작 원리는 소자가 고저항 상태 (high-resistance state) 또는 저저항 상태 (low-resistance state)의 상태를 가질 수 있게 함으로써, 저항값을 통해 데이터를 저장하는 방식이다.

[0005] RRAM은 기존 DRAM의 구조를 모방하여 1-트랜지스터 및 1-저항 (1T1R) 구조의 단위 메모리 셀(unit cell)을 가지는 RRAM에 비하여, 1-셀렉터 및 1-저항 (1S1R) 구조의 단위 메모리 셀을 가지는 크로스바 RRAM (Crossbar RRAM)이 그 용량을 획기적으로 증가시킬 수 있을 것이라 기대된다.

[0006] 하지만, 크로스바 RRAM의 경우 불완전한 스위치 특성으로 인하여 선택되지 않은 셀을 통해서 흐르는 전류를 완벽하게 제어할 수 없으며, 이에 따라 선택되지 않는 셀을 통해 흐르는 스니크 전류 (Sneak Current)의 문제를 가진다. 특히 이 스니크 전류는 메모리에 저장된 데이터 읽기(Read Operation)를 수행할 때 심각한 문제를 발생시킨다.

[0007] RRAM에 저장된 데이터를 읽기 위해서는 선택된 셀에 일정 전압을 인가한 뒤 선택된 셀을 통해 흐르는 전류를 감지하여 해당 셀의 저항값을 판별해내야 하는데, 선택된 셀에 흐르는 전류뿐만 아니라 선택되지 않는 셀을 통해 흐르는 전류(스니크 전류)가 합해져서 감지되기 때문에 정확한 데이터를 읽어낼 수 없게 된다.

[0008] 스니크 전류의 크기는 크로스바 RRAM의 용량에 비례하게 되는데, 데이터 읽기 오류를 막기 위해서는 용량을 줄여 스니크 전류를 줄여야 하기 때문에, 결국 스니크 전류는 큰 용량의 RRAM을 만드는 것을 어렵게 한다.

[0009] 크로스바 RRAM에 대한 통상의 읽기 방법은 하나의 비트 라인(bit line)과 하나의 워드 라인(word line)에만 전압(각각 '감지 전압'(VSS)과 '읽기 전압'(VR)이라 한다)을 인가하여 오직 하나의 셀을 선택하는 플로팅 읽기 방법(floating read scheme)을 사용한다.

[0010] 그런데, 상기한 스니크 전류에 의한 데이터 읽기 오류를 줄이기 위해, RRAM에 특화된 새로운 읽기 방법(read scheme)이 제안된 바 있다. 그 중 대표적인 것으로서, 상기한 플로팅 읽기 방법(floating read scheme)과는 다르게, 모든 선택되지 않은 비트 라인들과 워드 라인들에도 절반의 전압((VR-VSS)/2)을 인가하는 V/2 읽기 방법이 있다. 플로팅 읽기 방법에서 선택되지 않은 모든 셀들에서 흐르는 스니크 전류가 선택된 셀의 전류와 합해져 감지되는 것과 달리, V/2 읽기 방법에서는 오직 0(Zero)V가 인가된 비트 라인에 연결된 셀들에서 흐르는 전류만이 선택된 셀의 전류와 합해져 감지되게 된다. 따라서 원하지 않게 감지되는 스니크 전류의 양을 줄일 수 있는 장점을 가지나, 소모하는 전력이 플로팅 읽기 방법에 비해서 수십 배에서 수천 배까지 커지게 된다는 단점을 가진다.

[0011] 두 방법 모두에서, 선택된 비트 라인 및 워드 라인에 각각 감지 전압(VSS)과 읽기 전압(VR)을 인가하여, 감지 전압을 인가한 지점(읽기 지점)으로 흘러들어오는 전류를 감지하여 선택된 셀에 저장된 데이터를 읽게 된다.

[0012] V/2 읽기 방법의 경우, 감지 지점으로 흘러들어가는 스니크 전류를 줄이기 위하여 모든 선택되지 않은 비트 라인과 워드 라인에 VR/2을 인가하여, 오직 선택된 비트 라인에 연결된 셀들을 통해 흐르는 스니크 전류만 읽기 지점으로 흘러들어오게 한다. 비록 선택된 워드 라인에 연결된 나머지 셀들은 읽기 동작에 영향을 미치지 않지만, 정방향 바이어스가 인가되므로 많은 전류를 흘리게 되고, 결국 V/2 읽기 방법은 큰 전력을 소모하게 된다.

[0013] 반면에 플로팅 읽기 방법은 모든 선택되지 않은 비트 라인과 워드 라인에 전압을 인가하지 않고 플로팅 상태로

두어 선택되지 않은 모든 셀에 정방향 전류에 비해 크게 작은 역방향 전류만이 흐르게 하여 전력 소모를 크게 줄이는 방법이다. 그러나 선택되지 않은 모든 셀에서 흐르는 모든 역방향 전류가 읽기 지점에서 감지되게 되므로, 데이터 읽기 오류를 발생시킬 가능성이 커지게 된다.

발명의 내용

해결하려는 과제

[0014] 본 발명은 제1 단계의 스위칭 제어를 통해 더미 셀을 이용하여 스니크 전류를 샘플링하고, 제2 단계의 스위칭 제어를 통해 샘플링된 스니크 전류를 제거하여 메모리 셀에 저장된 데이터를 리드하는 스니크 전류를 제거하기 위한 메모리 장치를 제공하는 데 주된 목적이 있다.

과제의 해결 수단

[0015] 본 발명의 일 측면에 의하면, 상기 목적을 달성하기 위한 메모리 장치는, 복수의 워드 라인 및 복수의 비트 라인이 교차되며, 상기 워드 라인 및 상기 비트 라인의 교차점 각각에 배치되는 메모리 셀을 포함하는 메모리 셀 어레이; 및 상기 비트 라인의 전체 또는 일부에 비트라인 전류를 공급하고, 적어도 하나의 스위칭 제어를 통해 상기 비트라인 전류를 기반으로 스니크 전류(sneak current)를 제거하며, 상기 메모리 셀에 저장된 데이터를 감지 증폭하여 감지 증폭된 데이터를 출력하기 위한 감지 회로를 포함할 수 있다.

발명의 효과

[0016] 이상에서 설명한 바와 같이, 본 발명은 크로스 포인트 어레이 구조에서 스니크 전류로 스니크 전류로 인해 리드 동작에서 리드 실패(read fail)가 증가하는 문제를 해결할 수 있는 효과가 있다.

[0017] 또한, 본 발명은 메모리 장치의 감지 회로에서 오프셋 전압(offset voltage) 으로 인해 리드 실패(read fail)가 증가하는 문제를 해결할 수 있는 효과가 있다.

[0018] 또한, 본 발명은 전류 미러(current mirror)를 사용하지 않고 스니크 전류를 확인함으로써, 전류 미러의 임계전압 미스매치(Vth mismatch)에 의한 스니크 전류의 변화(sneak current variation) 없이 스니크 전류를 정확하게 확인할 수 있는 효과가 있다.

[0019] 또한, 본 발명은 기준 전류 및 리드 전류 생성 및 전달 경로를 동일한 트랜지스터를 사용하여 감지 회로를 구성함으로써, 기준 전류 및 리드 전류 경로에서 전압 변화로 인한 리드 실패(read fail) 확률을 현저히 줄일 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 메모리 장치를 나타낸 도면이다.

도 2는 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작 제어신호를 나타낸 도면이다.

도 3은 본 발명의 실시예에 따른 메모리 장치의 동작 단계를 나타낸 도면이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 크로스 포인트 어레이의 동작을 설명하기 위한 도면이다.

도 5는 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작을 설명하기 위한 도면이다.

도 6은 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작 단계를 나타낸 도면이다.

도 7은 본 발명의 다른 실시예에 따른 메모리 장치를 나타낸 도면이다.

도 8은 본 발명의 실시예에 따른 메모리 장치를 포함하는 시스템을 나타낸 예시도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 이하에서 본 발명의 바람직한 실시예를 설명할 것이나, 본 발명의 기술적 사상은 이에 한정하거나 제한되지 않고 당업자에 의해 변형되어 다양하게 실시될 수 있음은 물론이다. 이하에서는 도면들을 참조하여 본 발명에서 제안하는 스니크 전류를 제거하기 위한 메모리 장치에 대해 자세하게 설명하기로 한

다.

- [0022] 도 1은 본 발명의 실시예에 따른 메모리 장치를 나타낸 도면이다.
- [0023] 본 실시예에 따른 메모리 장치(100)는 감지 회로(200) 및 메모리 셀 어레이(300)을 포함한다. 메모리 장치(100)는 감지 회로(200) 및 메모리 셀 어레이(300)와 연동하는 전원부, 메모리 제어부 등이 추가로 포함하며, 이는 일반적인 메모리 장치의 동작과 유사하므로 그 기재를 생략하도록 한다. 도 1의 메모리 장치(100)는 일 실시예에 따른 것으로서, 도 1에 도시된 모든 블록이 필수 구성요소는 아니며, 다른 실시예에서 메모리 장치(100)에 포함된 일부 블록이 추가, 변경 또는 삭제될 수 있다.
- [0024] 감지 회로(200)는 메모리 셀 어레이(300)의 비트 라인의 전체 또는 일부에 비트라인 전류를 공급하고, 적어도 하나의 스위칭 제어부를 통해 비트라인 전류를 기반으로 스니크 전류(sneak current)를 제거하며, 메모리 셀(330)에 저장된 데이터를 감지 증폭하여 감지 증폭된 데이터를 출력하는 동작을 수행한다.
- [0025] 본 실시예에 따른 감지 회로(200)는 전류 생성회로(210), 클램핑 회로(220), 제1 스위치 회로(230), 센스 앰프(240), 프리차지 커패시터(250), 비트라인 선택회로(260)로 구성될 수 있다. 도 1의 감지 회로(200)는 일 실시예에 따른 것으로서, 도 1에 도시된 모든 구성요소가 필수 구성요소는 아니며, 다른 실시예에서 감지 회로(200)에 포함된 일부 구성요소가 추가, 변경 또는 삭제될 수 있다.
- [0026] 감지 회로(200)는 전류 생성회로(210)의 일측단과 클램핑 회로(220)의 타측단은 연결되며, 전류 생성회로(210) 및 클램핑 회로(220) 사이의 접점은 센스 앰프(240)와 연결된다. 여기서, 전류 생성회로(210) 및 클램핑 회로(220) 사이의 접점과 센스 앰프(240) 사이에는 제1 스위치 회로(230)가 연결될 수 있다. 여기서, 제1 스위치 회로(230)는 제1 동작 제어신호(P1)에 의해 스위칭 동작을 수행하는 트랜지스터(MN1)일 수 있다.
- [0027] 또한, 감지 회로(200)는 센스 앰프(240)와 제1 스위치 회로(230) 사이의 접점은 프리차지 커패시터(250)와 연결되고, 프리차지 커패시터(250)는 그라운드와 연결될 수 있다.
- [0028] 또한, 센스 앰프(240)와 제1 스위치 회로(230) 사이의 접점과 프리차지 커패시터(250) 사이의 접점은 전류 생성회로(210)와 연결될 수 있다.
- [0029] 또한, 클램핑 회로(220)는 비트라인 선택회로(260)와 연결된다. 여기서, 비트라인 선택회로(260)는 제2 스위치 회로(MN3) 및 제3 스위치 회로(MN4)를 포함할 수 있다. 여기서, 제2 스위치 회로(MN3)는 기준 저항(Rref)과 연결되며, 제1 동작 제어신호(P1)에 의해 스위칭 동작을 수행하는 트랜지스터(MN3)일 수 있다. 제3 스위치 회로(MN4)는 복수의 비트라인(BL1~BLN)과 연결되며, 제2 동작 제어신호(P2)에 의해 스위칭 동작을 수행하는 트랜지스터(MN4)일 수 있다. 도 1에서, 제3 스위치 회로(MN4)는 하나의 스위치 회로인 것으로 도시하고 있으나 반드시 이에 한정되는 것은 아니며, 복수의 비트라인(BL1~BLN) 개수와 동일한 개수의 스위치 회로로 구현될 수 있다.
- [0030] 한편, 감지 회로(200)에 포함된 비트라인 선택회로(260)는 감지 회로(200) 내에 포함된 구성요소인 것으로 기재하고 있으나 반드시 이에 한정되는 것은 아니며, 감지 회로(200) 및 메모리 셀 어레이(300) 사이에 위치하는 별도의 장치 비트라인 컬럼 선택 회로로 구현될 수 있다.
- [0031] 본 실시예에 따른 메모리 셀 어레이(300)는 복수의 비트라인(310), 복수의 워드라인(320), 메모리 셀(330) 및 더미 메모리 셀(350)을 포함한다.
- [0032] 메모리 셀 어레이(300)는 복수의 비트 라인(310) 및 복수의 워드 라인(320)이 교차되며, 비트 라인(310) 및 워드 라인(320)의 교차점 각각에 배치되는 메모리 셀(330)로 구성된다. 여기서, 메모리 셀(330)은 상 변화 메모리 셀을 의미하며, 액세스 소자(332) 및 저항 소자(334)를 포함할 수 있다. 액세스 소자(332) 및 저항 소자(334)는 하부 전극, 상변화 물질층 및 상부 전극으로 각각 구성될 수 있다. 여기서, 액세스 소자(332)를 구성하는 상변화 물질층과 저항 소자(334)를 구성하는 상변화 물질층의 종류는 서로 상이할 수 있다.
- [0033] 복수의 비트라인(310) 및 복수의 워드라인(320)이 교차하는 교차점에는 메모리 셀(330)이 위치하고, 복수의 비트라인(310) 및 더미 워드라인(WL_{Dummy})이 교차하는 교차점에는 더미 메모리 셀(350)이 위치한다.
- [0034] 이하, 감지 회로(200) 및 메모리 셀 어레이(300)의 동작을 설명하도록 한다.
- [0035] 감지 회로(200)는 비트라인을 통해 크로스 포인트 어레이(300)에 센싱 전류를 공급한다.
- [0036] 감지 회로(200)는 리드 동작 시, 크로스 포인트 어레이(300)에 센싱 전류를 공급하여 메모리 셀(330)에 저장된 데이터를 리드한다. 감지 회로(200)는 I_{read} 를 I_{ref} 와 비교하여, 메모리 셀(330)의 상태(cell state)를 판정할 수

있다. 여기서, 감지 회로(200)는 두 개의 단계로 동작할 수 있다.

[0037] 제1 단계는 스니크 전류를 샘플링하는 동작을 수행하고, 제2 단계는 스니크 전류를 제거하고, 데이터를 리드하는 동작을 수행한다.

[0038] 제1 단계는 제1 동작 제어신호를 통해 제1 스위치 회로(MN1) 및 제2 스위치 회로(MN3)를 턴 온 시키고, 제2 동작 제어신호를 통해 제3 스위치 회로(MN4)를 턴 온 시킨 상태에서 크로스 포인트 어레이(300)의 선택된 비트라인에 비트 라인 전류(I_{BL})를 공급하고, 동시에 기준 저항(R_{ref})에 흐르는 기준 전류(I_{ref})를 함께 공급한다. 여기서, 선택된 비트라인은 제2 동작 제어신호의 제어에 의해 선택된 소정의 비트라인을 의미하고, 비선택된 비트라인은 제2 동작 제어신호의 제어에 의해 선택되지 않은 소정의 비트라인을 의미한다. 예를 들어, 도 1에서 제N 번째 비트라인이 선택된 경우, 선택된 비트라인은 BLN일 수 있으며, 제1 번째 비트라인이 선택되지 않은 경우, 비선택된 비트라인은 BL1일 수 있다.

[0039] 제1 단계에서 더미 메모리 셀(350)의 워드라인은 선택되고, 선택된 더미 메모리 셀(350)의 선택된 비트라인에 비트 라인 전류(I_{BL})를 공급된다. 제1 단계에서 셀 어레이(340)의 워드라인은 선택되지 않고, 플로팅(Floating) 상태가 된다.

[0040] 제1 단계에서는 더미 메모리 셀(350)을 제외한 플로팅(Floating) 상태의 셀 어레이(340)로 흐르는 스니크 전류를 샘플링하여 저장한다.

수학적 식 1

$$\begin{aligned} I_{HRS} + I_{sneak} &= I_{HRS} + M * I_{S_Cell} \\ &= I_{HRS} + (N-1) * I_{S_HRS} \end{aligned}$$

[0041]

[0042] (I_{HRS} : 선택된 비트라인의 더미 메모리 셀(350)에 흐르는 고저항 상태 전류, I_{sneak} : 스니크 전류, I_{S_Cell} : 플로팅 상태의 선택된 비트라인의 메모리 셀(330)에 흐르는 전류, I_{S_HRS} : 비선택된 비트라인의 더미 메모리 셀(350)에 흐르는 고저항 상태 전류, M: 워드라인 개수, N: 비트라인 개수)

[0043] 제2 단계는 제1 동작 제어신호를 통해 제1 스위치 회로(MN1) 및 제2 스위치 회로(MN3)를 턴 오프 시키고, 제2 동작 제어신호를 통해 제3 스위치 회로(MN4)를 턴 온 시킨 상태에서 크로스 포인트 어레이(300)의 제 1단계에서 선택된 동일한 비트라인에 비트 라인 전류(I_{BL})를 공급한다.

[0044] 제2 단계에서, 선택된 비트라인은 선택된 셀을 리드하기 위하여 선택된 비트라인으로 비트 라인 전류(I_{BL})를 공급한다. 제2 단계에서, 감지 회로(200)는 선택된 워드라인 및 플로팅 상태의 선택되지 않은 워드라인으로 흐르는 비트 라인 전류(I_{BL})를 리드하여 센싱한다. 여기서, 센싱하고자 하는 목표는 I_{cell} 이므로, 스니크 전류(I_{sneak})가 포함된 제 2단계의 비트 라인 전류(I_{BL})에서 제1 단계에서 샘플링한 스니크 전류(I_{sneak})를 빼주면 I_{cell} 만을 기준전류(I_{ref})와 비교하여 센싱이 가능하다.

[0045] 감지 회로(200)는 프리차지 커패시터(250)에 저장된 기준전압(V_{ref})로 인해 메모리 셀(330)의 상태를 판단할 수 있다. 예를 들어, $V_{data} < V_{ref}$ 이면 저저항 상태(LRS)로 판단하고, $V_{data} > V_{ref}$ 이면 고저항 상태(HRS)인 것으로 판단할 수 있다.

[0046] 도 2는 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작 제어신호를 나타낸 도면이다.

[0047] 도 2의 P1 그래프는 제1 스위치 회로(MN1) 및 제2 스위치 회로(MN3)의 동작을 제어하기 위한 제1 동작 제어신호를 나타내고, 도 2의 P2 그래프는 제3 스위치 회로(MN4)의 동작을 제어하기 위한 제2 동작 제어신호를 나타낸다.

[0048] ① 구간은 스니크 전류를 샘플링하는 동작을 수행하는 구간을 의미하고, ② 구간/④ 구간은 프리차지 동작을 수행하는 구간을 의미한다. ③ 구간은 스니크 전류를 제거하고, 선택된 셀에 대한 리드 동작을 수행하는 구간을 의미한다.

- [0049] 도 2에서, ① 구간은 감지 회로(200)의 제1 단계와 대응되며, ③ 구간은 감지 회로(200)의 제2 단계와 대응된다.
- [0050] 도 3은 본 발명의 실시예에 따른 메모리 장치의 동작 단계를 나타낸 도면이다.
- [0051] 본 실시예에 따른 메모리 장치(100)는 감지 회로(200)에서 I_{read} 를 I_{ref} 와 비교하여, 메모리 셀의 상태를 판정한다.
- [0052] - $I_{ref} = (I_{HRS} + I_{LRS})/2$, $I_{read} = I_{HRS}$ or I_{LRS} ($I_{sneak} = 0$ 인 경우)
- [0053] - 종래의 기술에서는 리드 실패 문제는 HRS일 때 발생하게 됨.
- [0054] 종래에는 $I_{ref} > I_{read} = I_{HRS}$ 면, 제대로 state 인식하나, I_{sneak} 로 인해, 리드 실패(read fail)가 발생하게 된다.
- [0055] 도 3의 (a)를 참고하면, 감지 회로(200)에서 I_{ref} 에 I_{sneak} 를 보상(compensation)해주면, 어레이 내 랜덤한 상태의 비선택된 메모리 셀(330)들의 스니크 전류를 샘플링할 수 있다.
- [0056] 일반적으로, I_{HRS} 의 변화(variation)가 발생하게 되는데, 이러한 I_{HRS} 의 변화는 감지 회로(200)의 오프셋 전압(offset voltage)에 의해 발생하게 된다.
- [0057] 도 3의 (b)를 참고하면, 본 실시예에 따른 감지 회로(200)는 오프셋 전압을 상쇄하여 I_{HRS} 의 변화를 최소화하여 리드 실패 확률을 최소화할 수 있다.
- [0058] 도 4a 및 도 4b는 본 발명의 실시예에 따른 크로스 포인트 어레이의 동작을 설명하기 위한 도면이다.
- [0059] 도 4a는 $M \times N$ (WL \times BL)의 메모리 셀 어레이(300)를 나타낸다.
- [0060] 도 4a의 (a)에서, 메모리 장치(100)의 감지 회로(200)는 더미 워드라인 외에 플로팅 상태의 비선택된 워드라인으로 흘러 나가는 I_{sneak} 를 샘플링하여 저장한다.
- [0061] 도 4a의 (b)에서, 메모리 장치(100)의 감지 회로(200)는 선택된 워드라인 및 플로팅 상태의 비선택된 워드라인으로 흘러 나가는 I_{BL} 을 리드하여 센싱을 수행한다.
- [0062] 감지 회로(200)에서 센싱하고자 하는 목표는 I_{cell} 이므로, I_{BL} 에서 샘플링된 I_{sneak} 를 빼주면 I_{cell} 만 센싱이 가능하다.
- [0063] 도 4b는 메모리 셀 어레이(300)에서 I_{cell} 과 I_{sneak} 가 흐르는 경로를 나타낸 도면이다.
- [0064] 도 5는 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작을 설명하기 위한 도면이다.
- [0065] 도 5의 (a)는 종래의 감지 회로를 나타내며, 종래의 감지 회로는 I_{ref} 경로와 I_{read} 경로의 트랜지스터(TR)가 동일하지 않으며, 이에 따른 임계값 변화(V_{th} variation)로 인해 리드 실패가 발생하게 된다.
- [0066] 도 5의 (b)는 본 발명의 감지 회로(200)를 나타내며, 본 발명에 따른 감지 회로(200)는 I_{ref} 경로와 I_{read} 경로의 트랜지스터(TR)가 동일하며, 이로 인해 임계값 변화(V_{th} variation)로 인해 발생하는 리드 실패가 최소화된다.
- [0067] 도 6은 본 발명의 실시예에 따른 오프셋 상쇄 감지 회로의 동작 단계를 나타낸 도면이다.
- [0068] 도 6의 (a)는 감지 회로(200)의 제1 단계의 동작을 나타내고, 도 6의 (b)는 감지 회로(200)의 제2 단계의 동작을 나타낸다.
- [0069] 도 6의 (a)를 참고하면, 감지 회로(200)는 제1 단계에서 제1 동작 제어신호에 의해 두 개의 스위치(제1 스위치 회로 및 제2 스위치 회로)가 모두 ON 상태로 제어된다. 감지 회로(200)의 스위칭 제어를 통해, 메모리 셀 어레이(300)에서는 더미 워드라인이 ON 상태가 된다.
- [0070] 도 6의 (b)를 참고하면, 감지 회로(200)는 제2 단계에서 제1 동작 제어신호에 의해 두 개의 스위치(제1 스위치 회로 및 제2 스위치 회로)가 모두 OFF 상태로 제어된다. 이 때, 감지 회로(200)의 프리차지 커패시터(250)에 저장된 기준전압(V_{ref})로 인해 제1 단계의 전류(제1 비트라인 전류) 및 제2 단계의 전류(제2 비트라인 전류)의 비

교를 통해 V_{data} 이 결정될 수 있다.

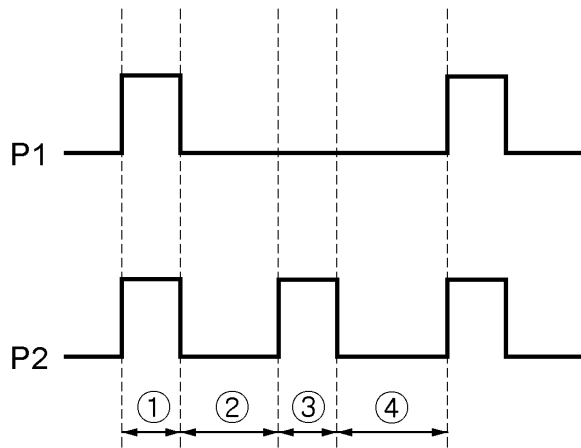
- [0071] 도 7은 본 발명의 다른 실시예에 따른 메모리 장치를 나타낸 도면이다.
- [0072] 도 7은 본 명세서에 설명된 원리의 일례에 따라, 크로스바 어레이(720)에서 출력 신호를 감지하는 메모리 장치(100)의 회로도이다. 크로스바 어레이(720)는 다수의 제 1 라인(722), 다수의 제 2 라인(724), 메모리스터와 같은 다수의 메모리 요소(728) 및 메모리 요소(728)와 직렬로 연결되는 비선형 선택기와 같은 다수의 선택기(726)를 포함할 수 있다.
- [0073] 메모리 장치(100)는 또한 제 1 라인 선택기(740)를 포함할 수 있다. 제 1 라인 선택기(740)는 제 1 전압원(750)에 상이한 제 1 라인(722)을 선택적으로 결합하여 다수의 전압을 제 1 라인(722)으로 전달한다. 제 1 라인 선택기(740)는 제 1 전압원(750)과 상이한 제 1 라인(722)의 선택적인 결합을 수행하기 위한 디코더 및 구동기 회로를 포함할 수 있다. 제 1 전압원(750)이 공급할 수 있는 전압의 예는 타깃 메모리 요소(728)와 관련된 타깃 제 1 라인(722)에 인가된 선택 전압의 일부를 포함한다. 타깃 메모리 요소(728)와 관련된 타깃 제 1 라인(도 2, 722)에 인가되는 선택 전압의 일부는 전체 선택 전압일 수 있다. 제 1 전압원(750)은 또한 타깃 메모리 요소(728)에 대응하지 않는 제 1 라인(722)에 비선택 전압의 일부를 전달할 수 있다. 제 1 전압원(750)은 제 1 전압원(750)에 어떤 전압 값을 어떤 제 1 라인(722)에 공급할지를 나타내는 메모리 제어기(730)에 결합될 수 있다.
- [0074] 메모리 장치(100)는 또한 제 2 라인 선택기(430)를 포함할 수 있다. 제 2 라인 선택기(430)는 제 2 전압원(752)에 상이한 제 2 라인(724)을 선택적으로 결합하여 다수의 전압을 제 2 라인(724)으로 전달한다. 제 2 라인 선택기(430)는 제 2 전압원(752)과 상이한 제 2 라인(724)의 선택적인 결합을 수행하기 위한 디코더 및 구동기 회로를 포함할 수 있다. 제 2 전압원(752)이 공급할 수 있는 전압의 예는 타깃 메모리 요소(728)와 관련된 타깃 제 2 라인(724)에 인가된 선택 전압의 일부를 포함한다. 일부 예에서, 타깃 메모리 요소(728)와 관련된 타깃 제 2 라인(724)은, 예를 들어 선택 전압의 전체 부분이 타깃 메모리 요소(728)와 관련된 제 1 타깃 라인(722)에 의해 인가될 때 접지될 수 있다. 제 2 전압원(752)은 또한 타깃 메모리 요소(728)에 대응하지 않는 제 2 라인(724)에 비선택 전압의 일부를 전달할 수 있다. 제 2 전압원(752)은 제 2 라인(724)에 어떤 전압 값을 어떤 제 2 라인(724)에 공급할지를 나타내는 메모리 제어기(730)에 결합될 수 있다.
- [0075] 메모리 장치(100)는 또한 크로스바 어레이(720)로부터의 출력 전류를 감지하는 감지 회로(710)를 포함한다. 특히, 출력 전류는 크로스바 어레이(720)의 제 2 라인(724)을 따라 수집된다. 따라서, 감지 회로(710)는 출력 전류를 수신하기 위해 제 2 라인(724)에 결합될 수 있다. 감지 회로(710)는 감지 회로(710)의 나머지를 크로스바 어레이(720)에 선택적으로 결합하는 스위치를 포함할 수 있다. 예를 들어, 감지 기간에 있을 때, 감지 회로(710)가 타깃 출력과 같은 검출된 전류를 수집하여 출력하도록 스위치가 폐쇄될 수 있다. 그에 비해, 감지 기간을 벗어나면, 감지 회로(710)가 스니크 전류와 같은 전류를 수집 및 출력하지 않도록 스위치가 개방될 수 있다.
- [0076] 감지 회로(710) 및 보다 구체적으로 스위치는 스위치가 개방되고 폐쇄되어야 할 때를 나타내는 실행가능 인스트럭션을 수신하는 메모리 제어기(730)에 의해 제어될 수 있다. 스위치는 스니크 전류의 수신이 통과되지 않고 타깃 출력의 검출을 혼란스럽게 하지 않도록 감지 회로(710)가 디스에이블되게 한다.
- [0077] 도 8은 본 발명의 실시예에 따른 메모리 장치를 포함하는 시스템을 나타낸 예시도이다.
- [0078] 도 8은 본 발명의 일 실시예에 따른 하나 이상의 프로세서(810) 중 적어도 하나에 결합된 시스템 제어 로직(820), 시스템 제어 로직(820)에 결합된 반도체 메모리 장치(100), 및 시스템 제어 로직(820)에 결합된 하나 이상의 통신 인터페이스(830)를 포함하는 예시의 시스템(800)을 예시한다.
- [0079] 통신 인터페이스(830)는 하나 이상의 네트워크를 통해, 및/또는 임의의 그 외의 적합한 디바이스들과 통신하기 위한, 시스템(800)을 위한 인터페이스를 제공할 수 있다. 통신 인터페이스(830)는 임의의 적합한 하드웨어 및/또는 펌웨어를 포함할 수 있다. 일 실시예에 대한 통신 인터페이스(830)는, 예를 들어, 네트워크 어댑터, 무선 네트워크 어댑터, 전화 모뎀, 및/또는 무선 모뎀을 포함할 수 있다. 무선 통신을 위해, 일 실시예에 대한 통신 인터페이스(830)는 하나 이상의 안테나를 사용할 수 있다.
- [0080] 일 실시예에 따른 프로세서(810) 중 적어도 하나가 시스템 제어 로직(820)의 하나 이상의 컨트롤러를 위한 로직과 함께 패키징될 수 있다. 일 실시예에 대해, 프로세서(810) 중 적어도 하나가 시스템 제어 로직(820)의 하나 이상의 컨트롤러를 위한 로직과 함께 패키징되어 SiP(System in Package)를 형성할 수 있다.
- [0081] 일 실시예에 대해, 프로세서(810) 중 적어도 하나가 시스템 제어 로직(820)의 하나 이상의 컨트롤러(들)를 위한 로직과 함께 동일한 다이 상에 집적될 수 있다.

- [0082] 일 실시예에 대해, 프로세서(810) 중 적어도 하나가 시스템 제어 로직(820)의 하나 이상의 컨트롤러를 위한 로직과 함께 동일한 다이 상에 집적되어 SoC(System on Chip)를 형성할 수 있다.
- [0083] 일 실시예에 대한 시스템 제어 로직(820)은 임의의 적합한 인터페이스를 프로세서(810) 중 적어도 하나 및/또는 시스템 제어 로직(820)과 통신하는 임의의 적합한 디바이스 또는 컴포넌트에 제공하기 위한 임의의 적합한 인터페이스 컨트롤러들을 포함할 수 있다.
- [0084] 일 실시예에 대한 시스템 제어 로직(820)은 셋(set), 리셋(reset) 및 리드 동작들과 같은, 그러나 이에 한정되지 않는, 다양한 액세스 동작들을 제어하기 위한 인터페이스를 반도체 메모리 장치(100)에 제공하기 위한 저장 컨트롤러(822)를 포함할 수 있다. 저장 컨트롤러(822)는 반도체 메모리 장치(100)를 제어하도록 특별히 구성된 제어 로직(824)을 포함할 수 있다. 제어 로직(410)은 드라이버들, 레벨 쉬프터들, 글로벌 셀렉터를 등을 제어하기 위한 다양한 선택 신호들을 더 생성할 수 있다. 다양한 실시예들에서, 제어 로직(824)은, 프로세서(들)(810) 중 적어도 하나에 의해 실행되는 경우 저장 컨트롤러로 하여금 전술한 동작들을 수행하게 하는, 비 일시적 컴퓨터 판독 가능 매체에 저장된 명령어들일 수 있다.
- [0085] 다양한 실시예들에서, 시스템(800)은 데스크톱 컴퓨팅 디바이스, 랩톱 컴퓨팅 디바이스, 모바일 컴퓨팅 디바이스(예를 들어, 스마트폰, 태블릿 등)일 수 있다. 시스템(800)은 더 많거나 또는 더 적은 컴포넌트들, 및/또는 상이한 아키텍처들을 가질 수 있다.
- [0086] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예에 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

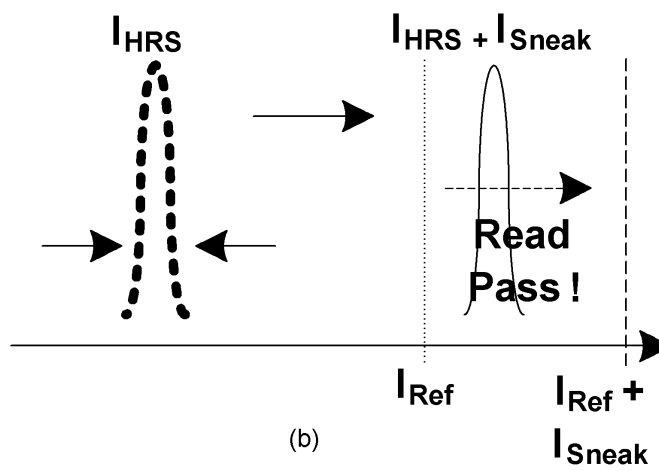
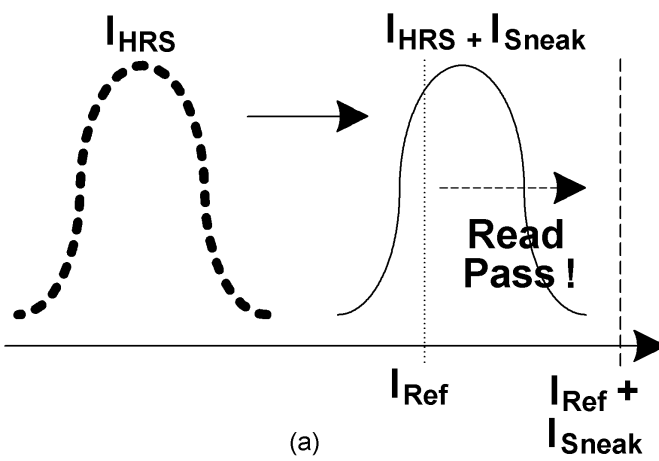
부호의 설명

- | | | |
|--------|----------------|----------------|
| [0087] | 100: 메모리 장치 | 200: 감지 회로 |
| | 300: 메모리 셀 어레이 | |
| | 210: 전류 생성회로 | 220: 클램핑 회로 |
| | 230: 제1 스위치 회로 | 240: 센스 앰프 |
| | 250: 프리차지 커패시터 | 260: 비트라인 선택회로 |
| | 310: 비트라인 | 320: 워드라인 |
| | 330: 메모리 셀 | 350: 더미 메모리 셀 |

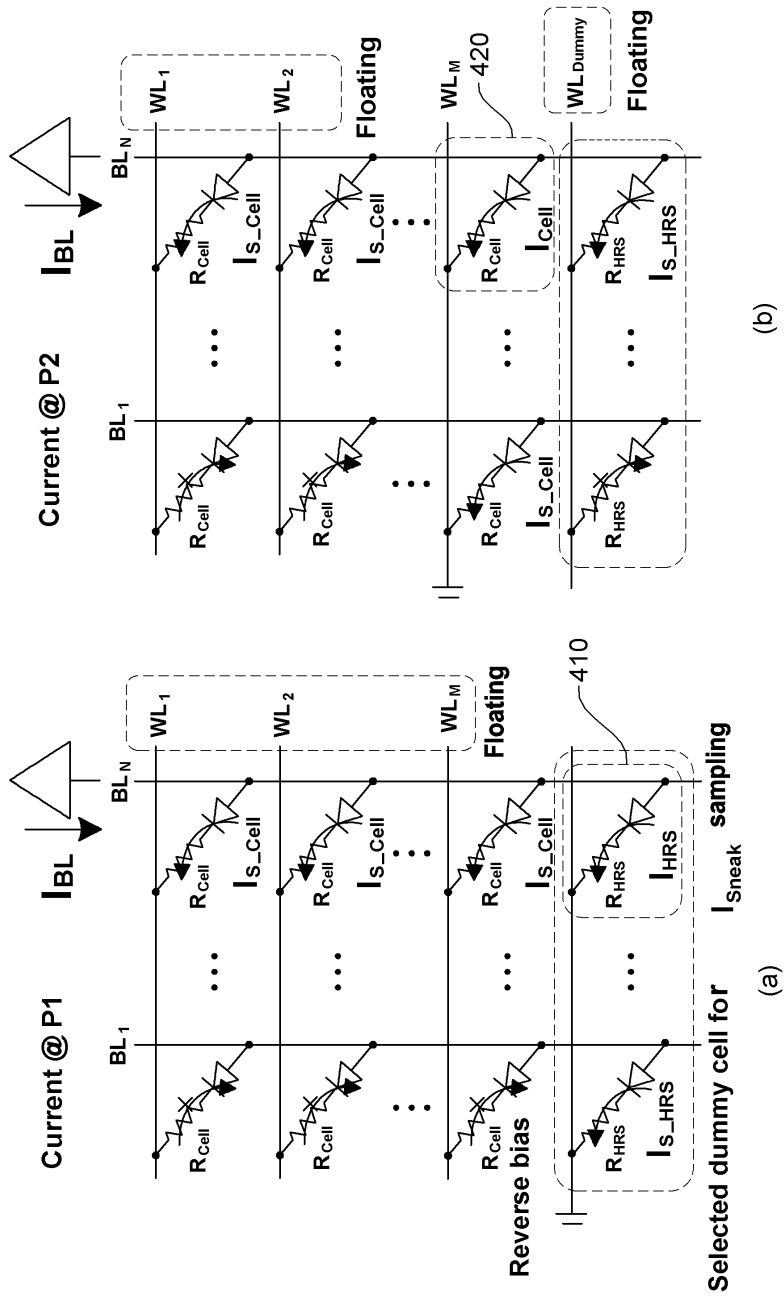
도면2



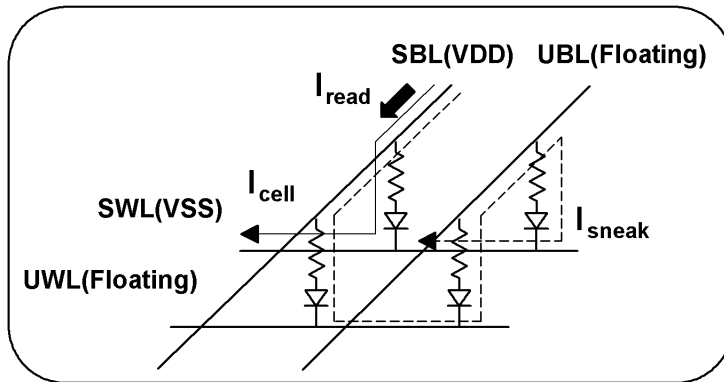
도면3



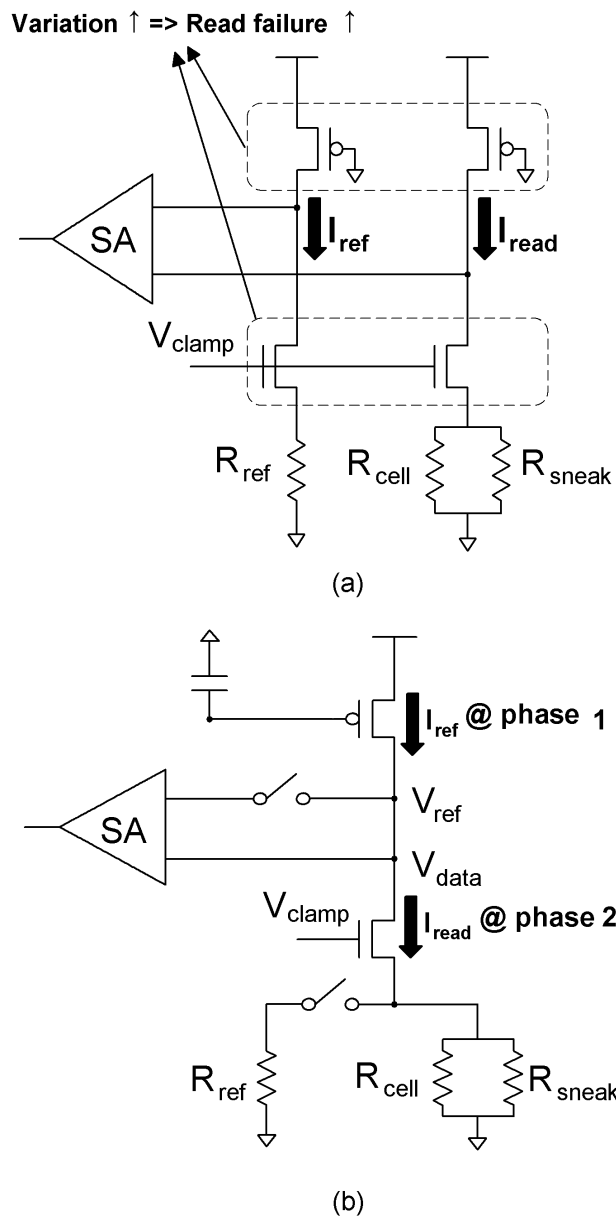
도면4a



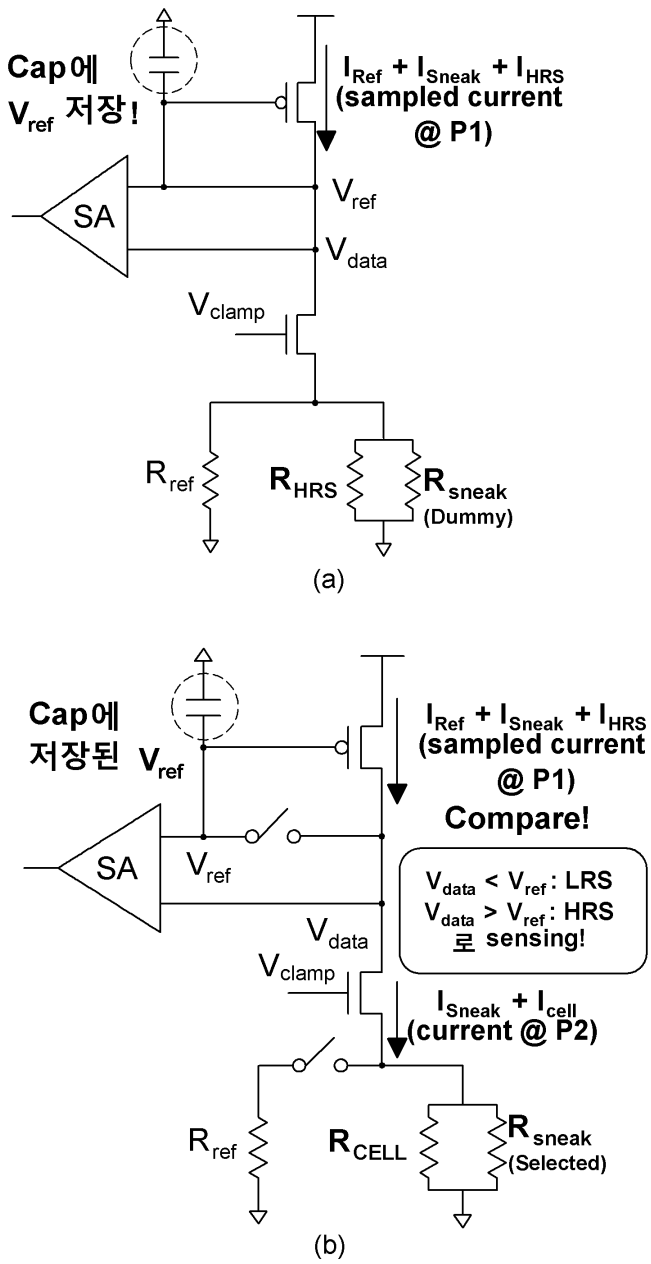
도면4b



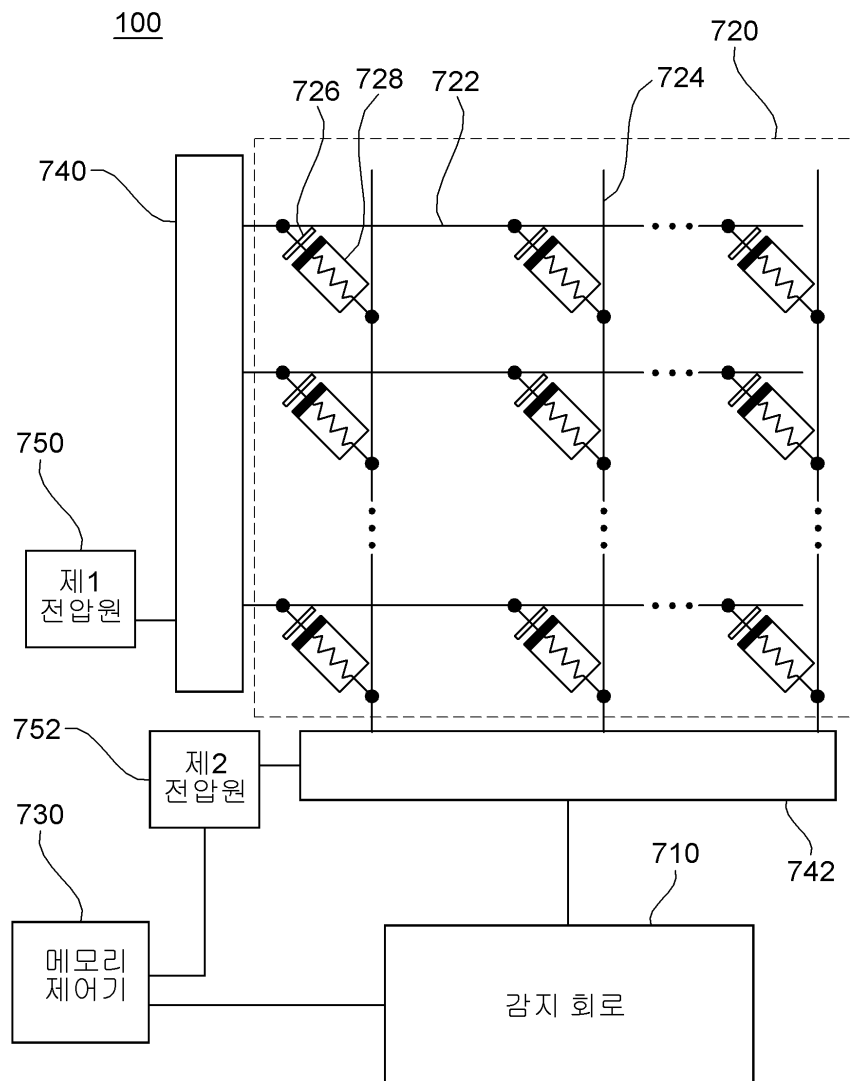
도면5



도면6



도면7



도면8

