



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월18일
(11) 등록번호 10-2254158
(24) 등록일자 2021년05월13일

(51) 국제특허분류(Int. Cl.)
G11C 7/06 (2021.01) G11C 16/26 (2006.01)
G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 7/065 (2013.01)
G11C 16/26 (2013.01)
(21) 출원번호 10-2019-0177636
(22) 출원일자 2019년12월30일
심사청구일자 2019년12월30일
(56) 선행기술조사문헌
KR1020110054773 A*
(뒷면에 계속)

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
윤홍일
서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)
이성민
충청북도 청주시 서원구 안뎡로47번길 40
이충근
서울특별시 서대문구 연희로10가길 27(연희동)
(74) 대리인
특허법인우인

전체 청구항 수 : 총 10 항

심사관 : 박소정

(54) 발명의 명칭 레퍼런스 셀을 이용한 센스 앰프 장치 및 플래시 메모리

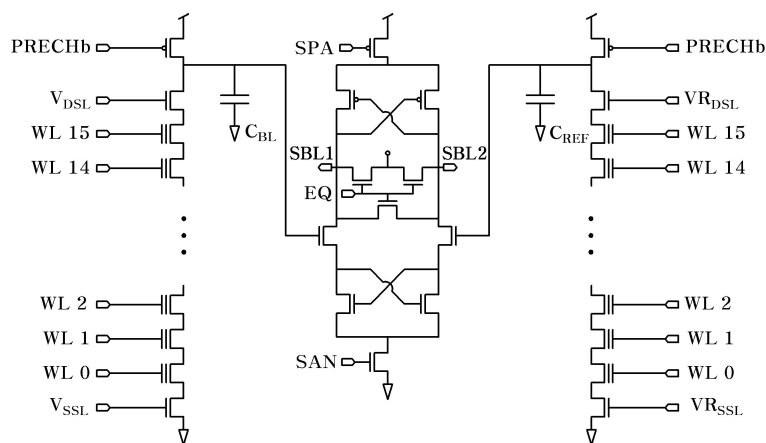
(57) 요약

레퍼런스 셀을 이용한 센스 앰프 장치 및 그 동작 방법을 개시한다.

본 발명의 실시예에 따른 센스 앰프 장치는, 서로 상보적 관계를 가지는 비트 라인 및 레퍼런스 라인을 포함하는 비트 라인 쌍; 상기 비트 라인 및 상기 레퍼런스 라인 각각에 연결되고, 프리차지 제어신호(PRECHb)에 근거하여 전원 전압(VDD)을 상기 비트 라인 쌍 각각으로 인가하는 프리차지 회로부; 데이터가 저장된 데이터 셀 어레이와 연결되며, 상기 비트 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 데이터 셀 스트링; 레퍼런스 셀의 전류 값을 생성하며, 상기 레퍼런스 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 레퍼런스 셀 스트링; 및 상기 비트 라인 쌍 사이에 위치하며, 상기 비트 라인 및 상기 레퍼런스 라인 각각의 전위를 인가 받고, 상기 전위의 전위차를 증폭하여 읽기 동작을 수행하는 센스 앰프 구동부를 포함할 수 있다.

대표도 - 도1

100



(52) CPC특허분류
G11C 7/12 (2013.01)

(56) 선행기술조사문헌
 US20070147112 A1*
 KR1020120122641 A
 KR1020160091746 A
 US20070121376 A1
 US20080143390 A1
 *는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	10080722
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발사업(반도체공정장비)
연구과제명	클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2017.10.01 ~ 2021.12.31
공지예외적용	: 있음

명세서

청구범위

청구항 1

서로 상보적 관계를 가지는 비트 라인 및 레퍼런스 라인을 포함하는 비트 라인 쌍;

상기 비트 라인 및 상기 레퍼런스 라인 각각에 연결되고, 프리차지 제어신호(PRECHb)에 근거하여 전원 전압(VDD)을 상기 비트 라인 쌍 각각으로 인가하는 프리차지 회로부;

데이터가 저장된 데이터 셀 어레이와 연결되며, 상기 비트 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 데이터 셀 스트링;

레퍼런스 셀의 전류 값을 생성하며, 상기 레퍼런스 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 레퍼런스 셀 스트링; 및

상기 비트 라인 쌍 사이에 위치하며, 상기 비트 라인 및 상기 레퍼런스 라인 각각의 전위를 인가 받고, 상기 전위의 전위차를 증폭하여 읽기 동작을 수행하는 센스 앰프 구동부를 포함하되,

상기 센스 앰프 구동부는, EQ 신호에 의해 제어되며, 상기 EQ 신호에 의해 출력 노드(SBL1, SBL2)의 전압을 동기화하는 동기화 회로부; 상기 비트 라인과 상기 레퍼런스 라인 각각이 게이트와 연결되고, 상기 출력 노드 각각이 드레인 노드와 연결되며, NMOS 래치 회로와 소스 노드가 전기적으로 연결되는 래치 입력부; SAN 신호에 의해 제어되며, 상기 래치 입력부와 전기적으로 연결되는 풀-다운 래치 회로부; 및 SAP 신호에 의해 제어되며, 상기 출력 노드와 전기적으로 연결되는 풀-업 래치 회로부를 포함하는 것을 특징으로 하는 센스 앰프 장치.

청구항 2

제1항에 있어서,

상기 데이터 셀 스트링과 상기 센스 앰프 구동부 사이의 상기 비트 라인에 위치하는 비트라인 커패시터(C_{BL}); 및

상기 레퍼런스 셀 스트링과 상기 센스 앰프 구동부 사이의 상기 레퍼런스 라인에 위치하는 레퍼런스라인 커패시터(C_{REF})

를 추가로 포함하는 것을 특징으로 하는 센스 앰프 장치.

청구항 3

제2항에 있어서,

상기 레퍼런스 셀 스트링은,

상기 데이터 셀 스트링과 동일한 구조로 연결된 적어도 하나의 트랜지스터를 포함하고, 상기 적어도 하나의 트랜지스터는 상기 레퍼런스 라인에 연결되며,

상기 레퍼런스 셀 스트링은, 읽기 동작 시 레퍼런스 셀 전류값을 생성하기 위해 상기 트랜지스터의 크기와 제어 신호(VR_{DSL} , VR_{SSL})의 값을 조절하는 것을 특징으로 하는 센스 앰프 장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 프리차지 회로부의 프리차지 제어신호(PRECHb)는,

프리차지 단계에서 '로우(low)' 값을 가지고, 평가 단계에서 '하이(High)' 값으로 천이되어 상기 비트 라인 및

상기 레퍼런스 라인의 전위를 변화시키는 것을 특징으로 하는 센스 앰프 장치.

청구항 6

제1항에 있어서,

상기 동기화 회로부의 EQ 신호는,

프리차지 단계에서 '하이(High)' 값을 가지며, 상기 출력 노드를 프리차지 전압으로 동기화시키며, 평가 단계에서 '로우(low)' 값으로 천이되어 상기 출력 노드 각각을 상기 프리차지 회로부와 분리하는 것을 특징으로 하는 센스 앰프 장치.

청구항 7

제1항에 있어서,

상기 센스 앰프 장치는,

상기 프리차지 제어신호(PRECHb)가 '로우(low)'가 되고, 상기 EQ 신호가 '하이(High)'가 되면 프리차지 단계를 수행하며,

상기 프리차지 단계에서, 상기 비트 라인 및 상기 레퍼런스 라인 각각은 전원 전압(VDD)로 프리차지되며, 상기 출력 노드(SBL1, SBL2)는 전원 전압(VDD)/2로 프리차지되는 것을 특징으로 하는 센스 앰프 장치.

청구항 8

제7항에 있어서,

상기 센스 앰프 장치는,

상기 데이터 셀 스트링 및 상기 레퍼런스 셀 스트링의 제어신호(SSL)가 인가되면 평가 단계를 수행하며,

상기 평가 단계에서, 상기 비트 라인 및 상기 레퍼런스 라인의 전위는 각각의 읽기 전류 값에 의해 하강하기 시작하며, 상대적인 전위차(ΔV)가 발생하는 것을 특징으로 하는 센스 앰프 장치.

청구항 9

제8항에 있어서,

상기 센스 앰프 장치는,

상기 전위차(ΔV)가 발생하면, 래치 단계를 수행하며,

상기 래치 단계에서, SAN 신호가 인가되면, 상기 전위차(ΔV)는 상기 풀-다운 래치 회로부에 의해 증폭되는 것을 특징으로 하는 센스 앰프 장치.

청구항 10

제9항에 있어서,

상기 센스 앰프 장치는,

상기 래치 단계에서, SAP 신호가 인가되면, 상기 풀-다운 래치 회로부에 의해 증폭된 전위차를 상기 풀-업 래치 회로부를 통해 상기 전원 전압(VDD) 레벨로 증폭하여 데이터 읽기 동작을 완료하는 것을 특징으로 하는 센스 앰프 장치.

청구항 11

데이터를 저장하는 플래시 메모리에 있어서,

데이터를 저장하는 복수의 데이터 셀을 포함하는 데이터 셀 어레이부;

데이터의 처리 속도 향상을 위한 복수의 레퍼런스 셀을 포함하는 레퍼런스 셀 어레이부; 및

상기 데이터 셀 어레이부 및 상기 레퍼런스 셀 어레이부 사이에 위치하며, 상기 데이터 셀에 저장된 데이터를

처리 동작을 수행하는 복수의 센서 앰프 장치를 포함하는 센스 앰프 어레이부를 포함하되,

상기 센스 앰프 어레이부에 포함된 상기 센서 앰프 장치는, 서로 상보적 관계를 가지는 비트 라인 및 레퍼런스 라인을 포함하는 비트 라인 쌍; 상기 비트 라인 및 상기 레퍼런스 라인 각각에 연결되고, 프리차지 제어신호 (PREChb)에 근거하여 전원 전압(VDD)을 상기 비트 라인 쌍 각각으로 인가하는 프리차지 회로부; 데이터가 저장된 데이터 셀 어레이와 연결되며, 상기 비트 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 데이터 셀 스트링; 레퍼런스 셀의 전류 값을 생성하며, 상기 레퍼런스 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 레퍼런스 셀 스트링; 및 상기 비트 라인 쌍 사이에 위치하며, 상기 비트 라인 및 상기 레퍼런스 라인 각각의 전위를 인가 받고, 상기 전위의 전위차를 증폭하여 읽기 동작을 수행하는 센스 앰프 구동부를 포함하되,

상기 센스 앰프 구동부는, EQ 신호에 의해 제어되며, 상기 EQ 신호에 의해 출력 노드(SBL1, SBL2)의 전압을 동기화하는 동기화 회로부; 상기 비트 라인과 상기 레퍼런스 라인 각각이 게이트와 연결되고, 상기 출력 노드 각각이 드레인 노드와 연결되며, NMOS 래치 회로와 소스 노드가 전기적으로 연결되는 래치 입력부; SAN 신호에 의해 제어되며, 상기 래치 입력부와 전기적으로 연결되는 풀-다운 래치 회로부; 및 SAP 신호에 의해 제어되며, 상기 출력 노드와 전기적으로 연결되는 풀-업 래치 회로부를 포함하는 것을 특징으로 하는 플래시 메모리.

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은 레퍼런스 셀을 이용한 낸드 플래시 메모리용 센스 앰프 장치에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 발명의 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 플래시 메모리의 셀은 플로팅 게이트 구조를 가진다. 플로팅 게이트는 트랜지스터의 채널과 게이트 사이에 위치하며, 게이트에 가해지는 전압에 의해 채널의 전하가 플로팅 게이트에 갇히면서 트랜지스터의 문턱 전압이 변하는 것과 같은 효과를 일으킨다. 이러한 성질을 이용하여 문턱 전압이 높고 낮음을 데이터 0과 1로 하여 정보를 저장할 수 있도록 한다.

[0004] 낸드 플래시 메모리의 읽기 동작에서 특정 셀의 데이터를 읽고자 할 때, 특정 셀이 포함된 데이터 셀 스트링을 선택하게 된다. 선택된 셀 스트링 내의 모든 셀은 저장되어 있는 데이터에 따라 높은 문턱 전압을 가지는 셀과 낮은 문턱 전압을 가지는 셀이 혼재되어 있다. 종래의 낸드 플래시 메모리는 데이터 셀 스트링 내의 모든 셀이 비트 라인을 공유하기 때문에 선택된 셀의 데이터를 확인하기 위해서 다음과 같은 읽기 동작 제어가 필요하다.

[0005] 먼저 종래의 낸드 플래시 메모리에서 데이터 셀 스트링에서 선택된 셀의 워드-라인 제어 신호로 0V를 인가한다. 반면, 데이터 셀 스트링에서 선택되지 않은 셀의 워드-라인 제어 신호로 기 설정된 전압을 인가한다. 여기서, 기 설정된 전압은 선택되지 않은 셀의 문턱 전압으로 인해 선택된 셀의 읽기 동작을 방해하지 않기 위해 문턱 전압에 관계없이 읽기 전류를 흘릴 수 있도록 하기 위하여 인가되는 전압을 의미한다. 이로 인해, 비트 라인에 유기되는 읽기 전류 값은 선택된 셀의 문턱전압에 의해 결정된다. 저장된 데이터가 0일 때 음의 문턱전압을 가지며, 저장된 데이터가 1일 때 양의 문턱전압을 가진다. 즉, 종래의 낸드 플래시 메모리는 선택된 셀의 워드-라인에 0V의 전압이 인가될 때 저장된 데이터가 0인 경우 채널이 형성되어 읽기 전류가 발생하고, 데이터가 1인 경우 읽기 전류가 발생하지 않는다. 이러한 특성을 이용하여 읽기 전류의 발생 여부에 따라 프리차지된 비트 라인의 전압을 변화시킬 수 있으며 이 변화를 래치 회로로 감지하여 증폭시킬 수 있다.

[0006] 종래의 낸드 플래시 메모리는 이러한 플래시 메모리 셀을 연속적으로 연결하여 스트링 구조를 만들어 제한된 면적에 많은 데이터 셀을 집적함으로써 대용량 저장장치로써 효용이 높다. 반면, 종래의 낸드 플래시 메모리는 데이터 읽기 속도가 낮기 때문에 고속 동작이 필요한 부분에서는 약점이 있다. 이러한 읽기 동작 속도의 저하는 낮은 전원 전압 환경과 고집적 구조로 인한 비트 라인 커패시턴스 증가로 인해 가중되고 있다. 저 전력 어플리

케이션의 증가로 전원 전압의 크기가 점점 낮아지고 있는 현 상황에서 낸드 플래시 메모리의 읽기 동작 속도를 향상시키기 위한 센스 앰프 장치의 개발이 필요하다.

[0007] 도 2는 종래의 센스 앰프 장치를 나타낸 회로도이다. 도 2는 종래의 낸드 플래시 메모리의 읽기 동작을 수행하기 위한 센스 앰프 장치(200)를 보여주고 있다. 데이터 셀 스트링(201)은 V_{DSL} , V_{SSL} , WL 신호에 의해 제어되고, 비트 라인(BL)에 연결되어 있다. 비트 라인(BL)과 연결된 커패시터(C_{BL})은 비트 라인의 기생 커패시턴스 성분을 의미한다. 비트 라인(BL)과 센싱 노드(SO)는 NMOS 트랜지스터인 MN1 트랜지스터(203)를 통해 전기적으로 연결되고, MN1 트랜지스터(203)는 $V_{PRESENSE}$ 신호로 제어된다. 비트 라인(BL)과 센싱 노드(SO)에 프리차지 동작을 수행하기 위해 PMOS 트랜지스터 MP1 트랜지스터(202)가 VDD와 연결되어 있으며, 프리차지 제어신호(PRECHb)로 제어된다. 센싱 노드(SO)는 센싱 인버터의 입력이며, 인버터의 출력은 래치 회로(204)와 전기적으로 연결된다.

[0008] 이하, 종래의 센스 앰프 장치에서 읽기 동작을 수행하기 위한 센스 앰프 장치(200)의 동작을 설명하도록 한다.

[0009] 읽기 동작을 수행하기 위해 프리차지 제어신호(PRECHb)가 0이 되어 MP1 트랜지스터(202)를 활성화 시킨다. 이후, MN1 트랜지스터(203)를 제어하기 위한 $V_{PRESENSE}$ 신호에 V1 값을 인가한다. 여기서, V1 값은 MN1 트랜지스터(203)를 활성화시키기 충분한 크기의 전압을 가지며 전원 전압보다 작거나 같은 값을 가진다. 센스 앰프 장치(200)는 MN1 트랜지스터(203)를 통해 비트 라인과 센싱 노드가 연결되어 동시에 프리차지 동작을 수행한다. 센싱 노드(SO)는 VDD로 프리차지되지만 비트 라인은 MN1 트랜지스터(203)의 문턱전압의 영향으로 전원 전압보다 문턱전압만큼 낮은 값으로 프리차지된다.

[0010] 이어서 센스 앰프 장치(200)는 $V_{PRESENSE}$ 신호를 0으로 하여 비트 라인과 센싱 노드를 분리한다. 다음으로 셀 스트링이 활성화 되는데, 읽기 동작을 수행하고자 하는 셀의 WL 값은 0으로 인가하고, 그 외의 WL 값은 셀의 문턱 전압 값에 상관없이 읽기 전류를 흘릴 수 있도록 높은 전압 값을 인가한다. 선택된 셀이 0일 경우 낮은 문턱 전압을 가지기 때문에 WL 값이 0이더라도 읽기 전류가 양의 값을 가지고, 반면 1일 경우 높은 문턱 전압을 가지기 때문에 읽기 전류가 0이 된다. 때문에 선택된 셀이 0일 경우 상기 프리차지 동작 단계에서 충전된 비트 라인 커패시터의 전하가 그라운드로 방전되어 비트 라인의 전위가 내려가게 된다. 만일 선택된 셀이 1일 경우 읽기 전류가 0이기 때문에 비트 라인의 전위는 프리차지 동작에서의 전위를 유지하게 된다. 이처럼 셀 데이터에 따른 전위 변화를 유지시키는 과정을 평가시간(evaluation time)이라고 하며 비트 라인 전위의 감소는 읽기 전류의 크기와 방전 시간에 비례하여 나타난다.

[0011] 소정의 평가시간이 경과한 이후 센스 앰프 장치(200)에서는 $V_{PRESENSE}$ 신호에 V2 값을 인가한다. 여기서, V2 값은 V1보다 낮은 값을 가진다. V2 신호가 인가되었을 때, 읽기 전류에 의해 비트 라인의 전위가 충분히 내려 간 상황에서는 MN1 트랜지스터(203)가 활성화 되고 비트 라인과 센싱 노드간의 전하 공유(charge sharing) 현상이 발생하며, 상대적으로 높은 전위를 가진 센싱 노드에서 비트 라인으로 전하가 이동하게 된다.

[0012] 상대적으로 낮은 커패시턴스 값을 가지는 센싱 노드의 전위가 비트 라인 전위와 비슷한 수준으로 내려가는데, 이 때 센싱 노드의 전위가 센싱 인버터의 천이 동작점보다 낮은 값을 가지게 될 경우 인버터의 출력이 1이 되어 래치 회로(204)에서 읽기 동작을 완료하게 된다.

[0013] 이와 같이 종래의 낸드 플래시 메모리에서의 읽기 동작은 프리차지 단계, 평가 단계, 전하 공유 단계 및 래치 증폭 단계의 4 단계를 거쳐 이루어진다. 종래 방식에서 읽기 동작 시간에 직접적인 영향을 미치는 동작이 평가 단계에 있다. 읽기 전류 크기가 작을수록 비트 라인 커패시턴스 값이 클수록 읽기 전류를 통해 비트 라인 커패시터를 방전시키기 위한 평가 시간이 길어진다. 이러한 평가 시간을 단축시키기 위해서는 프리차지 전압 수준을 낮출 필요가 있으나 프리차지 전압이 낮을 경우 전하 공유 동작 단계에서 데이터에 따른 전하 공유 동작 발생 여부가 구분되지 않을 위험이 있어 제약이 발생한다.

[0014] 또한 종래의 낸드 플래시 메모리에서, 전하 공유 동작에 의해 센싱 노드 전압의 변화 값이 인버터의 천이 동작점 값 이하의 값을 가지도록 충분히 낮은 값을 가져야 하기 때문에 평가 단계에서 평가시간을 충분히 확보하여야 한다. 이러한 읽기 동작에서의 제약조건으로 인해 종래의 낸드 플래시 메모리는 읽기 동작 시간이 느려지게 되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0015] 본 발명은 레퍼런스 셀을 이용하여 읽기 동작 단계를 단순화하고, 동작 속도를 향상시키기 위한 센스 앰프 장치 및 그 동작 방법을 제공하는 데 주된 목적이 있다.

과제의 해결 수단

[0016] 본 발명의 일 측면에 의하면, 상기 목적을 달성하기 위한 센스 앰프 장치는, 서로 상보적 관계를 가지는 비트 라인 및 레퍼런스 라인을 포함하는 비트 라인 쌍; 상기 비트 라인 및 상기 레퍼런스 라인 각각에 연결되고, 프리차지 제어신호(PRECHb)에 근거하여 전원 전압(VDD)을 상기 비트 라인 쌍 각각으로 인가하는 프리차지 회로부; 데이터가 저장된 데이터 셀 어레이와 연결되며, 상기 비트 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 데이터 셀 스트링; 레퍼런스 셀의 전류 값을 생성하며, 상기 레퍼런스 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 레퍼런스 셀 스트링; 및 상기 비트 라인 쌍 사이에 위치하며, 상기 비트 라인 및 상기 레퍼런스 라인 각각의 전위를 인가 받고, 상기 전위의 전위차를 증폭하여 읽기 동작을 수행하는 센스 앰프 구동부를 포함할 수 있다.

[0017] 또한, 본 발명의 다른 측면에 의하면, 상기 목적을 달성하기 위한 플래시 메모리는, 데이터를 저장하는 복수의 데이터 셀을 포함하는 데이터 셀 어레이부; 데이터의 처리 속도 향상을 위한 복수의 레퍼런스 셀을 포함하는 레퍼런스 셀 어레이부; 및 상기 데이터 셀 어레이부 및 상기 레퍼런스 셀 어레이부 사이에 위치하며, 상기 데이터 셀에 저장된 데이터를 처리 동작을 수행하는 복수의 센서 앰프 장치를 포함하는 센스 앰프 어레이부를 포함할 수 있다.

발명의 효과

[0018] 이상에서 설명한 바와 같이, 본 발명은 독립된 레퍼런스 셀 스트링을 구비하고, 이와 연결된 레퍼런스 라인을 비트 라인과 함께 센스 앰프의 입력으로 이용함에 따라 센스 앰프 장치의 동작 속도를 향상시킬 수 있는 효과가 있다.

[0019] 또한, 종래 방식에서는 센스 인버터의 트랜지션 포인트 이하로 전위가 내려가기 위한 절대적인 평가 시간이 요구되었지만 본 발명은 비트 라인과 레퍼런스 라인의 상대적인 전위차를 이용하기 때문에 기존 방식 대비 평가 시간을 단축할 수 있는 효과가 있다.

[0020] 또한, 본 발명은 센스 앰프 장치의 동작 단계에서 전하 공유 동작 단계를 생략하여 낸드 플래시 메모리에서의 읽기 동작 시간을 단축할 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 실시예에 따른 센스 앰프 장치를 나타낸 회로도이다.

도 2는 종래의 센스 앰프 장치를 나타낸 회로도이다.

도 3은 본 발명의 실시예에 따른 센스 앰프 장치에 포함된 구성요소를 나타낸 회로도이다.

도 4a 내지 도 4d는 본 발명의 실시예에 따른 센스 앰프 장치의 단계별 동작을 설명하기 위한 도면이다.

도 5는 본 발명의 실시예에 따른 센스 앰프 장치를 포함하는 플래시 메모리의 배치 구조를 나타낸 예시도이다.

도 6는 본 발명의 실시예에 따른 센스 앰프 장치의 동작 타이밍을 나타낸 도면이다.

도 7는 본 발명의 일 실시예에 따른 센스 앰프 장치의 읽기 동작 시뮬레이션 결과를 나타낸 도면이다.

도 8는 본 발명의 다른 실시예에 따른 센스 앰프 장치의 읽기 동작 시뮬레이션 결과를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 이하에서 본 발명의 바람직한 실시예를 설명할 것이나, 본 발명의 기술적 사상은 이에 한정하거나 제한되지 않고 당업자에 의해 변형되어 다양하게 실시될 수 있음은 물론이다. 이하에서는 도면들을 참조하여 본 발명에서 제안하는 레퍼런스 셀을 이용한 센스 앰프 장치 및 플래시 메모리에 대해 자세하게 설명하기로 한다.

- [0023] 도 1은 본 발명의 실시예에 따른 센스 앰프 장치를 나타낸 회로도이다.
- [0024] 종래의 센스 앰프 장치(200)에서는 데이터 0을 읽기 위해서 전하 공유 단계 이후 센싱 노드(S0)의 전위가 센싱 인버터(204)의 인버터의 천이 동작점 이하의 값을 가질 수 있어야 한다. 전하 공유 단계에서는 상대적으로 높은 전위를 가지는 센싱 노드(S0)의 전하가 MN1 트랜지스터(203)을 통해 비트 라인으로 전달된다. 전하의 이동으로 센싱 노드(S0)의 전위는 내려가며, 비트 라인(BL)의 전위는 상승하여 평형상태를 이룬다.
- [0025] 이 때의 전위가 센싱 인버터의 천이 동작점 이하여야 하기 때문에 평가 단계에서 비트 라인 전위는 천이 동작점 보다 더 낮은 값을 가져야 한다. 종래의 센스 앰프 장치(200)에서는 읽기 동작 전류가 고정되어 있기 때문에 요구되는 비트 라인 전위를 달성하기 위한 평가 시간이 절대적으로 필요하고, 이로 인해 센스 앰프 장치(200)의 동작 속도가 저하되는 문제점이 있다.
- [0026] 전술한 종래의 문제점을 해결하기 위하여 본 발명에 따른 센스 앰프 장치(100, 300)는 레퍼런스 셀 스트링의 추가를 통해 비트 라인(BL)과 레퍼런스 라인(BL_{REF})의 상대적인 전위차를 센싱 동작에 이용함으로써 평가시간 단축과 전하 공유 단계를 생략할 수 있고, 이에 따라 센스 앰프 장치(100, 300)의 동작 시간을 단축할 수 있다.
- [0027] 도 3은 본 발명의 실시예에 따른 센스 앰프 장치에 포함된 구성요소를 나타낸 회로도이다.
- [0028] 본 실시예에 따른 센스 앰프 장치(300)는 비트 라인 쌍(BL, BL_{REF}), 데이터 셀 스트링(301), 레퍼런스 셀 스트링(302), 프리차지 회로부(303) 및 센스 앰프 구동부(304, 305, 306, 307)를 포함한다. 도 3의 센스 앰프 장치(300)는 일 실시예에 따른 것으로서, 도 3에 도시된 모든 구성이 필수 구성요소는 아니며, 다른 실시예에서 센스 앰프 장치(300)에 포함된 일부 구성이 추가, 변경 또는 삭제될 수 있다.
- [0029] 본 실시예에 따른 센스 앰프 장치(300)에서 비트 라인 쌍은 비트 라인(BL)과 레퍼런스 라인(BL_{REF})을 포함하고, 센스 앰프 구동부는 동기화 회로부(304), 래치 입력부(305), 풀-다운 래치 회로부(306) 및 풀-업 래치 회로부(307)를 포함할 수 있다.
- [0030] 이하, 낸드 플래시 메모리에서 읽기 동작 속도를 높이기 위한 센스 앰프 장치(300)에 대해 설명하도록 한다.
- [0031] 센스 앰프 장치(300)는 데이터 셀 스트링(301)과 동일한 구조의 레퍼런스 셀 스트링(302)을 구비한다. 여기서, 데이터 셀 스트링(301)은 비트 라인에 연결되고, 레퍼런스 셀 스트링은 레퍼런스 라인에 연결된다.
- [0032] 센스 앰프 장치(300)는 비트 라인과 레퍼런스 라인의 프리차지 동작을 위해 프리차지 회로부(303)을 구비하고, 비트 라인과 레퍼런스 라인 전압을 센스 앰프 구동부로 전달하는 래치 입력부(305)를 가진다.
- [0033] 입력된 전위차를 증폭하는 센스 앰프 구동부는 풀-다운 래치 회로부(306)와 풀-업 래치 회로부(307)로 구성되며, 출력 노드(SBL1, SBL2)의 프리차지 동작을 위한 동기화 회로부(304)를 포함하여 구성된다.
- [0034] 센스 앰프 장치(300)에서, 레퍼런스 셀 스트링(302)은 복수의 트랜지스터를 포함하는 데이터 셀 스트링(301)과 동일한 구성을 가진다. 다만, 레퍼런스 셀 스트링(302)은 읽기 동작 시 레퍼런스 셀 전류 값을 생성하기 위해 트랜지스터의 크기와 제어신호 VR_{DRL}, VR_{SSL} 값을 조절할 수 있다. 센스 앰프 장치(300)에서, 읽기 동작 시 레퍼런스 전류 값은 저장된 데이터가 1일 때, 비트 라인에 유기되는 전류보다 크고, 데이터가 0일 때, 비트 라인에 유기되는 전류보다 작은 값을 가진다.
- [0035] 평가 단계 이후 레퍼런스 라인의 전위는 데이터가 0일 때 비트 라인에 유기되는 전위와 데이터가 1일 때 비트 라인에 유기되는 전위의 중간값을 가질 수 있도록 조정될 수 있다.
- [0036] 본 실시예에 따른 프리차지 회로부(303)는 프리차지 제어신호(PRECHb)에 의해 제어된다. 프리차지 회로부(303)는 프리차지 동작 단계에서 비트 라인과 레퍼런스 라인 각각이 VDD로 설정 될 수 있도록 한다. 여기서, 프리차지 회로부(303)는 비트 라인에 연결되는 제1 프리차지 회로부와 레퍼런스 라인에 연결되는 제2 프리차지 회로부로 구분될 수 있다.
- [0037] 프리차지 회로부(303)의 프리차지 제어신호(PRECHb)는 프리차지 단계에서 '로우(Low)' 값을 가지고, 평가 단계에서 '하이(High)' 값으로 천이되어 비트 라인 및 레퍼런스 라인의 전위를 변화시킨다.
- [0038] 래치 입력부(305)는 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터를 포함하는 NMOS 트랜지스터 쌍으로 구성된다. 래치 입력부(305)에서 비트 라인의 전위와 레퍼런스 라인의 전위는 NMOS 트랜지스터 각각의 게이트 전압이 된다. 다시 말해, 비트 라인과 연결된 제1 NMOS 트랜지스터는 비트 라인의 전위를 게이트 전압으로 인가

받고, 레퍼런스 라인과 연결된 제2 NMOS 트랜지스터는 레퍼런스 라인의 전위를 게이트 전압으로 인가받는다. 이를 통해 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터 각각의 전류 값이 비트 라인의 전압과 레퍼런스 라인의 전압에 의해 서로 다르게 유가될 수 있다.

- [0039] 동기화 회로부(304)는 래치 입력부(305)와 연결되며, 이전 읽기 동작의 결과가 다음 읽기 동작에 영향을 미치지 않도록 EQ 신호에 의해 출력 노드의 전압을 동기화 하는 역할을 수행한다.
- [0040] 동기화 회로부(304)의 EQ 신호는 프리차지 단계에서 '하이(High)' 값을 가지며, 출력 노드(SBL1 및 SBL2)를 프리차지 전압으로 동기화시키며, 평가 단계에서 '로우(low)' 값으로 천이되어 출력 노드(SBL1 및 SBL2) 각각을 프리차지 회로부(303)와 분리한다.
- [0041] 풀-다운 래치 회로부(306)은 SAN 신호에 의해 제어되며, SAN 신호가 인가될 경우 NMOS 래치 회로 동작에 의해 신호의 센싱 동작을 수행한다. 풀-다운 래치 회로부(306)은 비트 라인의 전위와 레퍼런스 라인의 전위 중 상대적으로 낮은 전위를 가지는 측의 전위가 더 낮아지도록 하는 동작을 수행한다.
- [0042] 풀-업 래치 회로부(307)는 SAP 신호에 의해 제어되며, SAP 신호가 인가될 경우 PMOS 래치 회로 동작에 의해 신호의 증폭 동작이 이루어진다. 풀-업 래치 회로부(307)는 비트 라인의 전위와 레퍼런스 라인의 전위 중 상대적으로 높은 전위를 가지는 측의 전위가 VDD로 상승하도록 하는 동작을 수행한다.
- [0043] 본 실시예에 따른 센스 앰프 장치(300)는 비트 라인 쌍은 비트 라인(BL)과 레퍼런스 라인(BL_{REF})을 포함하는 비트 라인 쌍을 포함하고, 비트 라인 및 레퍼런스 라인 각각에 연결되고, 프리차지 제어신호(PRECHb)에 근거하여 전원 전압(VDD)을 비트 라인 쌍 각각으로 인가하는 프리차지 회로부(303)를 포함한다. 여기서, 프리차지 회로부(303)는 비트 라인 쌍 각각에 쌍으로 구비된다.
- [0044] 또한, 센스 앰프 장치(300)는 데이터가 저장된 데이터 셀 어레이와 연결되며, 비트 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 데이터 셀 스트링(301)과 레퍼런스 셀의 전류 값을 생성하며, 레퍼런스 라인과 전기적으로 연결된 적어도 하나의 트랜지스터를 포함하는 레퍼런스 셀 스트링(302)을 포함한다.
- [0045] 또한, 센스 앰프 장치(300)는 비트 라인 쌍 사이에 위치하며, 비트 라인 및 레퍼런스 라인 각각의 전위를 인가 받고, 전위의 전위차를 증폭하여 읽기 동작을 수행하는 센스 앰프 구동부를 포함한다. 여기서, 센스 앰프 구동부는 동기화 회로부(304), 래치 입력부(305), 풀-다운 래치 회로부(306) 및 풀-업 래치 회로부(307)를 포함할 수 있다.
- [0046] 또한, 센스 앰프 장치(300)는 데이터 셀 스트링(301)과 센스 앰프 구동부 사이의 비트 라인에 위치하는 비트라인 커패시터(C_{BL})와 레퍼런스 셀 스트링(302)과 센스 앰프 구동부 사이의 레퍼런스 라인에 위치하는 레퍼런스라인 커패시터(C_{REF})를 추가로 포함할 수 있다. 구체적으로, 비트라인 커패시터(C_{BL})는 데이터 셀 스트링(301)과 래치 입력부(305) 사이의 비트 라인에 위치하며, 레퍼런스라인 커패시터(C_{REF})는 레퍼런스 셀 스트링(302)과 래치 입력부(305) 사이의 레퍼런스 라인에 위치한다.
- [0047] 본 실시예에 따른 레퍼런스 셀 스트링(302)은 데이터 셀 스트링(301)과 동일한 구조로 연결된 적어도 하나의 트랜지스터를 포함할 수 있으며, 제어신호에 근거하여 레퍼런스 라인과 연결된다. 레퍼런스 셀 스트링(302)은 읽기 동작 시 레퍼런스 셀 전류값을 생성하기 위해 트랜지스터의 크기와 제어신호(VRDSL, VRSSL)의 값을 조절할 수 있다.
- [0048] 본 실시예에 따른 센스 앰프 구동부는 동기화 회로부(304), 래치 입력부(305), 풀-다운 래치 회로부(306) 및 풀-업 래치 회로부(307)를 포함할 수 있다.
- [0049] 동기화 회로부(304)는 EQ 신호에 의해 제어되며, 상기 EQ 신호에 의해 출력 노드(SBL1, SBL2)의 전압을 동기화 하는 동작을 수행한다.
- [0050] 래치 입력부(305)는 비트 라인과 레퍼런스 라인 각각이 게이트와 연결되고, 출력 노드 각각이 드레인 노드와 연결되며, NMOS 래치 회로와 소스 노드가 전기적으로 연결된다.
- [0051] 풀-다운 래치 회로부(306)은 SAN 신호에 의해 제어되며, 래치 입력부(305)와 전기적으로 연결되며, 풀-업 래치 회로부(307)는 SAP 신호에 의해 제어되며, 출력 노드(SBL1 및 SBL2)와 전기적으로 연결된다.
- [0052] 본 실시예에 따른 센스 앰프 장치(300)는 프리차지 단계(pre-charge), 평가 단계(Evaluation) 및 래치 단계(Sense enable)의 순서로 동작한다.

- [0053] 센스 앰프 장치(300)는 프리차지 제어신호(PRECHb)가 '로우(low)'가 되고, EQ 신호가 '하이(High)'가 되면 프리차지 단계를 수행한다. 프리차지 단계에서, 비트 라인 및 레퍼런스 라인 각각은 전원 전압(VDD)로 프리차지되며, 출력 노드(SBL1, SBL2)는 전원 전압(VDD)/2로 프리차지된다.
- [0054] 센스 앰프 장치(300)는 데이터 셀 스트링(301) 및 레퍼런스 셀 스트링(302)의 제어신호(SSL)가 인가되면 평가 단계를 수행한다. 평가 단계에서, 비트 라인 및 레퍼런스 라인의 전위는 각각의 읽기 전류 값에 의해 하강하기 시작하며, 상대적인 전위차(ΔV)가 발생하게 된다.
- [0055] 센스 앰프 장치(300)는 기 설정된 크기 이상의 전위차(ΔV)가 발생하면, 래치 단계를 수행한다. 래치 단계에서, SAN 신호가 인가되면 전위차(ΔV)는 풀-다운 래치 회로부(306)에 의해 증폭된다. 이후, 센스 앰프 장치(300)는 래치 단계에서, SAP 신호가 인가되면, 풀-다운 래치 회로부(306)에 의해 증폭된 전위차를 풀-업 래치 회로부(307)를 통해 전원 전압(VDD) 레벨로 증폭하여 데이터 읽기 동작을 완료한다.
- [0056] 도 4a 내지 도 4d는 본 발명의 실시예에 따른 센스 앰프 장치의 단계별 동작을 설명하기 위한 도면이다.
- [0057] 본 실시예에 따른 센스 앰프 장치(300)는 레퍼런스 셀 스트링(302)을 구비하여 안정적인 레퍼런스 전류를 제공하고, 이를 통해 프리차지 단계(pre-charge), 평가 단계(Evaluation) 및 래치 단계(Sense enable)의 순서로 동작할 수 있다. 본 실시예에 따른 센스 앰프 장치(300)는 종래의 동작 단계 중 전하 공유 단계(Charge sharing)를 생략하여 읽기 동작 구조를 단순화할 수 있고, 읽기 동작 속도를 향상시킬 수 있다.
- [0058] 이하, 본 실시예에 따른 센스 앰프 장치(300)의 프리차지 단계의 동작을 도 4a를 참고하여 설명하도록 한다.
- [0059] 도 4a의 (a)는 프리차지 단계에서의 신호 상태를 나타내고, 도 4a의 (b)는 프리차지 단계에서 센스 앰프 장치(300)의 동작 구성을 나타낸다.
- [0060] 프리차지 단계에서 프리차지 제어신호(PRECHb)는 '로우(low)' 상태이고, V_{SSL} 신호가 인가되지 않아 전류 경로(current path)가 형성되지 않은 상태이며, 비트 라인 커패시터(C_{BL}) 및 레퍼런스 라인 커패시터(C_{REF})는 각각 VDD로 프리차지 된다.
- [0061] 또한, 센스 앰프 장치(300)에서 센싱 노드(SBL1 및 SBL2)는 half VDD($1/2$ VDD)로 프리차지 된다.
- [0062] 프리차지 제어신호(PRECHb)는 '로우(low)'로 천이되어, 프리차지 회로부(303)의 PMOS 트랜지스터를 ON 상태로 제어한다. 데이터 셀 스트링(301) 및 레퍼런스 셀 스트링(302) 각각의 DSL 신호는 프리차지 제어신호(PRECHb)가 인가된 이후, '로우(Low)'에서 '하이(High)'로 상승하여 비트 라인 및 레퍼런스 라인 각각을 충전하게 된다.
- [0063] 프리차지 단계에서, WL 신호와 SSL은 '로우(Low)'로 유지하여 비트 라인의 전류(I_{cell}) 및 레퍼런스 라인의 전류(I_{ref})가 유가되지 않도록 한다.
- [0064] 이하, 본 실시예에 따른 센스 앰프 장치(300)의 평가 단계의 동작을 도 4b를 참고하여 설명하도록 한다.
- [0065] 도 4b의 (a)는 평가 단계에서의 신호 상태를 나타내고, 도 4b의 (b)는 평가 단계에서 센스 앰프 장치(300)의 동작 구성을 나타낸다.
- [0066] 프리차지 단계가 끝나면 평가 단계에서, 프리차지 제어신호(PRECHb)는 'High'로 천이되어, 전원 전압으로부터 비트 라인 및 레퍼런스 라인을 분리시킨다. 그 후, V_{SSL} 신호가 'High'로 천이되어 데이터 셀 스트링이 그라운드(ground)로 연결되게 된다.
- [0067] 프리차지 제어신호(PRECHb) 및 V_{SSL} 신호가 '하이(High)' 상태에서, 데이터 셀 스트링에서 선택되지 않은 트랜지스터의 WL_{UNSEL} 신호에는 기 설정된 정도의 'high 전압'이 인가되어 셀 데이터와 무관하게 트랜지스터를 ON 상태로 제어한다. 한편, 데이터 셀 스트링에서 선택된 트랜지스터의 WL_{SEL} 신호에는 '0'을 인가하여 셀 데이터에 따른 전류 경로(current path)의 형성 유무가 결정된다.
- [0068] 구체적으로, 비트 라인에 유가되는 전류(I_{cell})는 선택된 셀의 V_{th} 에 의해 결정된다.
- [0069] 만약, 기 설정된 기준보다 낮은 V_{th} 를 가지는 cell이 선택된 경우, 비트 라인에 유가되는 전류(I_{cell})는 양의 값을 가지게 되고, 비트 라인 커패시터(C_{BL})에 충전된 전하를 방전시킨다. 한편, 기 설정된 기준보다 높은 V_{th} 를 가지는 cell이 선택된 경우, 비트 라인에 유가되는 전류(I_{cell})는 0의 값을 가지게 되고, 비트 라인 커패시터

(C_{BL})에 충전된 전하가 방전되지 않는다.

- [0070] 또한, 레퍼런스 라인 커패시터(C_{REF})에 충전된 전하는 레퍼런스 셀 스트링(301)에 유기되는 전류(I_{ref})의 영향으로 방전된다. 이때 레퍼런스 셀 스트링(301)에 인가되는 바이어스(bias) 전압은 저장된 셀 데이터가 0인 경우와 1인 경우 각각의 전류(I_{cell}) 값의 중간 값을 가지도록 조절된다.
- [0071] 전술한 평가 단계의 동작을 통해 래치 입력부(305)에 포함된 NMOS 트랜지스터 각각의 게이트에 인가되는 전압이 달라지게 된다. 즉, 비트 라인에 유기되는 전류(I_{cell}) 및 레퍼런스 라인에 유기되는 전류(I_{ref})에 의해 래치 입력부(305)에 비트 라인 전압(VBL)과 레퍼런스 라인의 전압(VREF) 간의 전압 차가 유기된다.
- [0072] 이하, 본 실시예에 따른 센스 앰프 장치(300)의 제1 래치 단계의 동작을 도 4c를 참고하여 설명하도록 한다.
- [0073] 도 4c의 (a)는 제1 래치 단계에서의 신호 상태를 나타내고, 도 4c의 (b)는 제1 래치 단계에서 센스 앰프 장치(300)의 동작 구성을 나타낸다.
- [0074] 비트 라인 전압(VBL)과 레퍼런스 라인의 전압(VREF) 간의 전압 차가 기 설정된 기준전압 이상일 때, 센스 앰프 장치(300)는 평가 단계에서 래치 단계로 넘어가게 된다. 도 4c에서의 제1 래치 단계는 SAN 신호에 의해 제어되는 래치 단계를 의미한다.
- [0075] SAN 신호가 '하이(High)'로 천이되면, 비트 라인 전압(VBL)과 레퍼런스 라인의 전압(VREF)에 의해 래치 입력부(305)의 제1 NMOS 트랜지스터 및 제2 NMOS 트랜지스터 각각에는 서로 다른 전류가 유기되고, 이러한 전류 차에 의해 센싱 노드(SBL1 및 SBL2)의 전위가 서로 다른 값을 가지게 된다.
- [0076] 센싱 노드(SBL1 및 SBL2)의 전위차는 풀-다운 래치 회로부(306)의 NMOS 래치 동작에 영향을 미친다. 여기서, 풀-다운 래치 회로부(306)는 센싱 노드(SBL1 및 SBL2)의 전위차에 근거하여 상대적으로 낮은 전위를 가지는 측의 전압이 더 낮아질 수 있도록 동작한다.
- [0077] 이하, 본 실시예에 따른 센스 앰프 장치(300)의 제2 래치 단계의 동작을 도 4d를 참고하여 설명하도록 한다.
- [0078] 도 4d의 (a)는 제2 래치 단계에서의 신호 상태를 나타내고, 도 4d의 (b)는 제2 래치 단계에서 센스 앰프 장치(300)의 동작 구성을 나타낸다.
- [0079] 도 4d에서의 제2 래치 단계는 SAP 신호에 의해 제어되는 래치 단계를 의미한다.
- [0080] SAP 신호가 '로우(low)'로 천이되면, 풀-업 래치 회로부(307)의 PMOS 래치 동작이 활성화된다. 즉, 제2 래치 단계에서는, 제1 래치 단계에서 SAN 신호에 의해 유기된 센싱 노드(SBL1 및 SBL2)의 전위차에 의해 풀-업 래치 회로부(307)가 동작하게 되며, 센싱 노드(SBL1 및 SBL2)의 전위차에 근거하여 상대적으로 높은 전위를 가지는 측의 전압이 VDD로 상승하도록 동작한다.
- [0081] 다시 말해, SAP 신호가 '로우(low)'로 인가되면, 풀-업 래치 회로부(307)는 풀-업 래치 동작이 활성화되며, 제1 래치 단계의 풀-다운 래치 회로부(306)의 동작으로 증폭된 전위차를 전원전압(VDD) 레벨로 증폭하여 읽기 동작을 완료한다.
- [0082] 본 실시예에 따른 센스 앰프 장치(300)는 데이터 셀 스트링(301) 및 레퍼런스 셀 스트링(302) 각각과 연결된 비트 라인 및 레퍼런스 라인의 전압값의 차이와 래치 동작에 의해 1과 0으로 분리되어 데이터의 읽기 동작이 수행된다.
- [0083] 도 5는 본 발명의 실시예에 따른 센스 앰프 장치를 포함하는 플래시 메모리의 배치 구조를 나타낸 예시도이다.
- [0084] 본 실시예에 따른 플래시 메모리(500)는 전기적으로 데이터를 기록하고, 삭제할 수 있는 비휘발성 컴퓨터 기억 장치를 의미한다. 도 5의 플래시 메모리(500) 중 낸드 타입의 플래시 메모리용 센스 앰프 어레이부(520a, 520b)를 적용하는 것으로 기재하고 있으나 반드시 이에 한정되는 것은 아니다.
- [0085] 도 5를 참조하면, 플래시 메모리(500)는 데이터 셀 어레이부(510), 센스 앰프 어레이부(520a, 520b), 레퍼런스 셀 어레이부(530a, 530b) 등으로 구성될 수 있다. 데이터 셀 어레이부(510)는 제1 센스 앰프 어레이부(520a) 및 제1 레퍼런스 셀 어레이부(530a)와 전기적으로 연결될 수 있다. 또한, 데이터 셀 어레이부(510)는 제2 센스 앰프 어레이부(520b) 및 제2 레퍼런스 셀 어레이부(530b)와 전기적으로 연결될 수 있다.
- [0086] 본 실시예에 따른 플래시 메모리(500)에 포함된 센스 앰프 어레이부(520a, 520b)는 복수의 센서 앰프 장치(300)들이 배열될 수 있다. 본 실시예에 따른 센서 앰프 장치(300)의 데이터 셀 스트링(301)은 데이터 셀 어레이부

(510)와 연결되며, 레퍼런스 셀 스트링(302)은 레퍼런스 셀 어레이부(530a, 530b)와 연결될 수 있다.

- [0087] 구체적으로, 플래시 메모리(500)는 데이터를 저장하는 복수의 데이터 셀을 포함하는 데이터 셀 어레이부(510), 데이터의 처리 속도 향상을 위한 복수의 레퍼런스 셀을 포함하는 레퍼런스 셀 어레이부(530a, 530b) 및 데이터 셀 어레이부(510) 및 레퍼런스 셀 어레이부(530a, 530b) 사이에 위치하며, 데이터 셀에 저장된 데이터를 처리 동작을 수행하는 복수의 센스 앰프 장치(300)를 포함하는 센스 앰프 어레이부(520a, 520b)를 포함할 수 있다.
- [0088] 도 6는 본 발명의 실시예에 따른 센스 앰프 장치의 동작 타이밍을 나타낸 도면이다.
- [0089] 도 6에서는 본 실시예에 따른 센스 앰프 장치(300)의 읽기 동작 단계에 따른 제어신호를 나타낸 타이밍 도면이다.
- [0090] 본 실시예에 따른 센스 앰프 장치(300)는 프리차지 단계(S610), 평가 단계(S620), 래치 단계(S630)으로 구분되어 동작하며, 종래의 센스 앰프 장치와는 평가 단계 이후 전하 공유 단계가 생략되었다는 차이점이 존재한다.
- [0091] 도 6에서는 저장된 데이터가 0일 때, 센스 앰프 장치(300)의 읽기 동작을 설명한다.
- [0092] 이하, 프리차지 단계(S610)에서 센스 앰프 장치(300)의 동작을 설명하도록 한다.
- [0093] 프리차지 단계에서는 프리차지 제어신호(PRECHb)가 '로우(low)'가 되고, EQ 신호가 '하이(High)'가 된다. 이어 DSL 신호가 '하이(High)'가 되어 비트 라인 및 레퍼런스 라인이 각각 데이터 셀 스트링(301)과 레퍼런스 셀 스트링(302)에 연결되도록 한다.
- [0094] 프리차지 회로부(303)의 PMOS 트랜지스터가 활성화 되어 비트 라인과 레퍼런스 라인의 커패시터(C_{BL} , C_{REF})에 커패시턴스 성분이 충전되기 시작한다. 이 때, SSL 신호는 '로우(low)'이기 때문에 비트 라인과 레퍼런스 라인의 전위는 전원 전압(VDD)까지 상승할 수 있다. 여기서, 출력 노드(SBL1, SBL2)는 동기화 회로부(304)에 의해 $VDD/2$ 수준으로 동기화 된다.
- [0095] 비트 라인과 레퍼런스 라인의 전위가 VDD로 상승하면 프리차지 제어신호(PRECHb)는 '하이(High)'로 천이되며, 프리차지 동작을 완료한다. 이 때 EQ 신호는 '로우(low)'로 천이되며, 두 출력 노드(SBL1, SBL2)는 분리된다.
- [0096] 이하, 평가 단계(S620)에서 센스 앰프 장치(300)의 동작을 설명하도록 한다.
- [0097] 평가 단계에서는 선택된 셀의 WL 신호를 0으로 그 외(선택되지 않은 셀)의 WL 신호를 기 설정된 전압보다 높은 전압을 인가하여 선택된 데이터 셀에 의해 읽기 전류의 발생 여부가 결정될 수 있도록 한다.
- [0098] SSL 신호가 '하이(High)'가 되면 비트 라인과 레퍼런스 라인이 그라운드로 연결되며, 각각의 읽기 전류 값에 의해 전위가 내려가게 된다.
- [0099] 센스 앰프 장치(300)의 회로 구성에서 설명한 바와 같이, 레퍼런스 셀 스트링(302)에 유기되는 읽기 전류 값은 데이터가 0일 때의 읽기 전류 값보다 작고, 데이터가 1일 때의 읽기 전류 값보다 큰 값을 가진다.
- [0100] 셀 데이터가 0이기 때문에 비트 라인의 전위가 내려가는 속도가 레퍼런스 라인의 전위가 내려가는 속도에 비해 빠르며, 이로 인해 두 노드의 전위차가 발생한다. 이로 인해 발생한 전위차는 래치 입력부(305)를 통해 래치 회로(306, 307)로 전달된다.
- [0101] 이하, 래치 단계(S630)에서 센스 앰프 장치(300)의 동작을 설명하도록 한다.
- [0102] 래치 동작 단계에서 SAN 신호가 '하이(High)'가 되면, 래치 입력부(305)로 전달된 비트 라인 및 레퍼런스 라인의 전압이 래치 입력부(305)의 NMOS 트랜지스터 쌍에 각각 다른 전류를 유기시킨다. 이로 인해 발생한 전위차는 풀-다운 래치 회로부(306)의 풀-다운 래치 동작을 활성화하며, 상대적으로 큰 전류가 유기된 측의 출력 노드 전위를 0으로 끌어내린다.
- [0103] 이후, SAP 신호가 '로우(low)'로 인가되면, 풀-업 래치 회로부(307)의 풀-업 래치 동작이 활성화되며, 풀-다운 래치 회로부(306)의 동작으로 증폭된 전위차를 전원전압(VDD) 레벨로 증폭하여 읽기 동작을 완료한다.
- [0104] 도 7 및 도 8은 본 발명의 일 실시예에 따른 센스 앰프 장치의 읽기 동작 시뮬레이션 결과를 나타낸 도면이다.
- [0105] 도 7은 데이터가 0일 때의 읽기 동작의 실시예를 나타내고, 도 8은 데이터가 1일 때의 읽기 동작의 실시예를 나타낸다.
- [0106] 도 7의 시뮬레이션 결과를 참조하면, 프리차지 단계(S610)에서, 레퍼런스 라인과 비트 라인은 VDD로 프리차지되

며, 출력 노드(SBL1, SBL2)는 half VDD로 프리차지 된다.

[0107] 이후, 평가 단계(S620)에서, SSL 신호가 인가되면 비트 라인과 레퍼런스 라인의 전위가 각각의 읽기 전류 값에 의해 하강하기 시작하며, 상대적인 전위차(ΔV)가 발생하게 된다.

[0108] 이후, 래치 단계(S630)에서, 전위차(ΔV)는 SAN 신호가 인가되어 풀-다운 래치 회로부(306)에 의해 증폭되며, 이어 SAP 신호에 의한 풀-업 래치 회로부(307)의 동작으로 증폭된 전위차는 전원 전압(VDD) 레벨로 증폭된다.

[0109] 도 8의 시뮬레이션 결과를 참조한 설명은 도 7의 시뮬레이션 결과의 설명과 유사하여 자세한 설명은 생략하도록 한다.

[0110] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

[0111] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0112] 300: 센스 앰프 장치

301: 데이터 셀 스트링

302: 레퍼런스 셀 스트링

303: 프리차지 회로부

304: 동기화 회로부

305: 래치 입력부

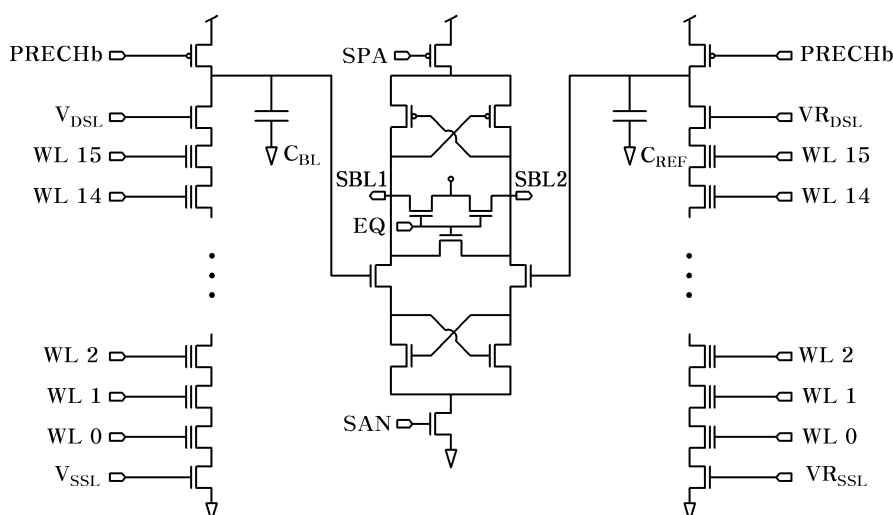
306: 풀-다운 래치 회로부

307: 풀-업 래치 회로부

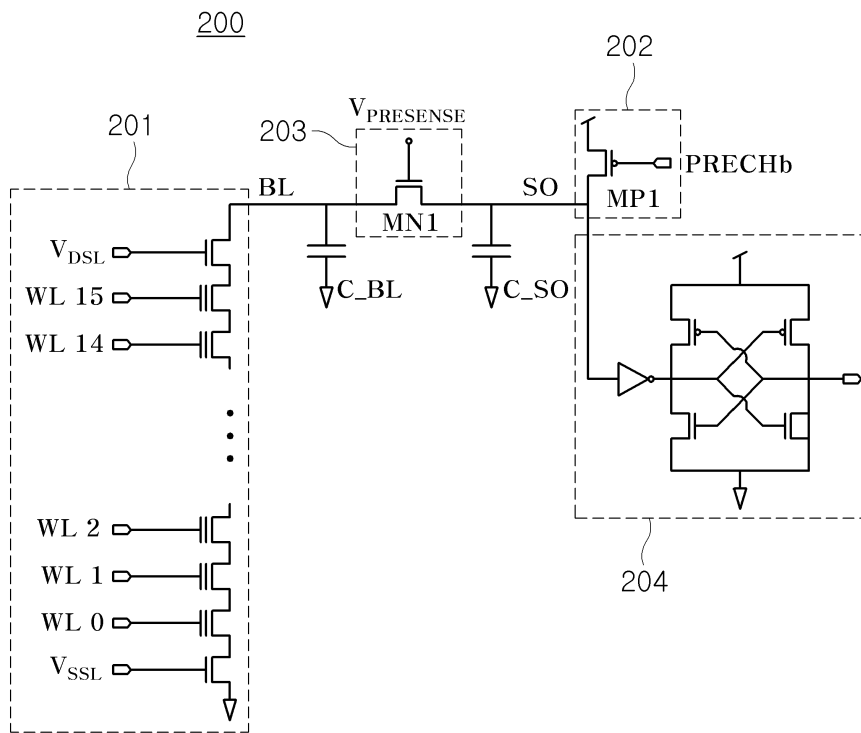
도면

도면1

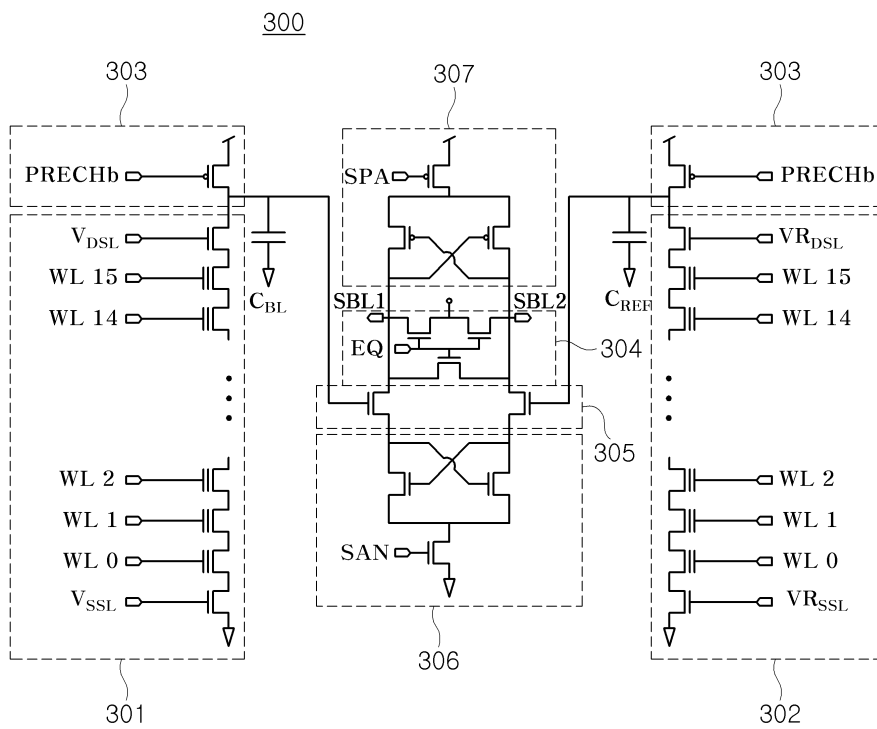
100



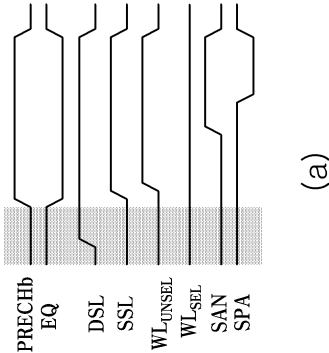
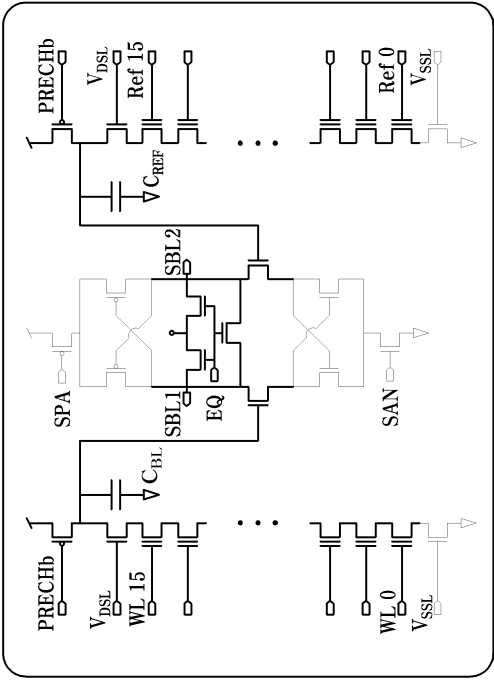
도면2



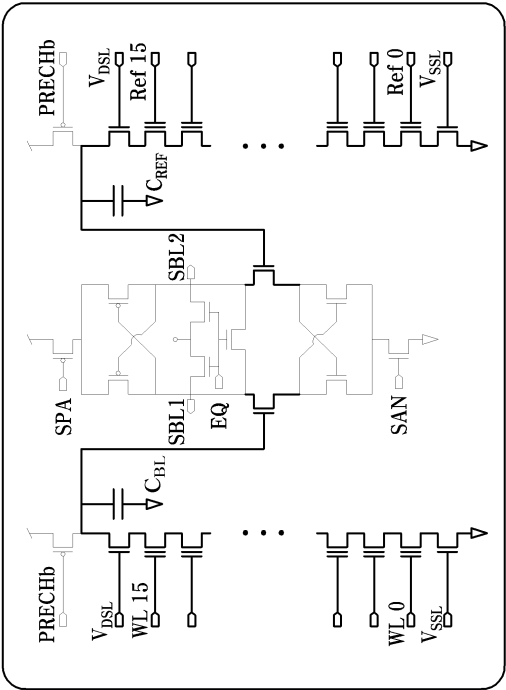
도면3



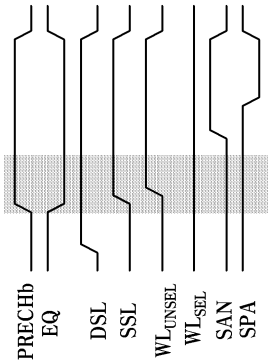
도면4a



도면4b

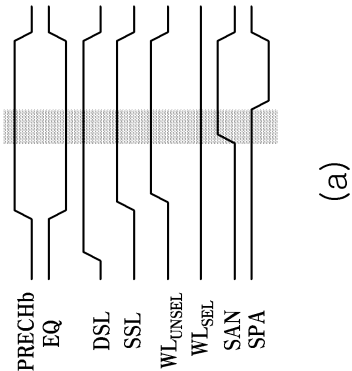
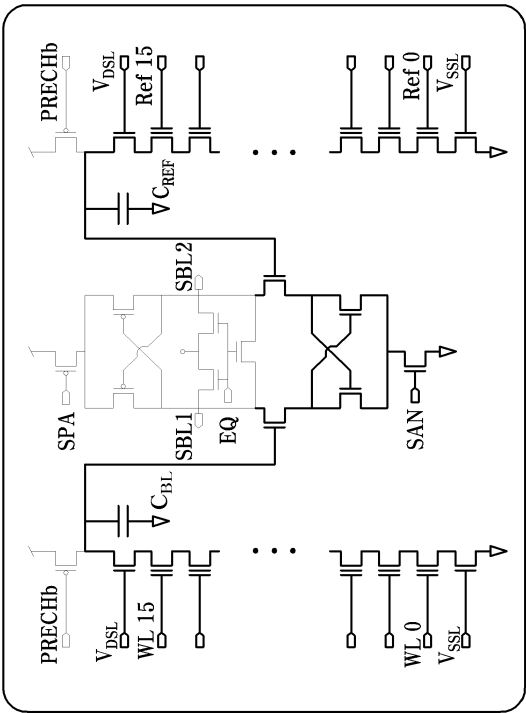


(b)

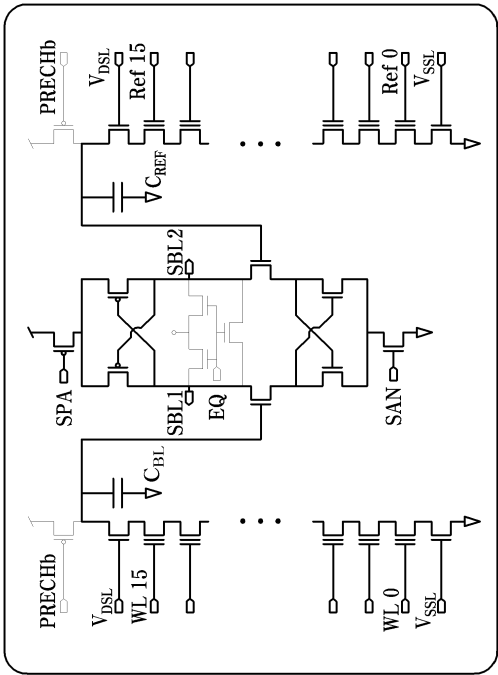


(a)

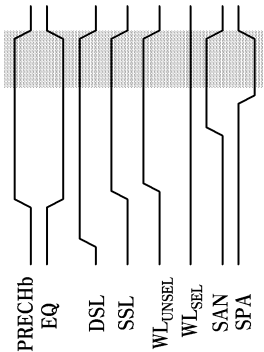
도면4c



도면4d



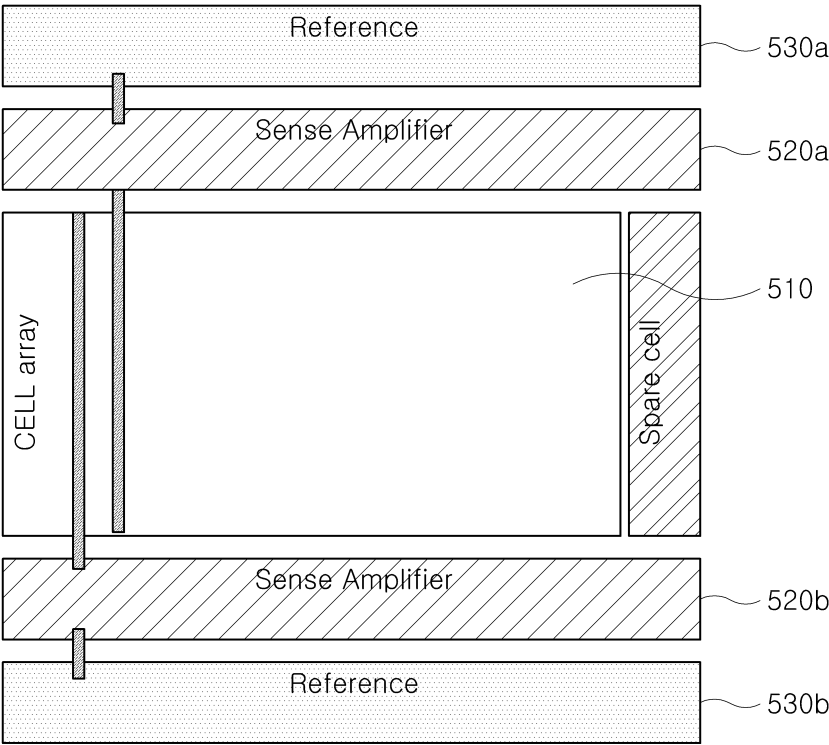
(b)



(a)

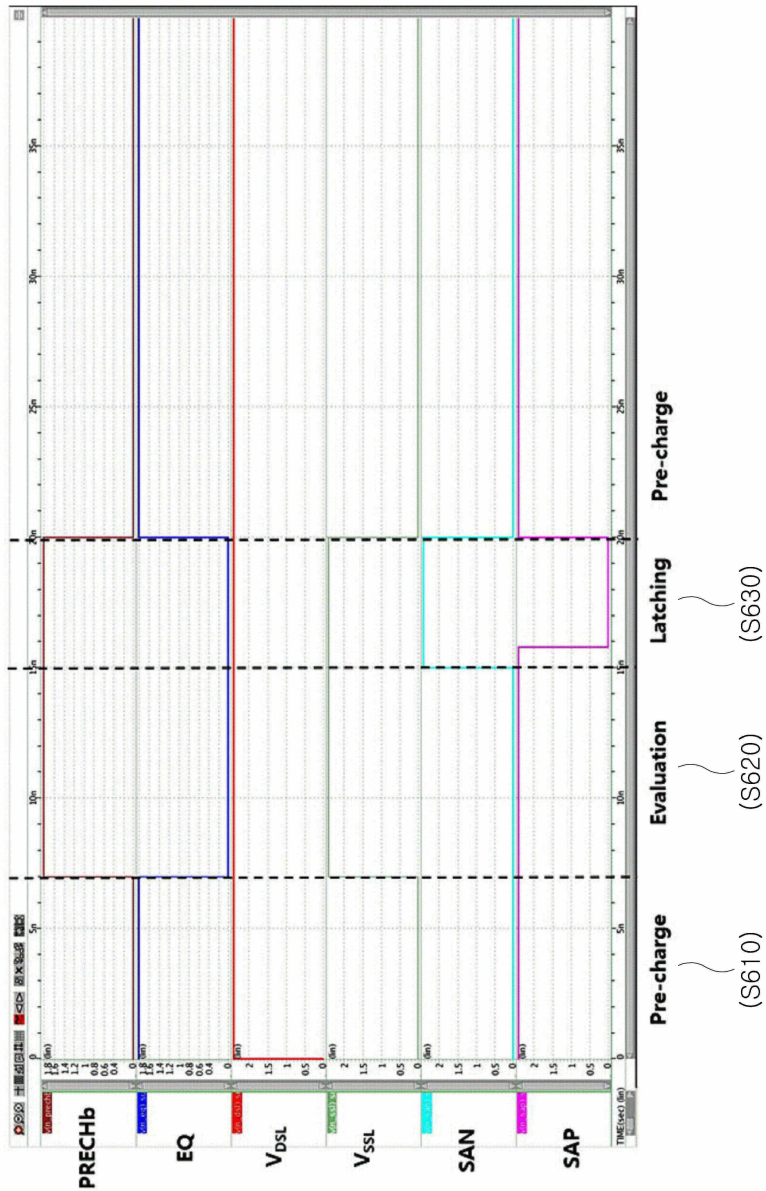
도면5

500

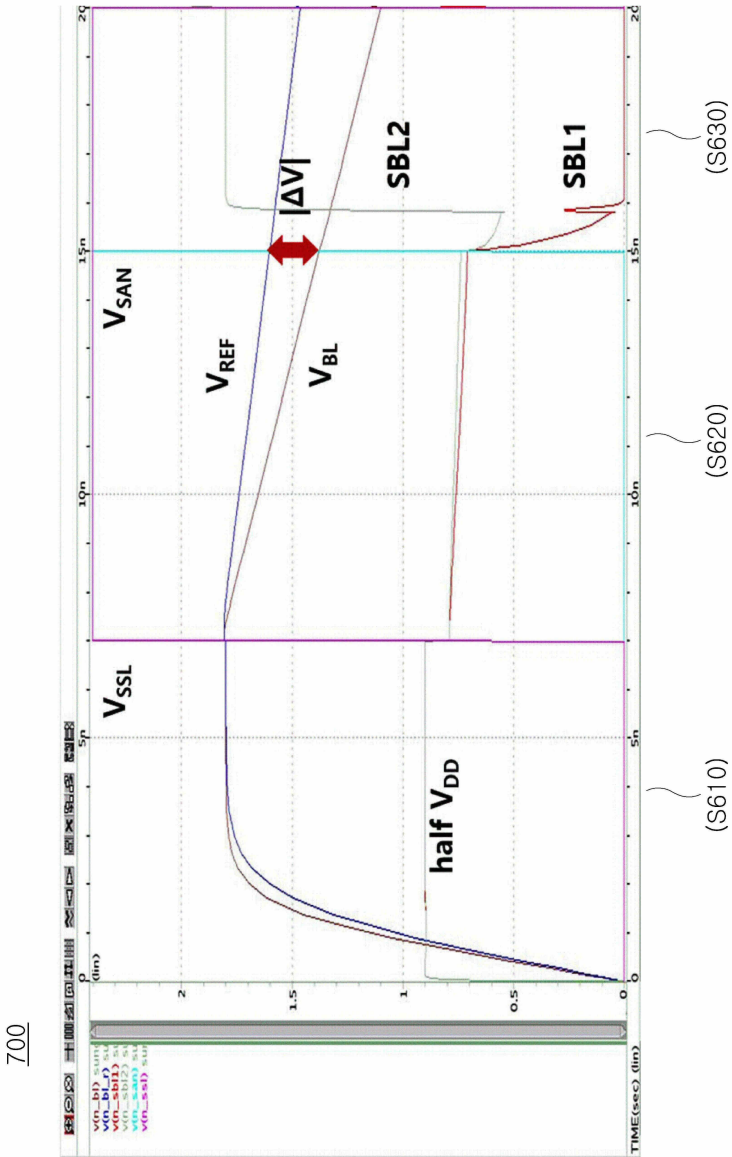


도면6

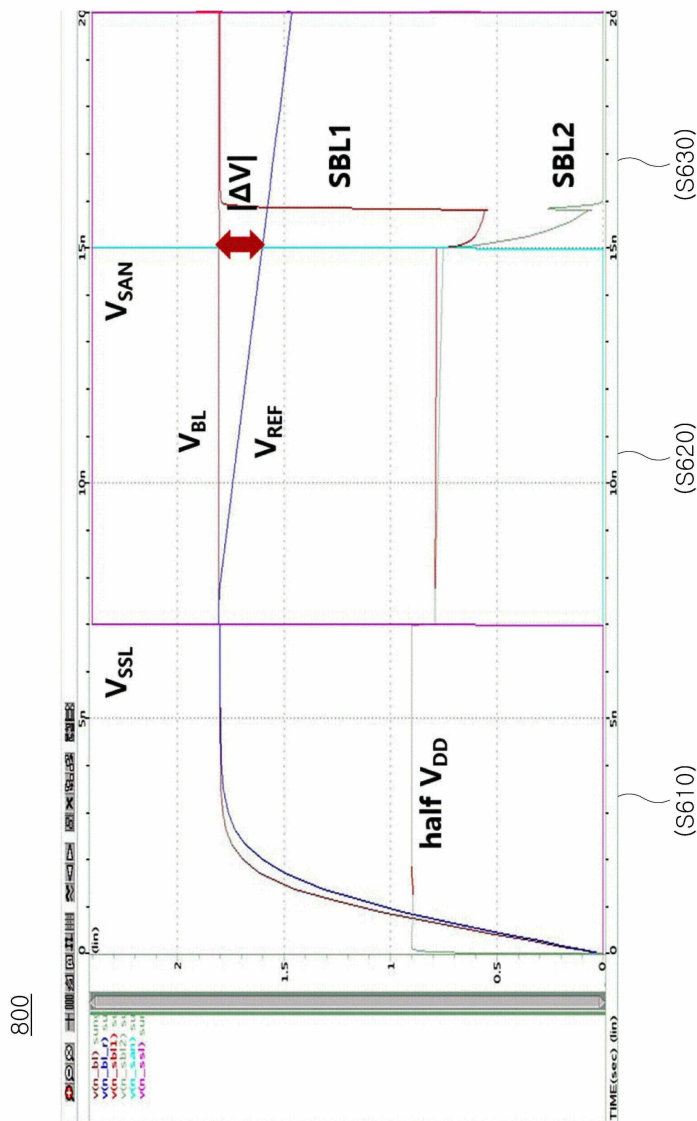
600



도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

제1항에 있어서,

상기 센스 앰프 장치는,

상기 프리차지 제어신호(PREChb)가 '로우(low)'가 되고, 상기 EQ 신호가 '하이(High)'가 되면 프리차지 단계를 수행하며,

상기 프리차지 단계에서, 상기 비트 라인 및 상기 레퍼런스 라인 각각은 전원 전압(VDD)로 프리차지되며, 상기 출력 노드(SBL1, SBL2)는 전원 전압(VDD)/2로 프리차지되는 것을 특징으로 센스 앰프 장치.

【변경후】

제1항에 있어서,

상기 센스 앰프 장치는,

상기 프리차지 제어신호(PREChb)가 '로우(low)'가 되고, 상기 EQ 신호가 '하이(High)'가 되면 프리차지 단계를

수행하며,

상기 프리차지 단계에서, 상기 비트 라인 및 상기 레퍼런스 라인 각각은 전원 전압(VDD)로 프리차지되며, 상기 출력 노드(SBL1, SBL2)는 전원 전압(VDD)/2로 프리차지되는 것을 특징으로 하는 센스 앰프 장치.