



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월06일  
(11) 등록번호 10-2198548  
(24) 등록일자 2020년12월29일

(51) 국제특허분류(Int. Cl.)  
G01R 19/04 (2006.01) G01R 29/08 (2006.01)  
(52) CPC특허분류  
G01R 19/04 (2013.01)  
G01R 29/0814 (2013.01)  
(21) 출원번호 10-2019-0132102  
(22) 출원일자 2019년10월23일  
심사청구일자 2019년10월23일  
(56) 선행기술조사문헌  
US20080136528 A1  
KR101274157 B1  
KR1020160029724 A  
US20090066157 A1

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
김태욱  
서울특별시 서대문구 연희로28길 49, 화이트빌동 505호(연희동, 화이트빌)  
김창환  
경기도 용인시 기흥구 한보라2로 141, 805동 401호(공세동, 화성파크드림프라브)  
이근행  
서울특별시 서대문구 연세로5나길 41-2, 202호(창천동)  
(74) 대리인  
김연권

전체 청구항 수 : 총 9 항

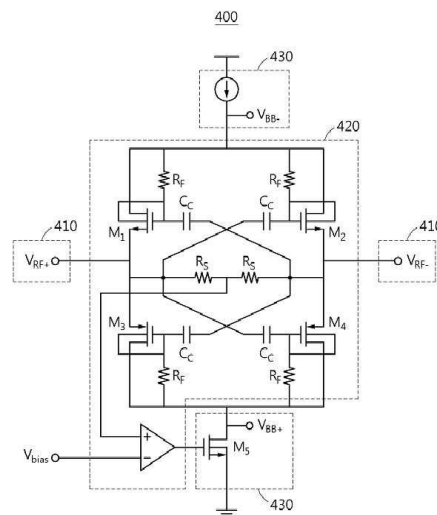
심사관 : 권민정

(54) 발명의 명칭 임펄스 검출을 위한 엔벨로프 검출기 및 그 방법

(57) 요약

본 발명은 엔벨로프 검출기 및 그 방법에 관한 것으로서, 일실시예에 따른 엔벨로프 검출기는 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신하는 입력부와, 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하고, 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성하는 코어부 및 복수의 출력 노드를 이용하여 생성된 차동 출력 신호를 외부로 출력하는 출력부를 포함한다.

대표도 - 도4



(52) CPC특허분류

**G01R 29/0892** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711081011
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원(한국연구재단부설)
연구사업명	정보통신방송연구개발사업
연구과제명	초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이더 SoC (System On a Chip)
설계 연구(3/8)	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.01 ~ 2019.12.31
공지예외적용	: 있음

---

## 명세서

### 청구범위

#### 청구항 1

복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신하는 입력부;

상기 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 상기 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하고, 상기 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성하는 코어부 및

복수의 출력 노드를 이용하여 상기 생성된 차동 출력 신호를 외부로 출력하는 출력부

를 포함하고,

상기 코어부는,

상기 복수의 크로스-커플드 캐패시터와 연결되는 접지 저항을 통해 형성되는 가상 접지 라인(virtual ground) 및 상기 가상 접지 라인이 입력으로 연결되는 연산 증폭기(op-amp)를 더 포함하는

엔벨로프 검출기.

#### 청구항 2

제1항에 있어서,

상기 복수의 트랜지스터는,

상기 복수의 출력 노드 중 제1 출력 노드와 연결되는 제1 트랜지스터 및 제2 트랜지스터와, 상기 복수의 출력 노드 중 제2 출력 노드와 연결되는 제3 트랜지스터 및 제4 트랜지스터를 포함하는

엔벨로프 검출기.

#### 청구항 3

제2항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 NMOS(n-channel MOS) 트랜지스터로 형성되고,

상기 제3 트랜지스터 및 상기 제4 트랜지스터는 PMOS(p-channel MOS) 트랜지스터로 형성되는

엔벨로프 검출기.

#### 청구항 4

제1항에 있어서,

상기 복수의 트랜지스터는,

다이오드 연결(diode-connected)된 DTMOS(dynamic threshold-voltage MOSFET) 트랜지스터인

엔벨로프 검출기.

#### 청구항 5

제4항에 있어서,

상기 복수의 트랜지스터는,

상기 다이오드 연결되는 경로 상에 구비되는 피드백 저항을 더 포함하는

엔벨로프 검출기.

## 청구항 6

삭제

## 청구항 7

제1항에 있어서,

상기 출력부는,

상기 복수의 출력 노드 중 제2 출력 노드에 제5 트랜지스터가 연결되는

엔벨로프 검출기.

## 청구항 8

제7항에 있어서,

상기 제5 트랜지스터는,

게이트 단자를 통해 상기 연산 증폭기의 출력 라인과 연결되어, 공통 모드 피드백 라인(common node feedback, CMFB)을 형성하는

엔벨로프 검출기.

## 청구항 9

제1항에 있어서,

상기 출력부는,

상기 복수의 출력 노드 중 제1 출력 노드에 전류 소스(current source)가 연결되는

엔벨로프 검출기.

## 청구항 10

입력부에서, 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신하는 단계;

상기 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 상기 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하는 코어부에서, 상기 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성하는 단계 및

출력부에서, 복수의 출력 노드를 이용하여 상기 생성된 차동 출력 신호를 외부로 출력하는 단계

를 포함하고,

상기 코어부는,

상기 복수의 크로스-커플드 캐패시터와 연결되는 접지 저항을 통해 형성되는 가상 접지 라인(virtual ground) 및 상기 가상 접지 라인이 입력으로 연결되는 연산 증폭기(op-amp)를 더 포함하는

엔벨로프 검출 방법.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 엔벨로프 검출기 및 그 방법에 관한 것으로, 보다 상세하게는 높은 변환 이득으로 엔벨로프를 검출하는 기술적 사상에 관한 것이다.

## 배경 기술

- [0002] 최근 센서와 사물인터넷(Internet of Things, IoT)이 발달함에 따라 휴대 기기간의 통신이 중요해지고 있으나, 송수신기의 높은 전력소비는 휴대기기의 장기간 사용에 제약적인 사항으로 작용되고 있다.
- [0003] 이에, 최근 웨이크-업 수신기(wake-up receiver, WuRx)와 같은 무선 센서 노드(wireless sensor node)가 관심을 받고 있으며, 웨이크-업 수신기와 같은 초저전력 수신기와 이에 적용되는 엔벨로프 검출기(envelope detector)의 성능 개선이 요구되고 있다.
- [0004] 이하에서는 도 1a 내지 도 1b를 통해 기존의 엔벨로프 검출기를 설명하기로 한다.
- [0005] 도 1a 내지 도 1b를 참조하면, 참조부호 110은 기존의 엔벨로프 검출기를 나타내고, 참조부호 120은 엔벨로프 검출기의 입력 신호 및 출력 신호를 나타낸다.
- [0006] 참조부호 110 내지 120에 따르면, 기존의 엔벨로프 검출기는 복수의 입력 노드( $V_{RF+}$  및  $V_{RF-}$ )를 통해 차동 입력 신호를 입력으로 수신하여 차동 출력 신호를 생성할 수 있으며, 생성된 차동 입력 신호를 복수의 출력 노드( $V_{BB+}$  및  $V_{BB-}$ )를 통해 외부로 출력한다.
- [0007] 여기서, 차동 입력 신호는 RF(radio frequency) 신호이며, 엔벨로프 검출기는 온/오프(on/off)의 형태로 입력되는 차동 입력 신호의 엔벨로프를 검출하여 베이스밴드 신호(baseband signal)를 생성할 수 있다.
- [0008] 또한, 베이스밴드 신호의 크기는 차동 입력 신호의 크기에 의해 결정되고, 주파수가 변환될 때 변환 이득(Conversion Gain)이 발생한다.
- [0009] 이때, 엔벨로프 검출기가 저전력에서 동작하며 높은 감도(sensitivity)를 얻기 위해서는 변환 이득이 높아야 하지만, 상술한 기존의 엔벨로프 검출기의 구조로는 변환 이득을 높이는데 한계가 있으며, 출력 대역폭(output bandwidth)이 작아 대역폭이 큰 임펄스(impulse)를 검출하기 어렵다는 문제가 있다.

## 선행기술문헌

### 특허문헌

- [0010] (특허문헌 0001) 한국등록특허 제10-2016-0029724호 "하이브리드 차동 포락선 검출기 및 전파 정류기를 위한 장치 및 방법"

### 비특허문헌

- [0011] (비특허문헌 0001) "A Near-Zero-Power Wake-Up Receiver Achieving -69-dBm Sensitivity", PHP Wang, H Jiang, L Gao, P Sen, YH Kim, GM Rebeiz, PP Mercier, IEEE Journal of Solid-State Circuits 53 (6), 1640 - 1652

## 발명의 내용

### 해결하려는 과제

- [0012] 본 발명은 출력 대역폭을 확보하여 임펄스를 검출할 수 있는 엔벨로프 검출기 및 그 방법을 제공하고자 한다.
- [0013] 본 발명은 크로스-커플드(cross-coupled) 캐패시터를 이용하여 변환 이득을 확보할 수 있는 엔벨로프 검출기 및 그 방법을 제공하고자 한다.
- [0014] 본 발명은 기존의 부하 저항을 전류 소스로 대체하여 능동 부하를 구현하고, DTMOS 트랜지스터를 이용하여 변환 이득을 증가시킬 수 있는 엔벨로프 검출기 및 그 방법을 제공하고자 한다.

### 과제의 해결 수단

- [0015] 일실시예에 따른 엔벨로프 검출기는 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신하는 입력부와, 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하고, 수신된 차동 입력 신호를 다

운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성하는 코어부 및 복수의 출력 노드를 이용하여 생성된 차동 출력 신호를 외부로 출력하는 출력부를 포함할 수 있다.

- [0016] 일측에 따르면, 복수의 트랜지스터는 복수의 출력 노드 중 제1 출력 노드와 연결되는 제1 트랜지스터 및 제2 트랜지스터와, 복수의 출력 노드 중 제2 출력 노드와 연결되는 제3 트랜지스터 및 제4 트랜지스터를 포함할 수 있다.
- [0017] 일측에 따르면, 제1 트랜지스터 및 제2 트랜지스터는 NMOS(n-channel MOS) 트랜지스터로 형성되고, 제3 트랜지스터 및 제4 트랜지스터는 PMOS(p-channel MOS) 트랜지스터로 형성될 수 있다.
- [0018] 일측에 따르면, 복수의 트랜지스터는 다이오드 연결(diode-connected)된 DTMOS(dynamic threshold-voltage MOSFET) 트랜지스터일 수 있다.
- [0019] 일측에 따르면, 복수의 트랜지스터는 다이오드 연결되는 경로 상에 구비되는 피드백 저항을 더 포함할 수 있다.
- [0020] 일측에 따르면, 코어부는 복수의 크로스-커플드 캐패시터와 연결되는 접지 저항을 통해 형성되는 가상 접지 라인(virtual ground) 및 가상 접지 라인이 입력으로 연결되는 연산 증폭기(op-amp)를 더 포함할 수 있다.
- [0021] 일측에 따르면, 출력부는 복수의 출력 노드 중 제2 출력 노드에 제5 트랜지스터가 연결될 수 있다.
- [0022] 일측에 따르면, 제5 트랜지스터는 게이트 단자를 통해 연산 증폭기의 출력 라인과 연결되어, 공통 모드 피드백 라인(common node feedback, CMFB)을 형성할 수 있다.
- [0023] 일측에 따르면, 출력부는 복수의 출력 노드 중 제1 출력 노드에 전류 소스(current source)가 연결될 수 있다.
- [0024] 일실시예에 따른 엔벨로프 검출 방법은 입력부에서, 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신하는 단계와, 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하는 코어부에서, 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성하는 단계 및 출력부에서, 복수의 출력 노드를 이용하여 생성된 차동 출력 신호를 외부로 출력하는 단계를 포함할 수 있다.

### 발명의 효과

- [0025] 일실시예에 따르면, 엔벨로프 검출기의 출력 대역폭을 확보하여 임펄스를 검출할 수 있다.
- [0026] 일실시예에 따르면, 크로스-커플드(cross-coupled) 캐패시터를 이용하여 변환 이득을 확보할 수 있다.
- [0027] 일실시예에 따르면, 기존의 부하 저항을 전류 소스로 대체하여 능동 부하를 구현하고, DTMOS 트랜지스터를 이용하여 변환 이득을 증가시킬 수 있다.

### 도면의 간단한 설명

- [0028] 도 1a 내지 도 1b는 기존의 엔벨로프 검출기를 설명하기 위한 도면이다.
- 도 2a 내지 도 2c는 일실시예에 따른 엔벨로프 검출기의 적용예를 설명하기 위한 도면이다.
- 도 3은 일실시예에 따른 엔벨로프 검출기를 설명하기 위한 도면이다.
- 도 4는 일실시예에 따른 엔벨로프 검출기의 구현예를 설명하기 위한 도면이다.
- 도 5a 내지 도 5b는 일실시예에 따른 엔벨로프 검출기의 변환 이득 특성을 설명하기 위한 도면이다.
- 도 6a 내지 도 6b는 일실시예에 따른 엔벨로프 검출기의 출력 임피던스 특성을 설명하기 위한 도면이다.
- 도 7a 내지 도 7f는 일실시예에 따른 엔벨로프 검출기의 시뮬레이션 결과를 나타낸다.
- 도 8은 일실시예에 따른 엔벨로프 검출 방법을 설명하기 위한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0029] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예

들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

- [0030] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0031] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0032] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0033] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0038] 도 2a 내지 도 2c는 일실시예에 따른 엔벨로프 검출기의 적용예를 설명하기 위한 도면이다.
- [0039] 도 2a 내지 도 2c를 참조하면, 참조부호 210은 임펄스 검출을 위한 수신기의 아날로그-프론트-엔드 회로에 일실시예에 따른 엔벨로프 검출기를 적용하는 예시를 나타내고, 참조부호 220은 참조부호 210의 회로 동작에 따른 타이밍 다이어그램을 나타내며, 참조부호 230은 웨이크-업 수신기에 일실시예에 따른 엔벨로프 검출기를 적용하는 예시를 나타낸다.
- [0040] 참조부호 210 내지 220에 따르면, 일실시예에 따른 엔벨로프 검출기는 출력 대역폭(output bandwidth)를 크게 하여 임펄스 검출(impulse detect)을 위한 아날로그-프론트-엔드(analog-front-end) 회로에 적용될 수 있다.
- [0041] 구체적으로, 아날로그-프론트-엔드 회로는 증폭기(RF amp)를 통해 안테나(ant.)로 수신되는 임펄스를 증폭하고, 일실시예에 따른 인벨로프 검출기(envelop detector)를 통해 증폭된 신호를 다운 컨버전(down conversion)하며, 이후 비교기(comparator)를 통해 다운 컨버전을 통해 검출된 임펄스를 따라 필요한 클럭 신호를 생성할 수 있다.
- [0042] 여기서, 임펄스 검출을 위한 인벨로프 검출기(envelop detector)는 임펄스의 대역폭으로 다운 컨버전하기 위해 500MHz 이상의 출력 대역폭을 가져야 하며, 감도(sensitivity)를 향상시키기 위하여 변환 이득(conversion gain)이 높아야 한다.
- [0043] 이에, 일실시예에 따른 인벨로프 검출기(envelop detector)는 복수의 크로스-커플드(cross-coupled) 캐패시터를 이용하여 회로를 구성함으로써, 기존 대비 변환 이득을 12dB 증가시킬 수 있다.
- [0044] 참조부호 230에 따르면, 일실시예에 따른 엔벨로프 검출기는 웨이크-업 수신기에 적용될 수 있으며, 일실시예에 따른 웨이크-업 수신기는 안테나(ant.), 매칭 네트워크(matching network), 일실시예에 따른 엔벨로프 검출기



(envelope detector), 베이스밴드 증폭기(baseband amplifier) 및 비교기(comparator)를 구비할 수 있다.

- [0045] 구체적으로, 웨이크-업 수신기는 고감도 및 저전력 설계가 필요하며, 이를 위해 엔벨로프 검출기(envelope detector)는 nW 수준의 초 저전력 설계 및 높은 변환 이득이 요구된다.
- [0046] 이에, 일실시예에 따른 엔벨로프 검출기(envelope detector)는 기존 회로에 구비된 부하(load) 저항을 전류 소스(current source)로 대체하여 능동 부하(active load)를 구현하고, 변환 이득을 추가로 확보하기 위해 복수의 DTMOS(dynamic threshold-voltage mosfet) 트랜지스터를 이용하여 회로를 구성할 수 있다.
- [0047] 또한, 일실시예에 따른 엔벨로프 검출기(envelope detector)는 DC 바이어싱(biasing)을 위해 능동 인덕터 바이어싱(active inductor biasing)과 공통 모드 피드백 라인(common node feedback, CMFB)을 동시에 적용할 수 있다.
- [0048] 일실시예에 따른 엔벨로프 검출기는 이후 실시예 도 3 내지 도 4를 통해 보다 구체적으로 설명하기로 한다.
- [0050] 도 3은 일실시예에 따른 엔벨로프 검출기를 설명하기 위한 도면이다.
- [0051] 다시 말해, 도 3은 도 2a 내지 도 2c를 통해 설명한 일실시예에 따른 엔벨로프 검출기를 보다 구체적으로 설명하기 위한 도면으로, 이후 도 3을 통해 설명하는 내용 중 도 2a 내지 도 2c를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0052] 도 3을 참조하면, 일실시예에 따른 엔벨로프 검출기(300)는 출력 대역폭을 확보하여 임펄스를 검출할 수 있다.
- [0053] 또한, 엔벨로프 검출기(300)는 크로스-커플드(cross-coupled) 캐패시터를 이용하여 변환 이득을 확보할 수 있다.
- [0054] 또한, 엔벨로프 검출기(300)는 기존의 부하 저항을 전류 소스로 대체하여 능동 부하를 구현하고, DTMOS 트랜지스터를 이용하여 변환 이득을 증가시킬 수 있다.
- [0055] 이를 위해, 엔벨로프 검출기(300)는 입력부(310), 코어부(320) 및 출력부(330)를 포함할 수 있다.
- [0056] 구체적으로, 일실시예에 따른 입력부(310)는 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신할 수 있다. 예를 들면, 차동 입력 신호는 RF 신호일 수 있다.
- [0057] 일실시예에 따른 코어부(320)는 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하고, 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성할 수 있다.
- [0058] 예를 들면, 복수의 트랜지스터는 DTMOS(dynamic threshold-voltage MOSFET) 트랜지스터일 수 있다.
- [0059] 또한, 복수의 크로스-커플드 캐패시터는 서로 크로스-커플드로 연결되는 캐패시터일 수 있다.
- [0060] 일실시예에 따른 출력부(330)는 복수의 출력 노드를 이용하여 코어부(320)를 통해 생성된 차동 출력 신호를 외부로 출력할 수 있다.
- [0062] 도 4는 일실시예에 따른 엔벨로프 검출기의 구현예를 설명하기 위한 도면이다.
- [0063] 다시 말해, 도 4는 도 2a 내지 도 3을 통해 설명한 일실시예에 따른 엔벨로프 검출기에 관한 예시를 설명하기 위한 도면으로, 이후 도 4를 통해 설명하는 내용 중 도 2a 내지 도 3을 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0064] 도 4를 참조하면, 일실시예에 따른 엔벨로프 증폭기(400)는 입력부(410), 코어부(420) 및 출력부(430)를 포함할 수 있다.
- [0065] 일실시예에 따른 입력부(410)는 복수의 입력 노드( $V_{RF+}$  및  $V_{RF-}$ )를 통해 차동 입력 신호(differential input signal)를 수신할 수 있다.
- [0066] 일실시예에 따른 코어부(420)는 복수의 입력 노드( $V_{RF+}$  및  $V_{RF-}$ )와 각각 연결되는 복수의 트랜지스터( $M_1$  내지  $M_4$ ) 및 복수의 트랜지스터( $M_1$  내지  $M_4$ ) 각각의 게이트 단자와 연결되는 복수의 크로스-커플드 캐패시터( $C_C$ )를 포함하고, 입력부(410)를 통해 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성할 수 있다.



- [0067] 또한, 출력부(430)는 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ )를 이용하여 코어부(420)를 통해 생성된 차동 출력 신호를 외부로 출력할 수 있다.
- [0068] 일측에 따르면, 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )는 제1 출력 노드( $V_{BB-}$ )와 연결되고, 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )는 제2 출력 노드( $V_{BB+}$ )와 연결될 수 있다.
- [0069] 또한, 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )는 NMOS(n-channel MOS) 트랜지스터로 형성되고, 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )는 PMOS(p-channel MOS) 트랜지스터로 형성될 수 있다.
- [0070] 다시 말해, 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )는 드레인 단자를 통해 제1 출력 노드( $V_{BB-}$ )와 연결되고, 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )는 드레인 단자를 통해 제2 출력 노드( $V_{BB+}$ )와 연결될 수 있다.
- [0071] 일측에 따르면, 복수의 트랜지스터( $M_1$  내지  $M_4$ )는 다이오드 연결(diode-connected)된 DT MOS(dynamic threshold-voltage MOSFET) 트랜지스터일 수 있으며, 복수의 트랜지스터( $M_1$  내지  $M_4$ ) 각각에서 다이오드 연결된 경로 상에는 피드백 저항( $R_F$ )이 구비될 수 있다.
- [0072] 일측에 따르면, 코어부(420)는 복수의 크로스-커플드 캐패시터와 연결되는 접지 저항( $R_S$ )을 통해 형성되는 가상 접지 라인(virtual ground) 및 가상 접지 라인이 입력으로 연결되는 연산 증폭기(op-amp)를 더 포함할 수 있다.
- [0073] 예를 들면, 코어부(420)는 서로 직렬로 연결되는 복수 개의 접지 저항( $R_S$ )을 구비할 수 있으며, 복수 개의 접지 저항( $R_S$ ) 사이에 구비된 노드를 통해 연산 증폭기가 연결될 수 있다.
- [0074] 또한, 복수 개의 접지 저항( $R_S$ ) 중 어느 하나의 접지 저항은 일측을 통해 다른 하나의 접지 저항과 연결되고 타측을 통해 제1 트랜지스터( $M_1$ ) 및 제3 트랜지스터( $M_3$ )의 소스 단자 및 제1 입력 노드( $V_{RF+}$ )와 연결되고, 다른 하나의 접지 저항은 일측을 통해 어느 하나의 접지 저항과 연결되고 타측을 통해 제2 트랜지스터( $M_2$ ) 및 제4 트랜지스터( $M_4$ )의 소스 단자 및 제2 입력 노드( $V_{RF-}$ )와 연결될 수 있다.
- [0075] 한편, 연산 증폭기는 접지 저항( $R_S$ )을 통해 형성되는 가상 접지 라인을 통해 인가되는 신호와 기설정된 기준 전압( $V_{bias}$ )을 입력을 수신할 수 있다.
- [0076] 일측에 따르면, 출력부(430)는 제2 출력 노드( $V_{BB+}$ )에 제5 트랜지스터( $M_5$ )가 연결될 수 있으며, 제5 트랜지스터( $M_5$ )는 DT MOS 트랜지스터일 수 있다.
- [0077] 또한, 제5 트랜지스터( $M_5$ )는 게이트 단자를 통해 연산 증폭기의 출력 라인과 연결되어, 공통 모드 피드백 라인(common node feedback, CMFB)을 형성할 수 있다.
- [0078] 다시 말해, 일실시예에 따른 엔벨로프 검출기(400)는 가상 접지 라인과 연산 증폭기 및 제5 트랜지스터( $M_5$ )를 통해 공통 모드 피드백 라인(CMFB)을 형성할 수 있다.
- [0079] 일측에 따르면, 제1 출력 노드( $V_{BB-}$ )는 전류 소스(current source)와 연결될 수 있다.
- [0080] 다시 말해, 일실시예에 따른 엔벨로프 검출기(400)는 기존 회로에 구비된 부하(load) 저항을 전류 소스로 대체하여 능동 부하(active load)를 구현할 수 있다.
- [0081] 보다 구체적으로, 복수의 트랜지스터( $M_1$  내지  $M_4$ )는 역치 아래의 전압(subthreshold voltage) 영역에서 동작하므로(i.e.,  $200\text{mV} > V_{ds} > 100\text{mV}$ ), BJT(bipolar junction transistor)와 같이 동작할 수 있다.

[0082] 또한, 복수의 트랜지스터( $M_1$  내지  $M_4$ )는 피드백 저항( $R_F$ )을 통해 셀프 바이어싱(self biasing)될 수 있으며, 이때 복수의 트랜지스터( $M_1$  내지  $M_4$ )는 피드백 저항( $R_F$ )이 저주파에서 큰 임피던스(impedance)를 갖도록 하기 위해 다이오드 연결(diode-connected)될 수 있다.

[0083] 예를 들면, 피드백 저항( $R_F$ )은 동작 범위에서  $10 \text{ } G\Omega$ 의 저항 값을 가지며 1fF의 기생 캐패시턴스(parasitic capacitance)를 가지도록 설계될 수 있다.

[0084] 한편, 복수의 트랜지스터( $M_1$  내지  $M_4$ )는 피드백 저항( $R_F$ )을 사용하기 때문에 복수의 트랜지스터( $M_1$  내지  $M_4$ )의 드레인 단자와 게이트 단자 사이의 전압이 일정하게 유지되게 되며, 이로 인해 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ ) 사이의 전압을 일정하게 유지될 수 있다.

[0085] 그러나, 전류 소스의 바이어싱이 틀어지게 되면 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ ) 및 제2 출력 노드( $V_{BB+}$ )의 DC가 정확하게 정의되지 않을 수 있으므로 공통 모드 피드백 라인(CMFB)을 형성할 필요가 있다.

[0086] 이에, 일실시예에 따른 엔벨로프 검출기(400)는 저항 값이 큰 접지 저항( $R_S$ )을 통해 가상 접지 라인을 형성하고, 이를 증폭기를 통해 제5 트랜지스터( $M_5$ )와 연결하여 공통 모드 피드백 라인(CMFB)을 형성할 수 있다.

[0087] 일측에 따르면, 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ )를 통해 외부로 출력되는 차동 출력 신호의 전압은 하기 수학적식1을 통해 도출될 수 있다.

[0088] [수학적식1]

$$V_{out} = A_{conv.} \times V_{IN} = \frac{K_{ED}}{2} V_{IN}^2$$

[0089]

[0090] 여기서,  $A_{conv.}$ 는 엔벨로프 증폭기(400)의 변환 이득(conversion gain)을 나타내고,  $V_{IN}$ 는 차동 입력 신호의 진폭을 나타내며,  $K_{ED}$ 는 엔벨로프 증폭기(400)의 스케일 팩터(scaling factor[1/V])를 나타낸다.

[0091] 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ )는 차동 입력(differential input)이 들어오기 때문에 홀수차 항은 상쇄되어 사라지고 짝수차 항만 남게 될 수 있다.

[0092] 따라서, 변환 이득은 second-order의 트랜스컨덕턴스(transconductance)에 비례하며, 이에  $K_{ED}$ 는 하기 수학적식2를 통해 도출될 수 있다.

[0093] [수학적식2]

$$K_{ED} = g_m' \times Z_{OUT}$$

[0094]

[0095] 여기서,  $g_m'$ 는 트랜스컨덕턴스를 나타내고,  $Z_{OUT}$ 는 복수의 출력 노드( $V_{BB-}$  및  $V_{BB+}$ )에서의 임피던스를 나타낸다.

[0096]

[0097] 도 5a 내지 도 5b는 일실시예에 따른 엔벨로프 검출기의 변환 이득 특성을 설명하기 위한 도면이다.

[0098] 다시 말해, 도 5a 내지 도 5b는 도 2a 내지 도 4를 통해 설명한 일실시예에 따른 엔벨로프 검출기에 관한 예시를 설명하기 위한 도면으로, 이후 도 도 5a 내지 도 5b를 통해 설명하는 내용 중 도 2a 내지 도 4를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0099] 도 5a 내지 도 5b를 참조하면, 참조부호 510은 일실시예에 따른 엔벨로프 검출기의 입력 노드와 연결되는 코어부의 트랜지스터 및 트랜지스터의 게이트 단자와 연결되는 크로스-커플드 캐패시터의 등가회로를 나타내고, 참조부호 520은 일실시예에 따른 엔벨로프 검출기(CCC CG ED) 및 기존의 엔벨로프 검출기(CG ED)의 입력 전력

(Pin)에 따른 변환 이득 특성을 나타낸다.

[0100] 참조부호 510 내지 520에 따르면, 코어부의 트랜지스터의 소스 노드로 입력되는 신호는 크로스-커플드 캐패시터에 의해 반대 위상(phase)의 신호가 게이트 단자로 입력될 수 있다.

[0101] 이는 입력의 크기가 2배가 되는 것을 의미하고, 상술한 수학적식1에서 차동 출력 신호의 전압( $V_{out}$ )은 차동 입력 신호의 전압( $V_{IN}$ )의 제곱에 비례하기 때문에 차동 출력 신호의 전압( $V_{out}$ )은 4배가 증가하므로, 일실시예에 따른 엔벨로프 검출기는 기존 대비 12dB의 변환 이득을 향상시킬 수 있다.

[0102] 또한, 일실시예에 따른 엔벨로프 검출기는 바디 단자와 게이트 단자가 연결되는 DTMOS 트랜지스터를 사용하였으므로, 트랜스컨덕턴스( $g_m'$ )가 향상될 수 있으며, 이 때의 트랜스컨덕턴스( $g_m'$ )는 하기 수학적식3을 통해 도출될 수 있다.

[0103] [수학적식3]

$$g_m' = g_{m2} + g_{mb2}$$

[0105] 여기서,  $g_{m2}$ 는 second-order의 트랜스컨덕턴스를 나타내고,  $g_{mb2}$ 는 body-effect에 따른 트랜스컨덕턴스를 나타낸다.

[0106] 이때,  $g_{m2} = \frac{\partial g_m}{\partial v_{GS}}$ ,  $g_{mb2} = \frac{\partial g_{mb}}{\partial v_{GS}}$ 이며  $g_{mb2}$ 는  $g_{m2}$ 의 17% ~ 20%의 정도일 수 있으며, 이로 인해 약 1.4dB의 추가 이득(gain)을 얻을 수 있다.

[0107] 또한, 각 트랜지스터는 HVT(high voltage threshold) 트랜지스터이므로 고유 이득(intrinsic gain)이 크기 때문에  $\frac{g_m}{i_D}$ 의 관점에서 더 큰 효율을 가질 수 있으며 트랜지스터의 출력 임피던스( $r_{out}$ )가 더 크다는 장점이 있다.

[0108] 또한, HVT 트랜지스터는 게이트 누설(gate leakage)이 작기 때문에 게이트 누설로 인해 가상 접지가 깨지는 현상을 방지할 수 있다.

[0109] 한편, 일실시예에 따른 엔벨로프 검출기의 복수의 트랜지스터는 역치 아래의 전압(subthreshold voltage) 영역에서 동작하므로, 전압 헤드룸(voltage headroom) 문제의 발생을 방지할 수 있다.

[0110] 예를 들면, 복수의 트랜지스터 중 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )의 크기는 각각 1.6 $\mu m$  및 0.5 $\mu m$ 이고, 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )의 크기는 각각 3.2 $\mu m$  및 0.5 $\mu m$ 일 수 있다.

[0111] 또한, 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )의  $g_{m2}$  및  $g_{mb2}$ 는 각각 897nS 및 154nS이고, 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )의  $g_{m2}$  및  $g_{mb2}$ 는 각각 800nS 및 164nS일 수 있다.

[0113] 도 6a 내지 도 6b는 일실시예에 따른 엔벨로프 검출기의 출력 임피던스 특성을 설명하기 위한 도면이다.

[0114] 다시 말해, 도 6a 내지 도 6b는 도 2a 내지 도 5b를 통해 설명한 일실시예에 따른 엔벨로프 검출기에 관한 예시를 설명하기 위한 도면으로, 이후 도 5a 내지 도 5b를 통해 설명하는 내용 중 도 2a 내지 도 4를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0115] 도 6a 내지 도 6b를 참조하면, 참조부호 610은 일실시예에 따른 엔벨로프 검출기의 등가 회로를 나타내고, 참조부호 620은 일실시예에 따른 엔벨로프 검출기의 출력 노드에서의 출력 임피던스( $Z_{out}$ ) 특성을 나타낸다.

[0116] 참조부호 610 내지 620에 따르면, 피드백 저항( $R_F$ )으로 바이어싱(biasing)된 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )는 능동 인덕터(active inductor)처럼 동작할 수 있으므로, 출력 노드에서의 출력 임피던스( $Z_{out}$ )는

하기 수식식4를 통해 도출될 수 있다.

[수식식4]

$$Z_{OUT} = \left( \frac{gm + sC_g}{1 + sC_g R_{FB}} + \frac{1}{r_o} + sC_L \right)^{-1}$$

여기서,  $C_g$ 는 트랜지스터( $M_1$  및  $M_2$ )의 게이트 단자에 연결된 크로스-커플드 캐패시터( $C_c$ )의 크기를 나타내고,  $r_{o,n}$ 는 NMOS 트랜지스터인 제1 트랜지스터( $M_1$ ) 및 제2 트랜지스터( $M_2$ )의 출력 임피던스를 나타낸다.

구체적으로,  $C_g$ 의 크기는 게이트-소스 캐패시터( $C_{gs}$ )와 크로스-커플드 캐패시터( $C_c$ )의 합( $C_g = C_{gs} + C_c$ )으로 표현될 수 있으며, 능동 인덕터 바이어싱(active inductor biasing)이 사용되었으므로 zero를 지나  $|Z_{OUT}|$ 가 최대가 되며, 이 때의 값( $R_{OUT}$ )은  $R_{OUT} = r_{o,p} // r_{o,n} // r_{o,n} // R_F // R_F$ 로 표현될 수 있다(여기서,  $r_{o,p}$ 는 PMOS 트랜지스터인 제3 트랜지스터( $M_3$ ) 및 제4 트랜지스터( $M_4$ )의 출력 임피던스).

여기서,  $|Z_{OUT}|$ 가 최대가 되는 주파수에서 변환 이득이 최대를 가지며 이 때의 동작 주파수는 1kHz 내지 10kHz 일 수 있다. 즉, 일실시예에 따른 엔벨로프 검출기의 출력 대역폭이 10kHz임을 확인할 수 있다.

도 7a 내지 도 7f는 일실시예에 따른 엔벨로프 검출기의 시뮬레이션 결과를 나타낸다.

다시 말해, 도 7a 내지 도 7f는 도 2a 내지 도 6b를 통해 설명한 일실시예에 따른 엔벨로프 검출기에 관한 시뮬레이션 결과를 설명하기 위한 도면으로, 이후 도 도 7a 내지 도 7f를 통해 설명하는 내용 중 도 2a 내지 도 6b를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

도 7a 내지 도 7f를 참조하면, 참조부호 710은 일실시예에 따른 엔벨로프 검출기의 출력 신호를 설명하기 위한 그래프이고, 참조부호 720은 일실시예에 따른 엔벨로프 검출기에서 입력 전력(Pin)에 따른 변환 이득 및 노이즈 특성을 설명하기 위한 그래프이다.

또한, 참조부호 730은 일실시예에 따른 엔벨로프 검출기에서의 변환 이득 및 출력 대역폭 특성을 설명하기 위한 그래프이고, 참조부호 740은 일실시예에 따른 엔벨로프 검출기에서의 출력 노이즈 특성을 설명하기 위한 그래프이다.

또한, 참조부호 750 및 참조부호 760은 각각 임펄스 검출을 위한 수신기 및 웨이크-업 수신기에 적용된 일실시예에 따른 엔벨로프 검출기의 감도 특성을 설명하기 위한 도면이다.

참조부호 750 및 참조부호 760에서  $P_{IN}$ 은 입력 전력을 나타내고, Pmds of CG ED는 기존의 엔벨로프 검출기 특성을 나타내며, Pmds of CG CCC ED, Pmds of active load ED 및 Pmds of active load ED with matching network gain은 일실시예에 따른 엔벨로프 검출기의 특성을 나타낸다.

구체적으로, 참조부호 710에 따르면, 일실시예에 따른 엔벨로프 검출기는 차동 입력 신호(RF 신호)의 수신 유무에 따라 베이스밴드 출력 신호(baseband output signal)이 발생하는 것을 확인할 수 있다.

입력 전력(Pin)이 증가함에 따라 출력 전력(power)이 증가하는 파형을 나타내는 참조부호 720에 따르면, 일실시예에 따른 엔벨로프 검출기의 출력 전력은 입력 전력의 제공에 비례하여 증가하며 입력 전력이 -30dBm 이상인 영역에서는 출력 스윙(output swing)이 포화(saturation) 되어 변환 이득이 작아지는 것을 확인할 수 있다.

입력 전력이 -30dBm일 때의 변환 이득을 나타내는 참조부호 730에 따르면, 일실시예에 따른 엔벨로프 검출기는 1kHz 내지 10kHz의 주파수 영역에서 최대 변환 이득을 갖는 것을 확인할 수 있다.

출력 노이즈에 관한 참조부호 740에 따르면, 일실시예에 따른 엔벨로프 검출기는 20Hz에서 피드백 저항( $R_F$ )로 인해 Flicker Noise Zero가 발생하며 이 때, 최대 출력 노이즈는  $1nV/Hz^2$ 으로 나타나는 것을 확인할 수 있다.

참조부호 750 내지 760에 따르면, 일실시예에 따른 엔벨로프 검출기는 입력 전력에 따라 전체 신호대잡음비(signal to noise ratio, SNR)가 결정되므로, 입력 전력(input power)과 최소 검출 가능 신호(power minimum

detectable sinal, P<sub>m</sub>s)가 일치할 때, 감도(sensitivity)가 결정됨을 알 수 있다.

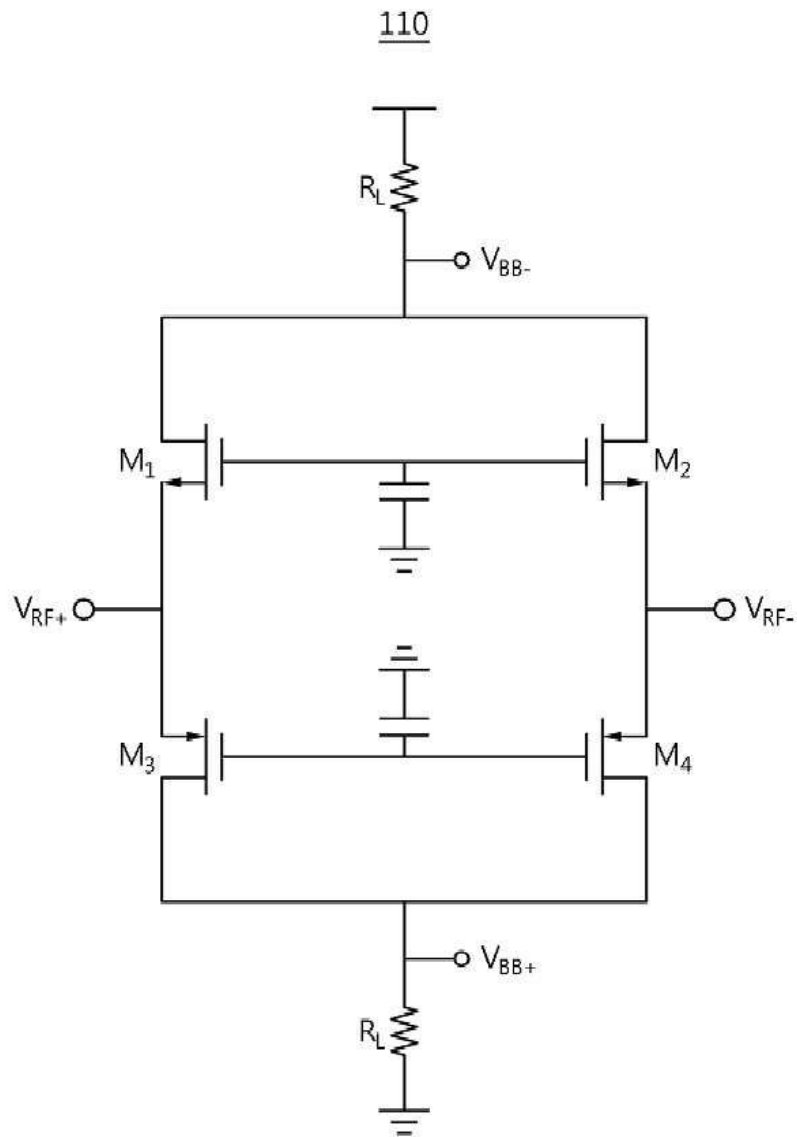
- [0134] 다시 말해, 참조부호 750 내지 760은 감도 계산을 위한 그래프로서, P<sub>IN</sub>과 P<sub>m</sub>s가 만나는 교점의 x축(power) 값이 감도로 결정될 수 있다.
- [0135] 구체적으로, 일실시예에 따른 엔벨로프 검출기는 크로스-커플드 캐패시터를 이용함에 따라 변환 이득이 기존 대비 약 12dB이 증가한 것을 확인할 수 있다. 또한, 일실시예에 따른 엔벨로프 검출기는 매칭 네트워크에서 12dB의 수동 전압 이득(passive voltage gain)이 발생되므로 약 6dB의 감도 향상을 확인할 수 있다.
- [0137] 도 8은 일실시예에 따른 엔벨로프 검출 방법을 설명하기 위한 도면이다.
- [0138] 다시 말해, 도 8은 도 2a 내지 도 7f를 통해 설명한 일실시예에 따른 엔벨로프 검출기의 동작 방법을 설명하기 위한 도면으로, 이후 8을 통해 설명하는 내용 중 도 2a 내지 도 7f를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0139] 도 8을 참조하면, 810 단계에서 일실시예에 따른 엔벨로프 검출 방법은 입력부에서 복수의 입력 노드를 이용하여 차동 입력 신호(differential input signal)를 수신할 수 있다.
- [0140] 다음으로, 820 단계에서 일실시예에 따른 엔벨로프 검출 방법은 복수의 입력 노드와 각각 연결되는 복수의 트랜지스터 및 복수의 트랜지스터 각각의 게이트 단자와 연결되는 복수의 크로스-커플드(cross-coupled) 캐패시터를 포함하는 코어부에서 수신된 차동 입력 신호를 다운 컨버전(down conversion)하여 차동 출력 신호(differential output signal)를 생성할 수 있다.
- [0141] 다음으로, 830 단계에서 일실시예에 따른 엔벨로프 검출 방법은 출력부에서 복수의 출력 노드를 이용하여 생성된 차동 출력 신호를 외부로 출력할 수 있다.
- [0143] 결국, 본 발명을 이용하면, 출력 대역폭을 확보하여 임펄스를 검출할 수 있다.
- [0144] 또한, 본 발명을 이용하면, 크로스-커플드(cross-coupled) 캐패시터를 이용하여 변환 이득을 확보할 수 있다.
- [0145] 또한, 본 발명을 이용하면, 기존의 부하 저항을 전류 소스로 대체하여 능동 부하를 구현하고, DTMS 트랜지스터를 이용하여 변환 이득을 증가시킬 수 있다.
- [0147] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0148] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

### 부호의 설명

- [0149] 300: 엔벨로프 검출기      310: 입력부  
320: 코어부      330: 출력부

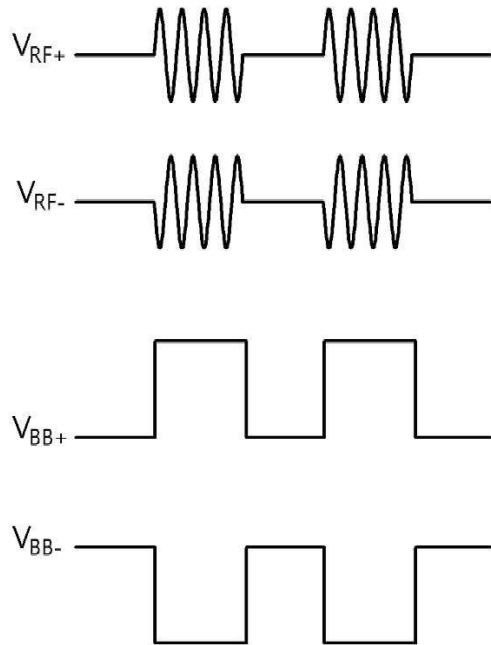
도면

도면1a



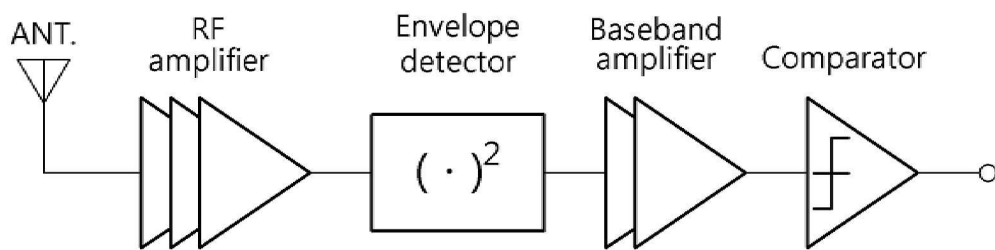
도면1b

120



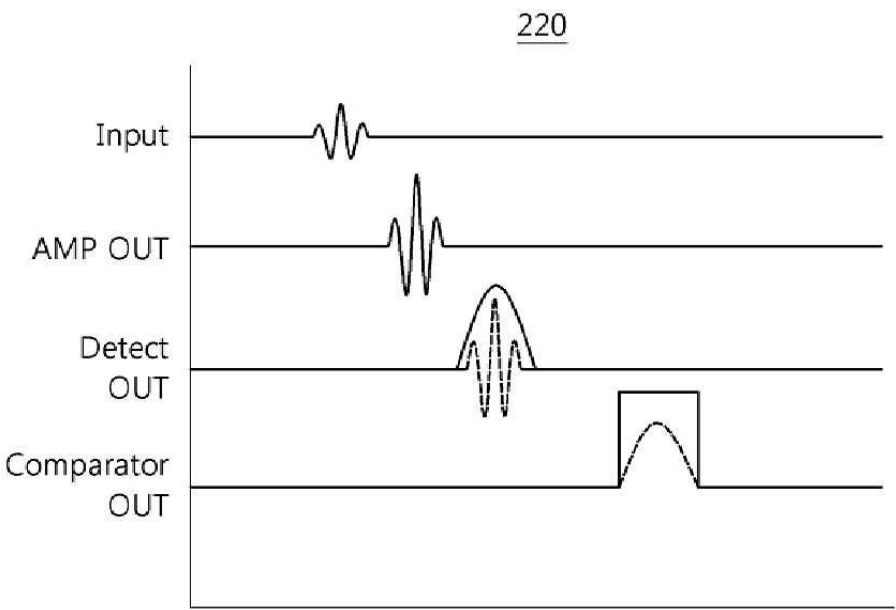
도면2a

210

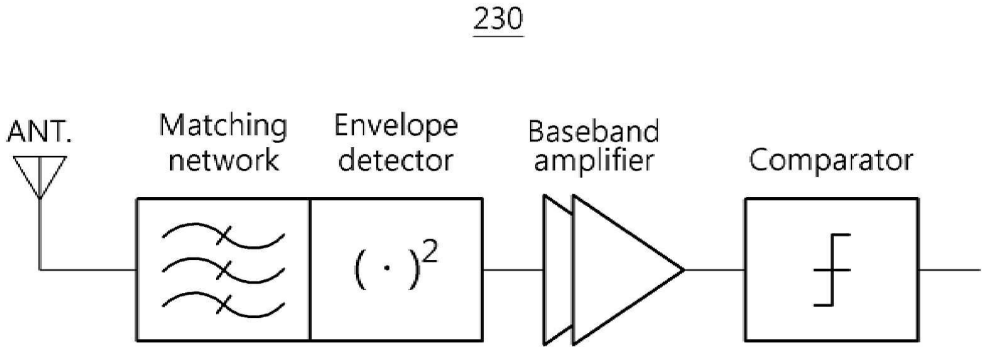




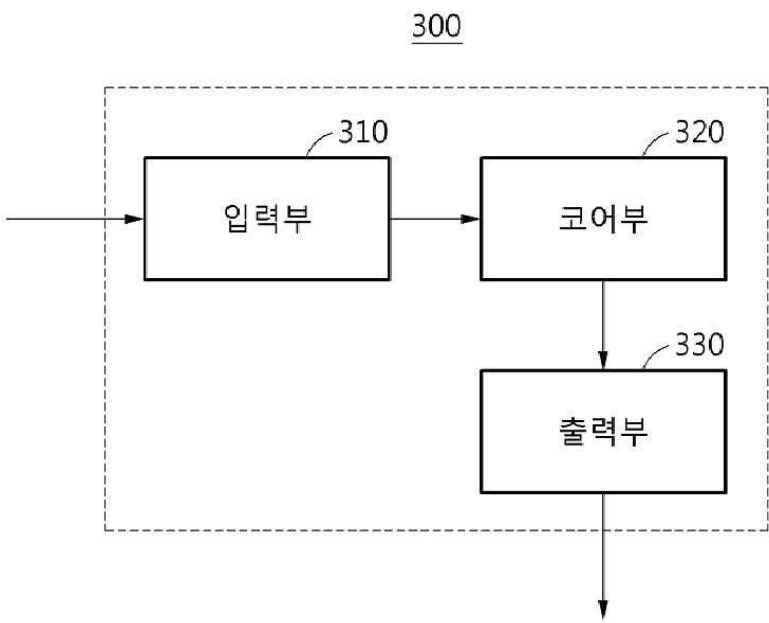
도면2b



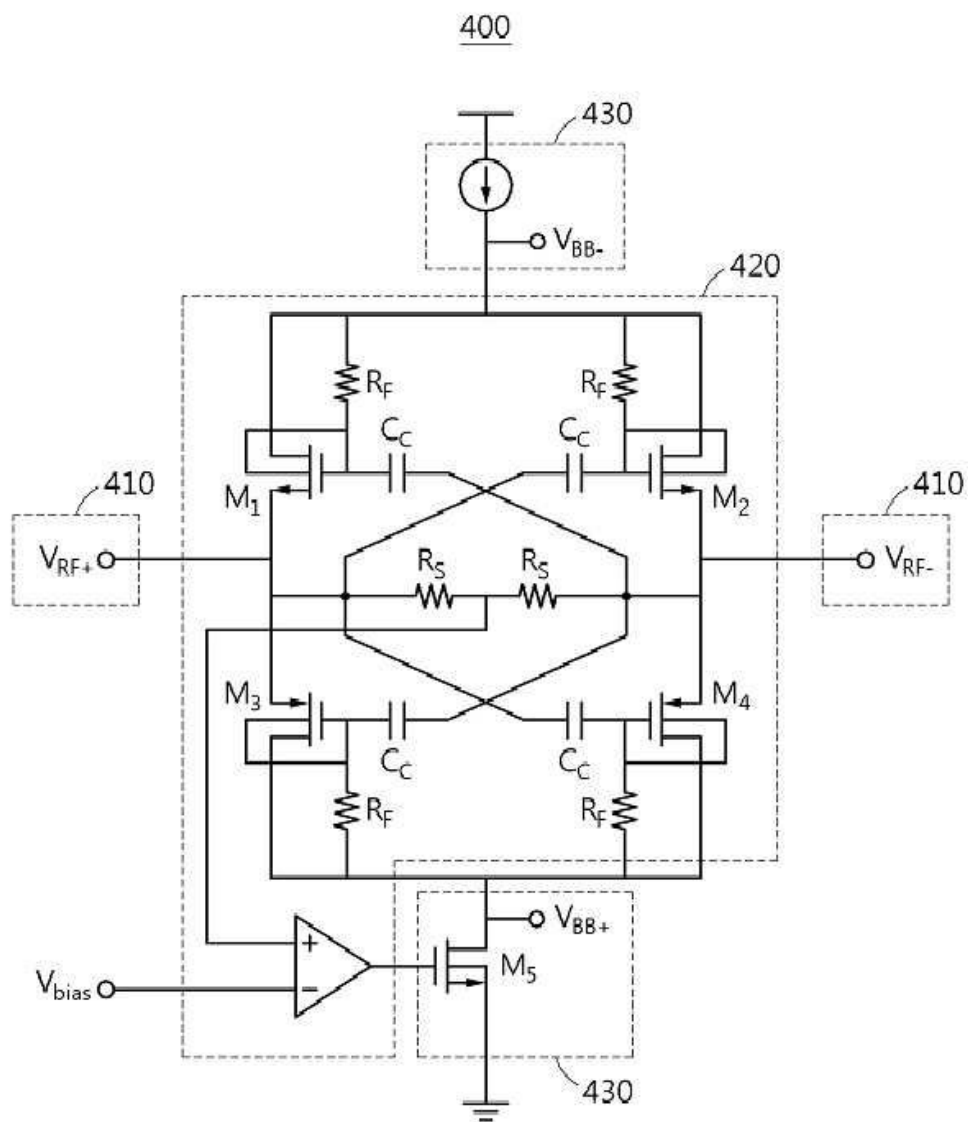
도면2c



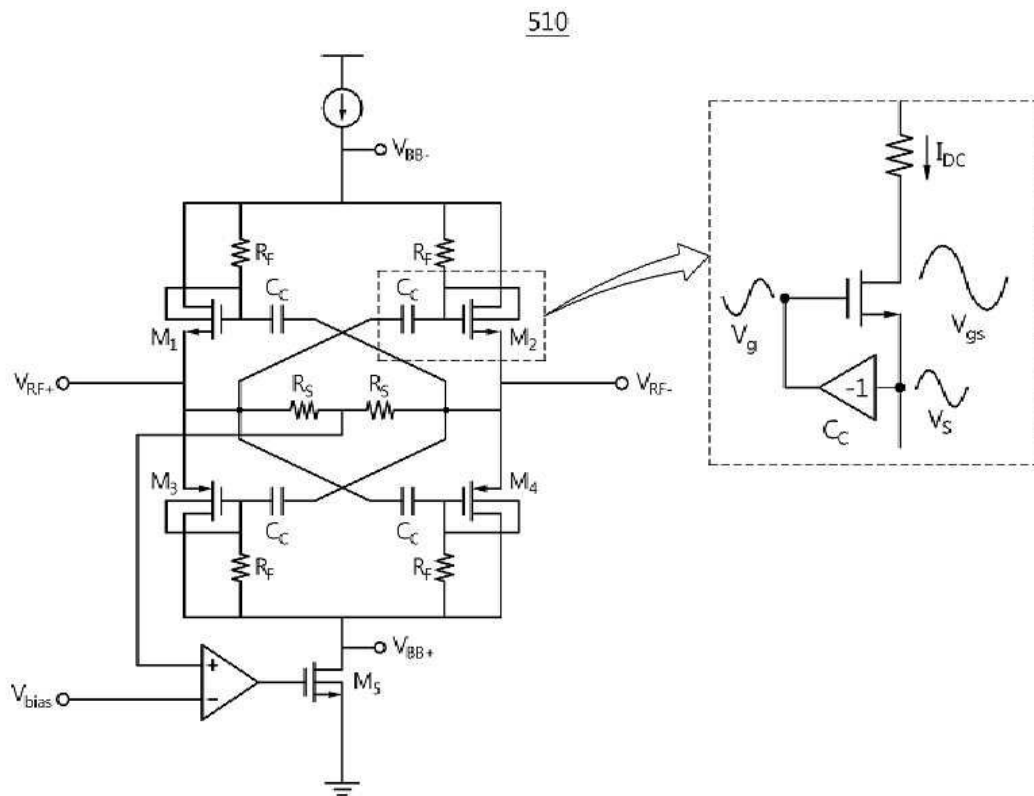
도면3



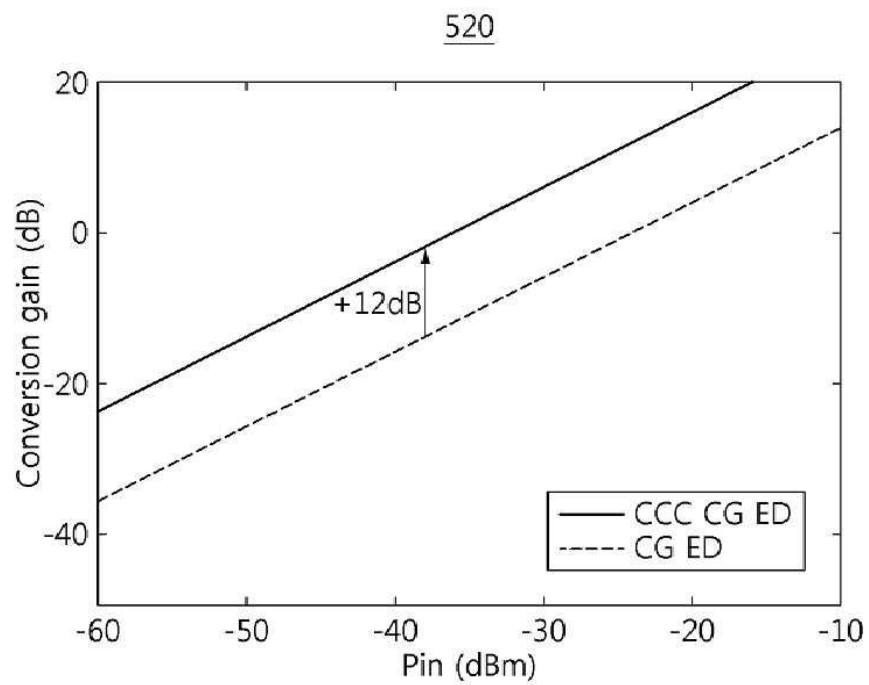
도면4



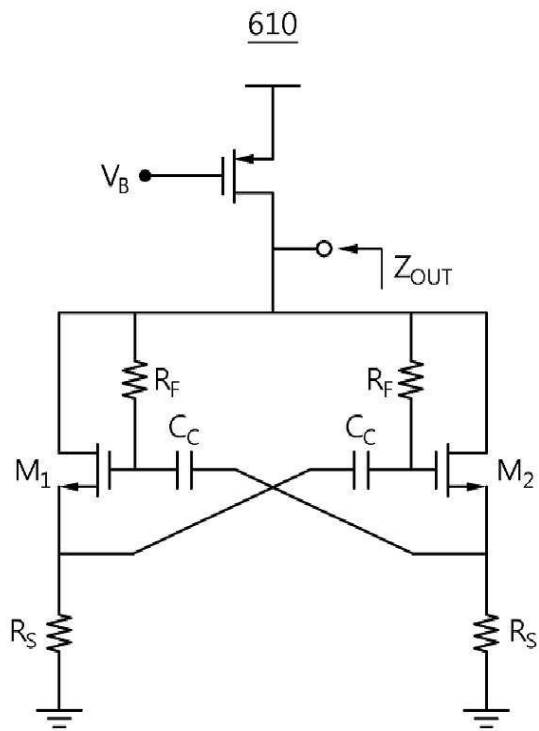
도면5a



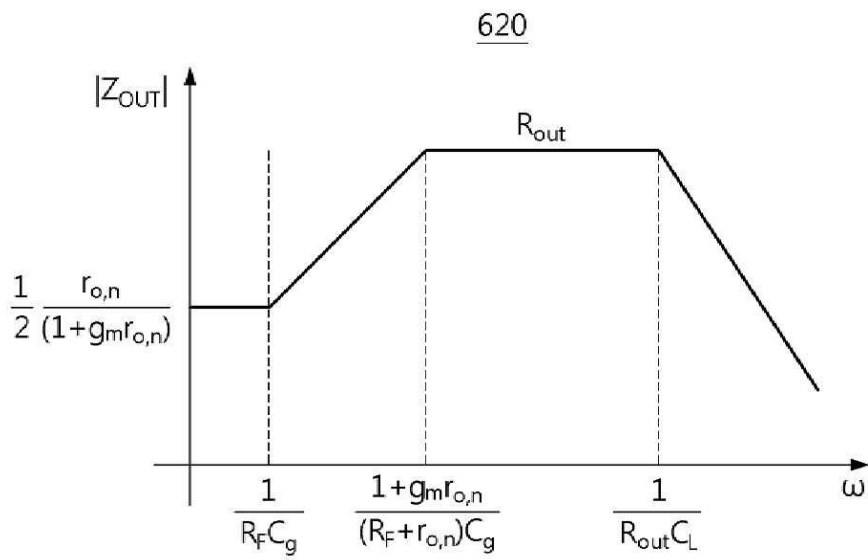
도면5b



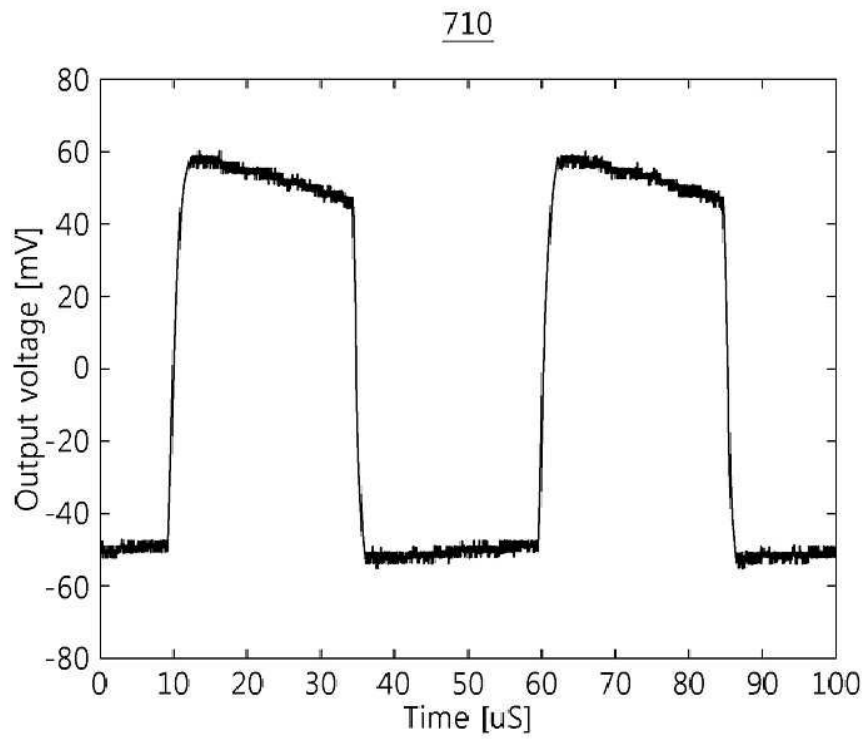
도면6a



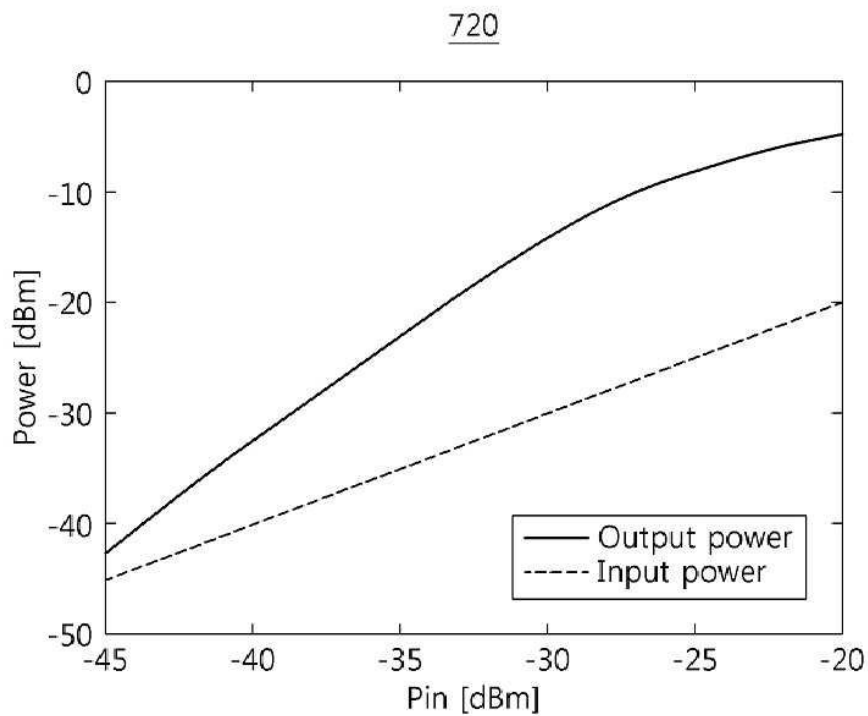
도면6b



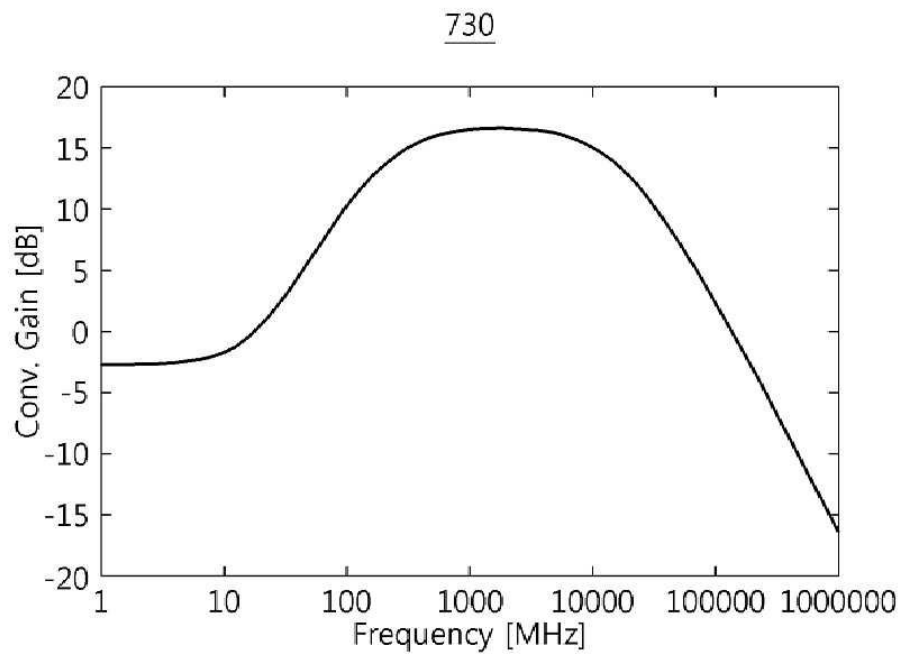
도면7a



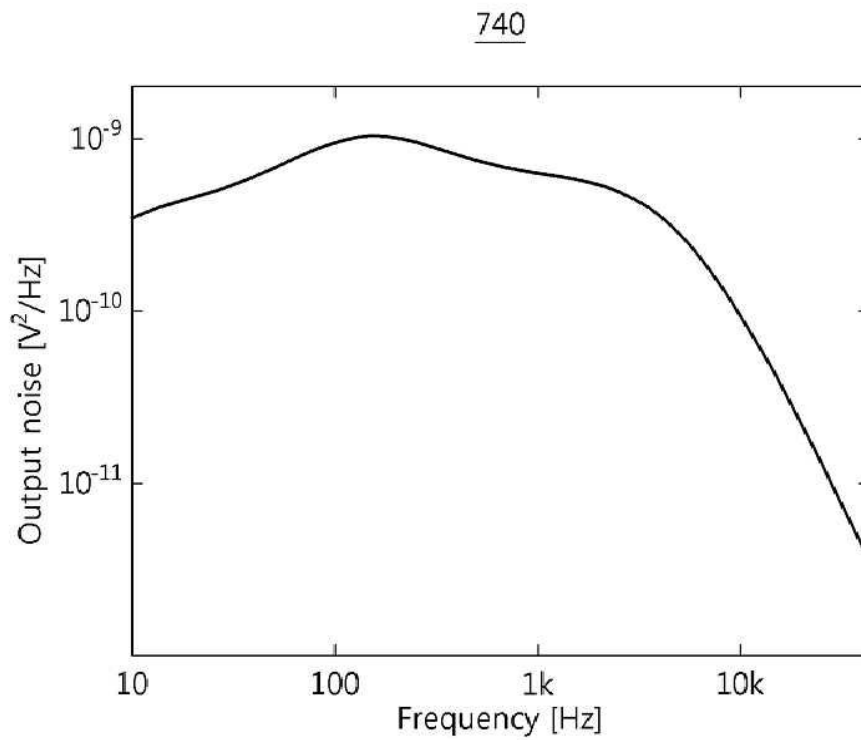
도면7b



도면7c



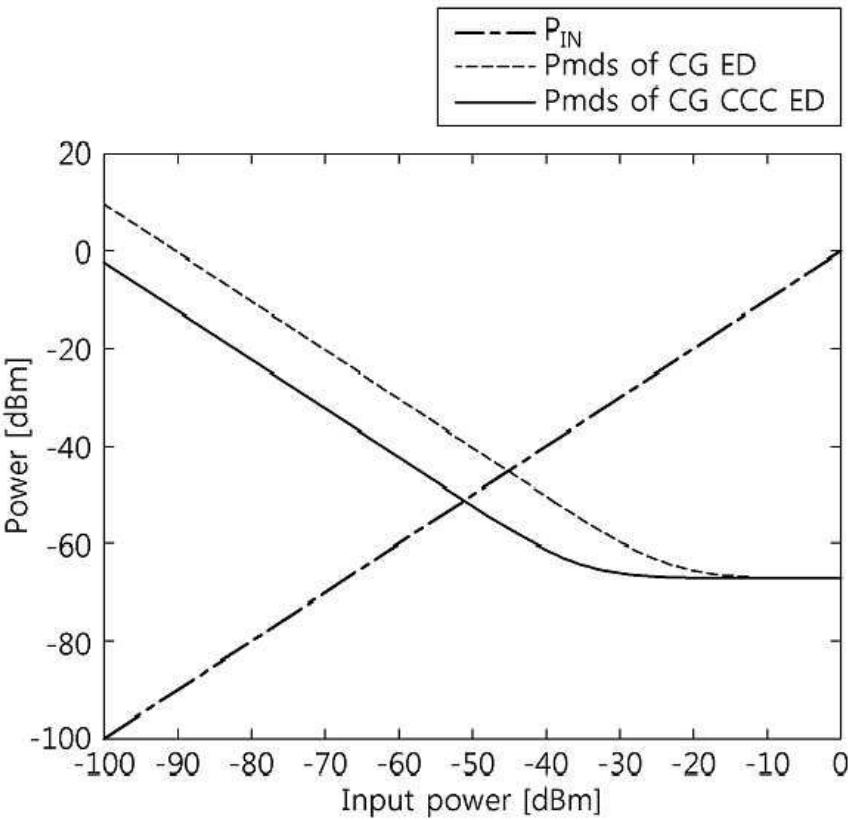
도면7d



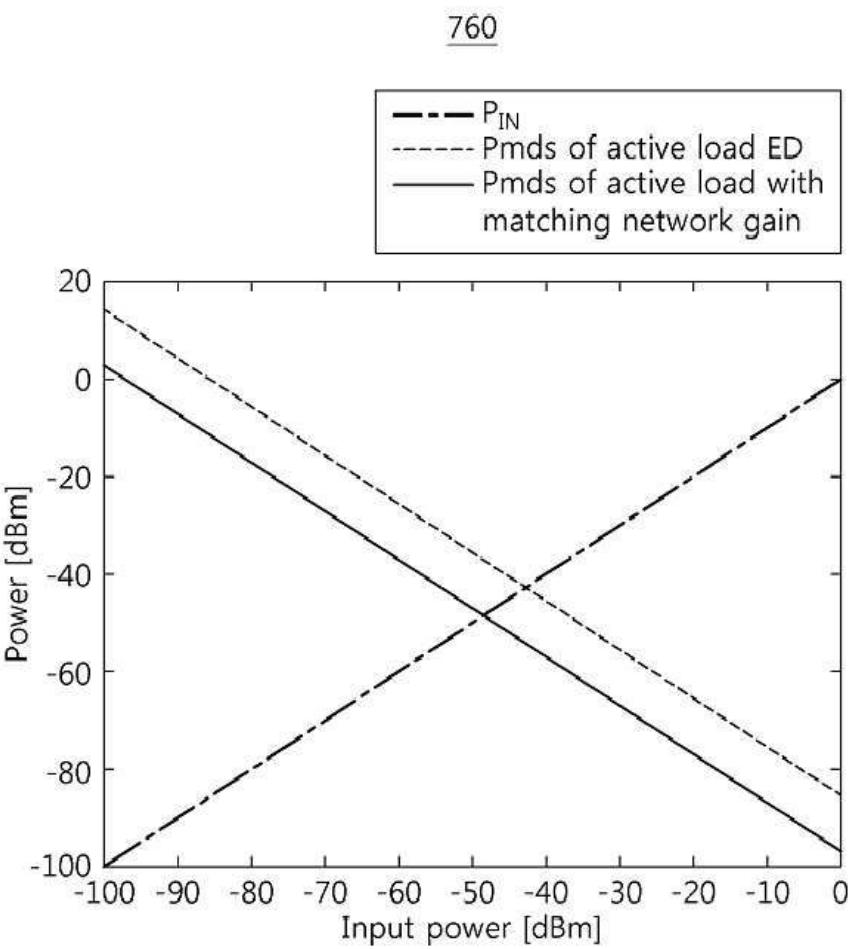


도면7e

750



도면7f



도면8

