



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월22일
(11) 등록번호 10-2231166
(24) 등록일자 2021년03월17일

(51) 국제특허분류(Int. Cl.)

H01L 45/00 (2006.01)

(52) CPC특허분류

H01L 45/1253 (2013.01)

H01L 45/145 (2013.01)

(21) 출원번호 10-2019-0036973

(22) 출원일자 2019년03월29일

심사청구일자 2019년03월29일

(65) 공개번호 10-2020-0114744

(43) 공개일자 2020년10월07일

(56) 선행기술조사문헌

JP2006165553 A*

KR1020140048785 A*

KR1020170037965 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

손현철

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 B425호(신촌동)

이지민

서울특별시 서대문구 연세로 50 연세대학교 제2공학관 230호

(뒷면에 계속)

(74) 대리인

김권석

전체 청구항 수 : 총 15 항

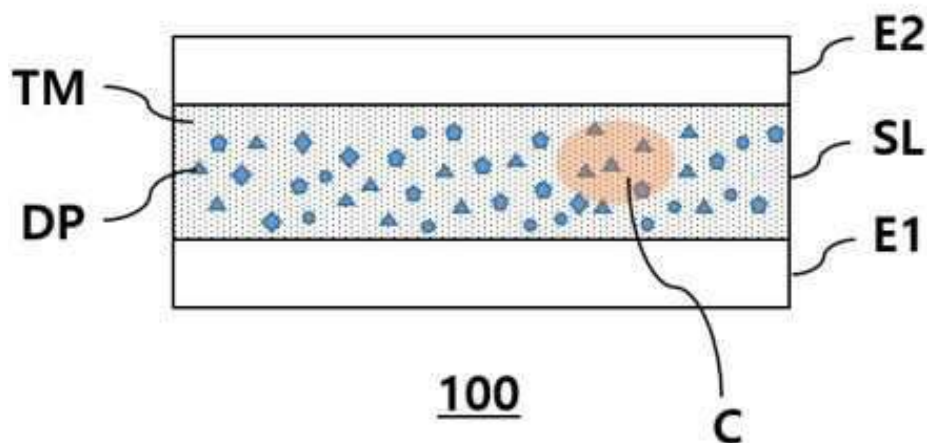
심사관 : 송상용

(54) 발명의 명칭 비선형 선택 소자, 이의 제조 방법 및 이를 포함하는 비휘발성 메모리 장치

(57) 요약

본 발명은 비선형 선택 소자, 이의 제조 방법 및 이를 포함하는 비휘발성 메모리 장치에 관한 것이다. 본 발명의 일 실시예에 따르면, 상기 비선형 선택 소자는 제 1 전극; 제 2 전극; 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 배치되고, 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하고, 상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 의해 조절될 수 있다.

대표도 - 도2a



(52) CPC특허분류

H01L 45/16 (2013.01)

(72) 발명자

김태호

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 230호

나희도

서울특별시 서대문구 연세로 50, 연세대학교 제2공학관 230호

명세서

청구범위

청구항 1

제 1 전극;

제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 NbO_2 물질을 포함한 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 분산 배치되며, HfO_2 물질을 포함한 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하며,

상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 의해 조절된 비선형 선택 소자.

청구항 2

제 1 전극;

제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 NbO_2 물질을 포함한 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 분산 배치되며, HfO_2 물질을 포함한 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하며,

상기 제 1 전극은 기판 상에 배치된 공통 배선 및 상기 공통 배선을 덮는 절연층을 갖는 하부 구조를 가지며, 상기 공통 배선의 적어도 일부 표면이 노출되도록 상기 절연층에 적어도 하나 이상의 비아 홀을 포함하며, 상기 적어도 하나 이상의 비아 홀 내에 매립된 도전 재료를 통해 비아 타입 전극이 형성되고,

제 2 전극은 패터닝되어 적어도 하나의 서브 전극을 포함하며, 상기 패터닝된 서브 전극과 상기 제 1 전극의 비아 타입 전극은 상기 스위칭 층을 사이에 두고 서로 대향하고,

상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가된 비선형 선택 소자.

청구항 3

제 1 항에 있어서,

상기 스위칭 층은 상기 제 1 전이 금속의 산화물의 결정 및 상기 제 2 전이 금속의 산화물의 결정을 포함하는 비선형 선택 소자.

청구항 4

제 1 항에 있어서,

상기 스위칭 층은 10 nm 내지 30 nm의 두께 범위를 갖는 비선형 선택 소자.

청구항 5

제 1 항에 있어서,

상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 10 % 내지 50 % 범위를 갖는 비선형 선택 소자.

청구항 6

제 1 항에 있어서,

상기 제 1 전극과 상기 제 2 전극 중 어느 하나는 타이타늄(Ti), 백금(Pt), 탄탈륨(Ta), 니켈(Ni), 지르코늄(Zr), 니오븀(Nb), 아연(Zn), 크롬(Cr), 코발트(Co), 망간(Mn), 철(Fe), 알루미늄(Al), 마그네슘(Mg), 실리콘(Si), 텅스텐(W), 구리(Cu), 란타넘계(Lanthanide) 금속, 또는 이들의 합금, 이들의 질화물 또는 이들의 산화물을 포함하는 비선형 선택 소자.

청구항 7

제 1 항에 있어서,

상기 비선형 선택 소자의 상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가하는 비선형 선택 소자.

청구항 8

제 1 항에 있어서,

상기 문턱 전압의 조절 가능 윈도우는 1.0 V 내지 2.5 V의 범위 내인 비선형 선택 소자.

청구항 9

제 1 전극을 형성하는 단계;

상기 제 1 전극 상에, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 NbO₂ 물질을 포함한 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 표면 또는 내부에 국부적으로 분산 배치되고 HfO₂ 물질을 포함한 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 형성하는 단계; 및

상기 스위칭 층 상에 제 2 전극을 형성하는 단계를 포함하며,

상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 의해 조절되는 비선형 선택 소자의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 스위칭 층을 형성하는 단계는,

플라즈마 증착 챔버 내에 상기 제 1 전이 금속을 포함하는 제 1 타깃 물질과 상기 제 2 전이 금속을 포함하는 제 2 타깃 물질을 준비하는 단계;

상기 플라즈마 증착 챔버 내에 플라즈마 방전 가스 및 산화성 가스를 주입하는 단계;

상기 제 1 타깃 물질의 원자들을 방출시키기 위한 제 1 RF 또는 제 1 DC 전력 그리고 상기 제 2 타깃 물질의 원자들을 방출시키기 위한 제 2 RF 또는 제 2 DC 전력을 공급하여, 상기 플라즈마 증착 챔버 내에 플라즈마를 형성하는 단계;

상기 제 1 타깃 물질과 상기 제 2 타깃 물질 중 적어도 하나와 상기 산화성 가스가 반응하여, 상기 제 1 전극 상에 상기 제 2 전이 금속의 산화물이 국부적으로 형성된 상기 제 1 전이 금속의 산화물 매트릭스 층을 형성하는 단계를 포함하는 비선형 선택 소자의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 상기 산화성 가스의 양, 상기 제 1 RF 또는 제 1 DC 전력의 크기 및 상기 제 2 RF 또는 제 2 DC 전력의 크기에 의해 조절되는 비선형 선택 소자의 제조 방법.

청구항 12

제 9 항에 있어서,

상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 10 % 내지 50 % 범위를 갖는 비선형 선택 소자의 제조 방법.

청구항 13

제 9 항에 있어서,

상기 스위칭 층이 결정화되도록 후속 열처리를 수행하는 단계를 포함하는 비선형 선택 소자의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 후속 열처리의 온도는 500 °C 내지 700 °C의 범위인 비선형 선택 소자의 제조 방법.

청구항 15

제 1 항에 기재된 비선형 선택 소자 및

상기 비선형 선택 소자에 전기적으로 직렬 연결되는 저항 변화 메모리 소자를 포함하는 비휘발성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 본 발명은 비선형 선택 소자, 이의 제조 방법 및 이를 포함하는 비휘발성 메모리 소자에 관한 것이다.

배경 기술

[0003] 메모리의 집적화가 한계에 도달함에 따라 비휘발성 메모리 소자인 플래시 메모리 기술을 대체하기 위해서, 단순한 구조로 셀 형성이 가능한 저항 변화 메모리(ReRAM, Resistance Random Access Memory), 상 변화 메모리(PcRAM, Phase-change Random Access Memory) 및 스핀-토크 변화 메모리(STTRAM, Spin Transfer Torque Magnetic Random Access Memory) 같은 차세대 메모리 기술이 연구되고 있다. 이들 중 저항 변화 메모리(ReRAM)는 전도성 필라멘트와 같은 전도 메커니즘에 의해 변하는 저항을 이용하는 메모리로서, 플래시 메모리에 비하여, 낮은 구동 전압, 빠른 스위칭 동작 속도를 가지며, 바이폴라 스위칭 동작이 가능하여, 고집적 메모리 형성이 가능한 장점을 가지고 있다. 이러한 이유로 상기 저항 변화 메모리는 종래의 비휘발성 플래시 메모리를

대체할 차세대 메모리로서 많은 주목을 받고 있다.

[0004] 일반적으로 크로스 포인트 구조를 갖는 ReRAM 소자에서, 선택 소자(또는 스위칭 소자)가 선택된 셀 외에 다른 비선택된 셀에서 발생하는 잠입 전류(sneak current)를 차단 또는 감소시키기 때문에, 상기 잠입 전류에 의한 읽기나 쓰기 시 동작 오류가 발생하는 것을 억제하기 위해서 상기 선택 소자의 역할이 중요하다. ReRAM 소자와 결합하는 선택 소자는 터널 배리어 선택 소자(tunnel barrier selector), 오보닉 문턱 스위칭 선택 소자(ovonic threshold selector) 및 금속 절연체 전이(Metal-Insulator Transition: MIT)를 이용한 문턱 스위칭 선택 소자가 있다. 상기 MIT는 특정 온도 이상에는 금속 특성을 보이고, 특정 온도 이하에서는 절연 특성을 보이는 현상을 지칭한다. 상기 문턱 스위칭 선택 소자에 이용되는 MIT 특성을 갖는 물질로서, 바나듐 산화물(VO2), 사산화철(Fe3O4), 및 니오븀 산화물(NbO2)이 있다. 이들 중 니오븀 산화물(NbO2)은 높은 전이 온도와 안정적인 동작 특성을 나타내며, 그리고 (+)와 (-) 외부 전계에 대칭적인 I-V 특성을 가지며, 낮은 외부 전계에서는 낮은 전류가 흐르며(고저항 상태) 높은 외부 전계에서는 높은 전류가 흐르는(저저항 상태) 우수한 비선형 특성으로 많은 관심을 받고 있다.

[0005] 또한, 상기 크로스 포인트 구조를 갖는 ReRAM 소자는 하나의 저항 변화 메모리와 하나의 선택 소자가 직렬 결합된 1S1R 구조를 갖는 메모리 셀들이 복수의 비트 라인(BLs)들과 복수의 워드 라인(WLs)들이 교차하는 지점에 배열되어 있으며, 해당 메모리 셀의 비트 라인(BL)을 통해 읽기 전압(Vread)을 인가하고 해당 메모리 셀의 워드 라인(WL)에는 0 V의 전압을 인가함으로써, 상기 해당 메모리 셀의 저항 변화 메모리에 저장된 데이터 값이 독출될 수 있다. 이때, 상기 해당 메모리 셀에 인접한 선택되지 적어도 하나의 인접 메모리 셀에는 1/2의 읽기 전압(Vread)이 인가되면서 상기 인접 메모리 셀에 잠입 전류가 흐를 수 있으나, 상기 선택되지 않은 인접 메모리 셀의 선택 소자에 의해 상기 잠입 전류는 차단 또는 억제될 수 있다. 따라서, 상기 선택 소자는 상기 저항 변화 메모리의 동작 전압(예컨대, 읽기 전압(Vread)을 고려하여, 읽기 전압(Vread)에서 온(on) 상태가 되며 1/2의 읽기 전압(Vread)에서는 오프(off) 상태를 유지해야 한다.

[0006] 전술한 금속 절연체 전이를 이용한 문턱 스위칭 선택 소자는 임의의 동작 전압에서 문턱 스위칭(threshold switching)이 발생할 수 있다. 따라서, 상기 문턱 스위칭 선택 소자의 동작 전압(이하, 문턱 전압이라 칭함)은 연결되는 ReRAM 소자의 동작 전압을 고려하여 결정되어야, ReRAM 소자의 읽기 또는 쓰기 동작 시 발생하는 잠입 전류를 상기 문턱 스위칭을 통해 오류 없이 차단 또는 억제시킬 수 있다. 만약, 상기 문턱 스위칭 선택 소자의 동작 전압이 연결되는 ReRAM 소자의 동작 전압을 고려하여 설계되지 않으며, 오류가 있는 문턱 스위칭 동작으로 인해 ReRAM 소자의 읽기 또는 쓰기 동작 시 인접 메모리 셀로 잠입 전류가 인가될 수 있는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는, 선택 소자로서 우수한 비선형 특성을 유지하며, ReRAM 소자의 메모리 셀의 동작 전압을 고려하여 넓은 문턱 전압 윈도우를 가지면서 요구되는 문턱 전압이 용이하게 설정될 수 있는 비선형 선택 소자를 제공하는 것이다.

[0009] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 전술한 이점을 갖는 비선형 선택 소자의 제조 방법을 제공하는 것이다.

[0010] 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 전술한 이점을 갖는 비선형 선택 소자를 이용한 비휘발성 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 따르면, 제 1 전극; 제 2 전극; 및 상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 배치되며, 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하며, 상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 의해 조절된 비선형 선택 소자가 제공될 수 있다.

[0013] 일 실시예에서, 상기 제 1 전이 금속은 나이오븀(niobium: Nb)을 포함하고, 상기 제 2 전이 금속은 하프늄(hafnium: Hf)을 포함할 수 있다.

- [0014] 일 실시예에서, 상기 스위칭 층은 상기 제 1 전이 금속의 산화물의 결정 및 상기 제 2 전이 금속의 산화물의 결정을 포함할 수 있으며, 10 nm 내지 30 nm의 두께 범위를 가질 수 있다.
- [0015] 일 실시예에서, 상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 10 % 내지 50 % 범위를 가질 수 있다.
- [0016] 일 실시예에서, 상기 제 1 전극과 상기 제 2 전극 중 어느 하나는 타이타늄(Ti), 백금(Pt), 탄탈륨(Ta), 니켈(Ni), 지르코늄(Zr), 니오븀(Nb), 아연(Zn), 크롬(Cr), 코발트(Co), 망간(Mn), 철(Fe), 알루미늄(Al), 마그네슘(Mg), 실리콘(Si), 텅스텐(W), 구리(Cu), 란타넘계(Lanthanide) 금속, 또는 이들의 합금, 이들의 질화물 또는 이들의 산화물을 포함할 수 있다.
- [0017] 일 실시예에서, 상기 비선형 선택 소자의 상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가할 수 있다.
- [0018] 일 실시예에서, 상기 문턱 전압의 조절 가능 윈도우는 1.0 V 내지 2.5 V의 범위를 가질 수 있다.
- [0019] 본 발명의 다른 실시예에 따르면, 제 1 전극을 형성하는 단계; 상기 제 1 전극 상에, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 표면 또는 내부에 국부적으로 배치되고 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 형성하는 단계; 및 상기 스위칭 층 상에 제 2 전극을 형성하는 단계를 포함하며, 상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 의해 조절될 수 있다.
- [0020] 일 실시예에서, 상기 스위칭 층을 형성하는 단계는, 플라스마 증착 챔버 내에 상기 제 1 전이 금속을 포함하는 제 1 타깃 물질과 상기 제 2 전이 금속을 포함하는 제 2 타깃 물질을 준비하는 단계; 상기 플라스마 증착 챔버 내에 플라스마 방전 가스 및 산화성 가스를 주입하는 단계; 상기 제 1 타깃 물질의 원자들을 방출시키기 위한 제 1 RF 또는 제 1 DC 전력 그리고 상기 제 2 타깃 물질의 원자들을 방출시키기 위한 제 2 RF 또는 제 2 DC 전력을 공급하여, 상기 플라스마 증착 챔버 내에 플라스마를 형성하는 단계; 상기 제 1 타깃 물질과 상기 제 2 타깃 물질 중 적어도 하나와 상기 산화성 가스가 반응하여, 상기 제 1 전극 상에 상기 제 2 전이 금속의 산화물이 국부적으로 형성된 상기 제 1 전이 금속의 산화물 매트릭스 층을 형성하는 단계를 포함할 수 있다.
- [0021] 일 실시예에서, 상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 상기 산화성 가스의 양, 상기 제 1 RF 또는 제 1 DC 전력의 크기 및 상기 제 2 RF 또는 제 2 DC 전력의 크기에 의해 조절될 수 있다.
- [0022] 일 실시예에서, 상기 산화물 매트릭스 층 내에 상기 제 2 전이 금속의 산화물의 함유량은 10 % 내지 50 % 범위를 가질 수 있다.
- [0023] 일 실시예에서, 상기 스위칭 층이 결정화되도록 후속 열처리를 수행하는 단계가 더 포함될 수 있다. 상기 열처리의 온도는 500 °C 내지 700 °C의 범위를 가질 수 있다.
- [0024] 본 발명의 또 다른 실시예에서, 제 1 항에 기재된 비선형 선택 소자 및 상기 비선형 선택 소자에 전기적으로 직렬 연결되는 저항 변화 메모리 소자를 포함하는 비휘발성 메모리 장치가 제공될 수 있다.

발명의 효과

- [0026] 본 발명의 일 실시예에 따르면, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 배치되고 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속을 포함하며, 문턱 전압에 따라 스위칭 동작하는 스위칭 층을 이용함으로써, 선택 소자로서 우수한 비선형 특성은 유지하며, ReRAM 소자의 메모리 셀의 동작 전압을 고려하여 넓은 문턱 전압 윈도우를 가지면서 요구되는 문턱 전압이 용이하게 설정될 수 있는 비선형 선택 소자를 구현할 수가 있다.
- [0027] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 비선형 선택 소자의 제조 방법이 제공될 수 있다.
- [0028] 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 전술한 이점을 갖는 비선형 선택 소자를 이용한 비휘발성 메모리 장치가 제공될 수 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 비선형 선택 소자를 이용하는 비휘발성 메모리 소자를 나타내는

블록도이다.

도 2a 및 도 2b는 본 발명의 실시예에 따른 비선형 선택 소자의 단면도이다.

도 3a 내지 도 3h는 본 발명의 일 실시예에 따른 비선형 선택 소자의 제조 방법을 순차대로 도시하는 단면도들이다.

도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 비선형 선택 소자의 전기적 특성을 보여주는 그래프이다.

도 5a는 비선형 선택 소자 내 스위칭 층의 X-선 회절(X-Ray Diffraction: XRD)의 결과이고 도 5b는 비선형 선택 소자 내 스위칭 층의 X-선 광전자 분광(X-Ray Photoelectron Spectroscopy: XPS)의 결과이다.

도 6은 본 발명의 일 실시예에 따른 고상 디스크를 포함하는 저장 장치를 도시하는 블록도이다.

도 7은 본 발명의 다른 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 8은 본 발명의 다른 실시예에 따른 데이터 저장 장치를 도시하는 블록도이다.

도 9는 본 발명의 일 실시예에 따른 저항 변화 메모리 소자 및 이를 포함하는 컴퓨팅 시스템을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0032] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0033] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0034] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0035] 본 명세서에서 기관 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기관 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기관 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.
- [0036] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.
- [0037] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 저항 변화 메모리 소자(100)를 나타내는 블록도이다.
- [0040] 도 1을 참조하면, 저항 변화 메모리 소자(100)는 복수의 메모리 셀들의 메모리 셀 어레이(110), 행 디코더(120), 판독/기입 회로(130), 및 열 디코더(140)를 포함할 수 있다. 메모리 셀 어레이(110)는 워드 라인들(WL1, WL2, ..., WLi, ..., WLn), 선택 라인들(SSL), 접지 라인(GSL)을 통해 행 디코더(120)에 연결될 수 있다. 또한, 메모리 셀 어레이(110)는 비트 라인들(BL1, BL2, BL3, ..., BLm)을 통해 판독/기입 회로(130)에 연결될

수 있다.

- [0041] 저장 변화 메모리 소자(100)가 복수의 메모리 셀들이 직렬 연결된 메모리 셀 스트링들(미도시)을 포함할 수 있다. 상기 메모리 셀 스트링들의 일단에는 적어도 2 개 이상의 스트링 선택 트랜지스터들이 연결되고, 이의 타단에는 접지 선택 트랜지스터가 연결될 수 있다. 상기 메모리 셀 스트링의 타단에는 공통 소스 라인이 연결되고, 상기 접지 선택 트랜지스터들의 일 단이 상기 공통 소스 라인에 전기적으로 연결될 수 있다. 워드 라인들(WL1, WL2, ..., WLi, ..., WLn)은 열 방향을 따라 배열된 메모리 셀들의 제어 게이트들에 각각 연결될 수 있다. 비트 라인들(BL1, BL2, BL3, ..., BLm)은 상기 스트링 선택 트랜지스터들의 일 단들에 연결될 수 있다.
- [0042] 각각의 워드 라인들(WL1, WL2, ..., WLi, ..., WLn)에 그 제어 게이트 전극이 결합되는 행 방향의 복수의 메모리 셀들은 논리적 페이지를 구성하며, 상기 논리적 페이지들의 수는 메모리 셀의 저장 용량에 의해 결정될 수 있다. 예를 들면, 저장 레벨에 따라, 메모리 셀당 1 bit를 저장하는 싱글 레벨 셀 메모리, 메모리 셀당 2 bits를 저장하는 멀티 레벨 셀(MLC) 메모리 소자, 메모리 셀당 3 bits를 저장하는 8LC 메모리 소자, 그리고, 메모리 셀당 4 bits를 저장하는 16LC 메모리 소자가 제공될 수 있다.
- [0043] 메모리 셀 어레이(110)의 메모리 셀들은 반도체 기판의 주면에 평행한 후술하는 3 차원 어레이 구조를 가질 수 있다. 상기 페이지를 구성하는 메모리 셀들은 동일한 프로그램 사이클에서 프로그래밍될 수 있다. 예를 들면, 제 1 워드 라인(WL1)에 연결되는 각각의 메모리 셀들은 동일한 프로그램 사이클에서 같은 프로그램 상태(또는 타겟 값)로, 또는 서로 다른 프로그램 상태로 프로그래밍될 수 있다. 예를 들면, 하나의 프로그램 사이클에서 일 메모리 셀은 프로그램 상태(P1)로, 인접하는 다른 메모리 셀은 제 2 프로그램 상태(P2), 또 다른 메모리 셀들은 제 3 프로그램 상태(P3)로 프로그래밍될 수 있다. 그러나, 이는 예시적이며, 본 발명이 이에 한정되는 것은 아니다. 다른 실시예에서, 인터리브드 아키텍처(interleaved architecture)를 갖는 싱글 레벨 셀의 경우 짝수 및 홀수 셀들이 2 개의 서로 다른 페이지들을 구성할 수 있다. 예를 들면, 4 kB의 SLC 소자는 65,536개의 메모리 셀들의 워드라인을 가질 수 있다. 또한, 멀티 레벨 셀의 경우에는 각 셀이 하나의 최하위 비트(Less Significant Bit; LSB)와 하나의 최상위 비트(Most Significant Bit; MSB)를 저장하므로 4 개의 페이지들을 갖게 된다. 예를 들면, 이 경우, 짝수 비트라인들 상의 MSB 및 LSB 페이지들과 홀수 비트라인 상의 MSB 및 LSB 페이지들이 제공될 수도 있다.
- [0044] 행 디코더(120)는 복수의 스트링 선택 라인들(SSL)을 선택하거나 동시에 전압 또는 전류 구동할 수 있다. 또한, 행 디코더(120)는 메모리 블록의 워드 라인들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 선택된 메모리 블록의 워드 라인에 전압 발생기(미도시)로부터의 워드 라인 전압 VWL을 인가한다. 프로그램 동작시 행 디코더(120)는 선택된 워드 라인(Selected WL)에 프로그램 전압(Vpgm)과 검증 전압(Vvfy)을, 비선택된 워드 라인(Unselected WL)에는 패스 전압(Vpass)을 인가할 수 있다.
- [0045] 메모리 셀 어레이(110)는 열 디코더(140)를 통해 비트 라인들(BL1, BL2, BL3, ..., BLm)에 의해 어드레싱될 수 있다. 독출/기록 회로(130)는 열 디코더(140)를 통해 외부로부터 전달되는 데이터를 수신하거나 외부로 데이터를 출력할 수 있다.
- [0046] 독출/기록 회로(130)는 페이지 버퍼(미도시)를 포함할 수 있으며, 동작 모드에 따라 감지 증폭기로서 또는 기입 드라이버로서 동작할 수 있다. 그러나, 본 명세서에서, 독출/기록 회로, 또는 페이지 버퍼는 등가적 의미를 갖도록 사용될 수 있으며, 이 경우 상호 호환적으로 이해되어야 한다. 예를 들면, 프로그램 동작시, 독출/기록 회로(130)는 외부 회로로부터 데이터를 수신하여 셀 어레이(110)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 독출 동작시, 독출/기록 회로(130)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 독출할 수 있으며, 상기 독출된 데이터를 래치하여 외부로 출력할 수 있다.
- [0047] 독출/기록 회로(130)는 제어 로직(180)으로부터 전송되는 전송 신호에 응답하여 메모리 셀의 프로그램 동작에 수반하는 검증 동작을 수행할 수 있으며, 상기 전송 신호에 응답하여 검증 읽기 결과를 복수 회에 걸쳐 페이지 버퍼 신호로서 출력할 수 있다. 일 실시예에서, 독출/기록 회로(130)의 상기 독출 동작은 비트 라인 기생 캐패시터를 이용한 전하 적분(charge integration)을 이용할 수 있다.
- [0048] 본 발명의 실시예에서, 상기 페이지 단위로 메모리 셀들을 프로그래밍하는 것은, ISPP 알고리즘에 의해 수행될 수 있다. 상기 ISPP 알고리즘에 따른 프로그램 펄스 이후 해당 메모리 셀의 문턱 전압 VTH이 타겟 전압 Vth 레벨에 도달했는지를 체크하는 검증 알고리즘은 전술한 비트 라인에 결합되고, 상기 전류 센싱 회로를 통해 달성될 수 있다. 일 실시예에서, 상기 전류 센싱 회로는 독출/기록 회로(130) 내에 제공될 수 있다.
- [0049] 제어 로직(180)은 증분형 펄스 프로그래밍(incremental step pulse programming, ISPP) 모드에 따라 프로그램-

검증 루프들을 실행하여 선택된 메모리 셀을 프로그래밍할 수 있다. 패스/페일 검증 회로(150)는 프로그램 루프 카운트가 증가할 때마다 메모리 셀이 원하는 레벨에 도달하였는지 검증한다. 메모리 셀이 원하는 문턱 전압, 즉 타겟 값을 가지면 프로그램 패스로 판단하여 상기 메모리 셀에 대한 프로그램 및 프로그램 검증 동작이 종료되지만, 메모리 셀이 원하는 문턱 전압에 도달하지 못하면 프로그램 패일로 판단하여 패스/페일 검증 회로(150)는 카운트 신호(미도시)를 발생시킬 수 있다. 패스/페일 검증 회로(150)은 프로그램 성공 여부를 판단하여 그 결과를 제어 로직(180)에 전달할 수 있다.

[0050] 제어 로직(180)은 명령어(CMD)에 따라, 상기 ISPP 방식에 따른 펄스 프로그램 및 검증 동작을 수행하도록 행 디코더(120), 독출/기록 회로(130), 열디코더(140), 패스/페일 검출기(150), 프로그램 루프 순번 검출기(160), 및/또는 비교기(170)를 제어할 수 있다. 제어 로직(180)은 패스/페일 검출기(150)로부터 전달되는 프로그램 성공 여부(Pass/Fail)를 참조하여 프로그램 동작의 종료 또는 계속 진행 여부를 결정할 수 있다. 패스/페일 검증 회로(150)로부터 프로그램 패일(Fail)의 결과를 수신하는 경우, 제어 로직(180)은 후속 프로그램 루프(Loop)를 진행하도록 Vpgm 및 Vvfy를 발생시키는 전압 발생기(미도시) 및 페이지 버퍼(130)를 제어할 것이다. 이처럼, 증가하는 프로그램 루프 수에 따라 프로그램을 진행하기 위하여 제어 로직(180)은 프로그램 루프의 순번을 수신할 수 있다. 반대로, 제어 로직(180)이 프로그램 패스(Pass)의 결과를 제공받으면, 선택된 메모리 셀들에 대한 프로그램 동작은 종료하게 될 것이다.

[0051] 다양한 설계들에서, 제어 로직(180)은 메모리 셀 어레이(110)와 동일 칩 내에 집적되거나 다른 칩에 배치될 수 있으며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, SSD(솔리드 스테이트 드라이브)에서와 같이, 제어 로직(180)은 메모리 셀 어레이(110)와 분리된 별도의 칩인 플래시 트랜스레이션 레이어(flash translation layer; FTL)에 제공될 수도 있다.

[0052] 또한, 전술한 패스/페일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170)는 제어 로직(180)과 별도로 형성된 것을 예시하고 있지만, 본 발명이 이에 한정된 것은 아니다. 예를 들면, 패스/페일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170) 중 적어도 어느 하나는 제어 로직(180) 내에 소프트웨어 또는 하드웨어적으로 구현될 수도 있을 것이다. 또한, 패스/페일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170) 중의 적어도 어느 하나는 생략되거나 다른 회로 구성이 추가될 수 있음은 자명하다.

[0054] 도 2a 및 도 2b는 본 발명의 실시예에 따른 비선형 선택 소자(100, 200)의 단면도이다.

[0055] 도 2a를 참조하면, 비선형 선택 소자(100)는 제 1 전극(EL1), 제 2 전극(EL2) 및 제 1 전극(EL1)과 제 2 전극(EL2) 사이에 배치되는 스위칭 층(SL)을 포함할 수 있다. 스위칭 층(SL)은 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층(TM) 및 산화물 매트릭스 층(TM) 내에 국부적으로 또는 클러스터 형태로 배치되며, 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속의 산화물(DP)을 포함할 수 있다. 도 2a에서는 제 2 전이 금속의 산화물(DP)이 산화물 매트릭스 층(TM) 내부의 일부 영역에 국부적 형태 또는 클러스터 형태로 배치되는 것으로 나타내지만, 제 2 전이 금속의 산화물(DP)은 산화물 매트릭스 층(TM)의 표면에 국부적으로 또는 클러스터 형태로 존재할 수도 있다. 구현에 있어서, 제 2 전이 금속의 산화물(DP)은 산화물 매트릭스 층(TM)의 표면으로부터 깊이 방향으로 존재할 수도 있다. 본 발명의 실시예에서, 클러스터 형태(C)는 국부적으로 존재하는 제 2 전이 금속의 산화물(DP)들의 묶음을 지칭한다.

[0056] 다른 실시예에서, 산화물 매트릭스 층(TM) 내에 제 2 전이 금속(DP)뿐만 아니라, 상기 제 2 전이 금속의 산화물, 상기 제 1 전이 금속과 상기 제 2 전이 금속을 포함하는 2원계 합금 산화물 또는 이들의 조합이 더 국부적 형태로 나타날 수 있다. 또 다른 실시예에서, 산화물 매트릭스 층(TM) 내에 국부적으로 형성된 제 2 전이 금속(DP)은 금속 결정 조직(또는 클러스터) 같은 제 2 상으로 존재할 수 있다.

[0057] 또한, 스위칭 층(SL)은 문턱 전압(V_{th})에 따라 스위칭 동작할 수 있다. 구체적으로, 스위칭 층(SL)은 문턱 전압(V_{th}) 이하에서는 낮은 전류가 흐르고 문턱 전압(V_{th}) 이상에서 급격하게 전류가 증가하는 비선형 스위칭 동작을 수행할 수 있다.

[0058] 상기 문턱 전압(V_{th})은 제 1 전이 금속의 산화물 매트릭스 층(TM) 내 제 2 전이 금속의 산화물(DP)의 함유량에 의해 조절될 수 있다. 상기 산화물 매트릭스 층(TM) 내에 제 2 전이 금속의 산화물(DP)의 함유량은 10 % 내지 50 % 범위를 가질 수 있다. 산화물 매트릭스 층(TM) 내에 제 2 전이 금속의 산화물(DP)의 함유량이 10 % 이하인 경우, 상기 문턱 전압(V_{th})의 크기 변화 영향이 미미하고, 산화물 매트릭스 층(TM) 내에 제 2 전이 금속(DP)의 산화물(DP)의 함유량이 50 % 이상인 경우, 금속 절연체 전이 특성을 이용한 문턱 스위칭 동작이 어려울 수 있다.

- [0059] 일 실시예에서, 상기 문턱 전압(V_{th})은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가할 수 있다. 예컨대, 상기 문턱 전압(V_{th})은 상기 제 2 전이 금속의 산화물의 함유량이 증가함에 따라 증가할 수 있다. 이는 상기 제 2 전이 금속의 산화물에 의해 스위칭 층(SL)이 절연체 상태에서 금속 상태로 전이하는 온도가 증가함에 따라 상기 문턱 전압(V_{th})도 증가하는 것으로 사료된다.
- [0060] 스위칭 층(SL)은 결정화되어 서로 적어도 하나 이상의 결정상을 포함할 수 있다. 일 실시예에서, 도펀트에 따라, MIT 특성의 결정화 온도가 조절될 수 있으며, 본 발명의 실시예에서, 제 2 전이 금속의 산화물(예: HfO_2)이 도펀트로서 기능하며, 제 2 전이 금속의 산화물의 클러스터에 의해 결정화 온도가 증가할 수 있다.
- [0061] 상기 결정상은 NbO_x 결정상 및 HfO_2 결정상 중 적어도 하나를 포함할 수 있다. 상기 NbO_x 결정상은 NbO 상, NbO_2 상 그리고 Nb_2O_5 상 중 적어도 하나 이상을 포함할 수 있다. 일 실시예에서, 비선형 선택 소자(100, 200)가 포밍 과정이 필요 없는 경우에 스위칭 층(SL)은 NbO_2 결정만을 포함할 수 있다.
- [0062] 일 실시예에서, 비선형 선택 소자(100, 200)의 포밍 전압은 상기 결정화에 의해 낮아지거나 비선형 선택 소자(100, 200)의 포밍 과정이 불필요한 상태로 유지될 수 있다. 다른 실시예에 있어서, 스위칭 층(SL)은 Nb_{205} 상을 포함하는 제 1 층과 NbO_2 상을 포함하는 제 2 층이 적층된 구조를 가질 수 있다.
- [0063] 일 실시예에서, 비선형 선택 소자(100)의 문턱 스위칭 동작을 위한 포밍 전압은 상기 결정화에 의해 낮아질 수 있다. 바람직하게, 본원 발명에서, 스위칭 층(SL)은 포밍 과정 없이도 비선형 선택 소자(100)가 문턱 스위칭 동작이 가능한 결정화도를 포함할 수 있다. 일 실시예에서, 상기 문턱 전압의 조절 가능 윈도우는 1.0 V 내지 2.5 V의 범위를 가질 수 있다. 따라서, 결정화도가 증가함에 따라 포밍 전압이 감소하며, 완전한 결정화 상태가 되면 문턱 스위칭 동작을 위해 선행되는 포밍 과정이 불필요하게 될 수 있다.
- [0064] 본 발명은 이러한 포밍 처리 없이, 비선형 선택 소자(100)의 문턱 스위칭 동작이 가능함으로써, 상기 포밍 처리에 필요한 고전압으로 인한 소자의 손상을 개선시킬 수 있고, 상기 메모리 소자의 동작 전압을 낮출 수 있으며, 차세대 메모리의 요구 조건인 저전력, 고성능 메모리 소자를 구현할 수가 있다.
- [0065] 일 실시예에서, 상기 제 1 전이 금속은 나이오븀(niobium: Nb)을 포함하고, 상기 제 2 전이 금속은 하프늄(hafnium: Hf)을 포함할 수 있다. 그러나, 본원 발명은 이들 재료에 한정되지 않는다. 예컨대, 상기 제 2 전이 금속은 제 1 전이 금속의 산화물 매트릭스 층(TM) 내의 결정 성장을 억제하는 전이 금속이면 가능하다.
- [0066] 일 실시예에서, 스위칭 층(SL)의 두께는 10 nm 내지 30 nm의 범위를 가질 수 있다. 스위칭 층(SL)의 두께가 10 nm 내지 30 nm 범위에서 문턱 스위칭 동작을 위한 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성이 나타날 수 있다.
- [0067] 일 실시예에서, 제 1 전극(E1)과 제 2 전극(E2) 중 어느 하나는 타이타늄(Ti), 백금(Pt), 탄탈륨(Ta), 니켈(Ni), 지르코늄(Zr), 니오븀(Nb), 아연(Zn), 크롬(Cr), 코발트(Co), 망간(Mn), 철(Fe), 알루미늄(Al), 마그네슘(Mg), 실리콘(Si), 텅스텐(W), 구리(Cu), 란타넘계(Lanthanide) 금속, 또는 이들의 합금, 이들의 질화물 또는 이들의 산화물을 포함할 수 있다. 그러나, 본원 발명은 이들 재료에 한정되지 않는다.
- [0068] 다른 실시예에서, 도 2b와 같이, 제 1 전극(E1)은 하부 전극로서 스위칭 층(SL)의 면적보다 작은 콘택 면적을 갖는 Via type 전극을 포함하고, 제 2 전극(E2)은 상부 전극로서, 패턴화된 서브 전극들을 포함할 수 있다.
- [0069] 도 2b를 참조하면, 비선형 선택 소자(200)는 제 1 전극(EL1), 제 2 전극(EL2) 및 제 1 전극(EL1)과 제 2 전극(EL2) 사이에 배치되는 스위칭 층(SL)을 포함할 수 있다. 도 2b의 스위칭 층(SL)에 대한 설명은 모순되지 않는 한, 도 2a의 스위칭 층(SL)에 대한 설명을 참조할 수 있다.
- [0070] 제 1 전극(EL1)은 기판(S) 상에 배치된 공통 배선(C) 및 공통 배선(C)을 덮는 절연층(L1, L2)을 갖는 하부 구조를 가지며, 공통 배선(C)의 적어도 일부 표면이 노출되도록 절연층(L1, L2)에 적어도 하나 이상의 비아 홀(H)을 포함할 수 있다. 상기 적어도 하나 이상의 비아 홀(H) 내에 매립된 도전 재료를 통해 비아 타입 전극이 형성될 수 있다. 제 2 전극(EL1)들은 패턴화되어 스위칭 층(SL) 상에 배치되고, 패턴화된 제 2 전극(EL1)들과 비아 타입 전극들은 스위칭 층(SL)을 사이에 두고 서로 마주할 수 있다.
- [0071] 일 실시예에서, 기판(S)은 실리콘을 포함하고, 공통 배선(C)은 텅스텐(W) 같은 도전성 금속을 포함할 수 있다. 제 1 절연층(L1)은 스톱 질화막(stop nitride)으로서, 식각 공정을 통해 비아 홀(H)을 형성할 시, 식각이 공통 배선(C)과 스톱 질화막(stop nitride)의 접합면까지 수행되도록 할 수 있다. 다른 실시예에서, 상기 식각 공정은 스톱 질화막(stop nitride)에 의해 정지되어, 비아 홀(H)은 제 1 절연층(L1)만을 관통할 수도 있다.

- [0073] 도 3a 내지 도 3h는 본 발명의 일 실시예에 따른 비선형 선택 소자의 제조 방법을 순차대로 도시하는 단면도들이다.
- [0074] 비선형 선택 소자의 제조 방법은 제 1 전극(E1)을 형성하는 단계(도 3a), 제 1 전극(E1) 상에, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층(TM) 및 상기 산화물 매트릭스 층 내에 국부적으로 배치되고 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속(DP)을 포함하며, 문턱 전압을 갖는 스위칭 층(SL)을 형성하는 단계(도 3b) 및 스위칭 층(SL) 상에 제 2 전극을 형성하는 단계(도 3d 내지 도 3h)를 포함할 수 있다. 선택적으로, 스위칭 층(SL)을 형성한 후에 스위칭 층(SL)이 결정화되도록 후속 열처리를 수행하는 단계(도 3c)가 더 수행될 수 있다. 상기 열처리의 온도는 500 °C 내지 700 °C의 범위를 갖는다. 상기 열처리의 온도가 500 °C 이하인 경우, 결정화가 발생되지 않고 비정질 상태를 유지하게 되어, 포밍 공정을 통해 문턱 스위칭 동작을 설정하는 과정이 필요하며, 상기 열처리의 온도는 700 °C 이상인 경우, 안정화된 결정상(예: Nb2O5 상)이 다른 결정상으로 변경되거나 파괴되어, 금속 절연체 전이 특성이 저하되거나 문턱 스위칭 동작이 나타나지 않게 될 수 있다. 일 실시예에서, 상기 열처리는 RTP(rapid thermal process)를 이용하여 열처리 온도 범위 내에서 일정 시간동안 진공(vacuum) 및 질소(N2) 분위기에서 수행될 수 있다.
- [0076] 일 실시예에서, 상기 스위칭 층을 형성하는 단계(도 3b)는, 플라즈마 증착 챔버 내에 상기 제 1 전이 금속을 포함하는 제 1 타깃 물질과 상기 제 2 전이 금속을 포함하는 제 2 타깃 물질을 준비하는 단계, 상기 플라즈마 증착 챔버 내에 플라즈마 방전 가스 및 산화성 가스를 주입하는 단계, 상기 제 1 타깃 물질의 원자들을 방출시키기 위한 제 1 RF 또는 제 1 DC 전력 그리고 상기 제 2 타깃 물질의 원자들을 방출시키기 위한 제 2 RF 또는 제 2 DC 전력을 공급하여, 상기 플라즈마 증착 챔버 내에 플라즈마를 형성하는 단계, 상기 제 1 타깃 물질과 상기 제 2 타깃 물질 중 적어도 하나와 상기 산화성 가스가 반응하여, 상기 제 1 전극 상에 상기 제 2 전이 금속(DP)이 국부적으로 배치된 상기 제 1 전이 금속의 산화물 매트릭스 층(TM)을 형성하는 단계를 포함할 수 있다.
- [0077] 일 실시예에서, 상기 제 1 전이 금속은 나이오븀(niobium: Nb)을 포함하고, 상기 제 2 전이 금속은 하프늄(hafnium: Hf)을 포함할 수 있다. 또한, 상기 산화성 가스는 산소 가스를 포함하고 플라즈마 방전 가스는 아르곤 가스를 포함할 수 있다. 상기 산소 가스의 분압(Oxygen Partial Pressure: OPP)은 1 % 내지 10 %범위를 가질 수 있다. 1 % 이하인 경우, Nb, NbO 금속성 상(metallic phase)이 형성되며, 10 % 이상인 경우 문턱 스위칭 특성이 나타나지 않을 수 있다.
- [0078] 산화물 매트릭스 층(TM) 내에 제 2 전이 금속(DP)의 산화물의 함유량은 상기 산화성 가스의 양, 상기 제 1 RF 또는 제 1 DC 전력의 크기 및 상기 제 2 RF 또는 제 2 DC 전력의 크기에 의해 조절될 수 있다. 제 1 전이 금속의 산화물 매트릭스 층(TM) 내 제 2 전이 금속(DP)의 산화물의 함유량에 따라 비선형 선택 소자의 문턱 전압(Vth)이 결정될 수 있다. 구체적으로, 제 2 전이 금속(DP)의 산화물의 함유량이 증가할수록 비선형 선택 소자의 문턱 전압(Vth)도 증가되어, 상기 문턱 전압의 조절 가능 윈도우가 커질 수 있다. 바람직하게, 상기 산화물 매트릭스 층(TM) 내에 제 2 전이 금속의 산화물(DP)의 함유량은 10 % 내지 50 % 범위를 가질 수 있다.
- [0080] 일 실시예에서, 도 3a와 같이, 제 1 전극(E1)은 하부 전극로서 스위칭 층(SL)의 면적보다 작은 콘택 면적을 갖는 Via type 전극을 포함할 수 있다.
- [0081] 도 3a를 참조하면, 제 1 전극(E1)을 형성하는 단계는, 기판(S) 상에 공통 배선(C)을 증착하고, 공통 배선(C) 상에 제 1 절연층(L1)을 증착하며, 제 1 절연층(L1) 상에 제 2 절연층(L2)을 증착할 수 있다. 이후, 상기 공통 배선(C)의 적어도 일부 표면이 노출되도록 제 1 절연층(L1) 및 제 2 절연층(L2)을 관통하는 적어도 하나 이상의 비아 홀(H)을 형성하고, 상기 적어도 하나 이상의 비아 홀(H) 내에 도전 재료를 매립하여 비아 타입 전극을 형성하는 단계를 포함할 수 있다.
- [0082] 일 실시예에서, 기판(S)은 실리콘을 포함하고, 공통 배선(C)은 텅스텐(W) 같은 도전성 금속을 포함할 수 있다. 제 1 절연층(L1)은 스톱 질화막(stop nitride)으로서, 식각 공정을 통해 비아 홀(H)을 형성할 시, 식각이 공통 배선(C)과 스톱 질화막(stop nitride)의 접합면까지 수행되도록 할 수 있다. 다른 실시예에서, 상기 식각 공정은 스톱 질화막(stop nitride)에 의해 정지되어, 비아 홀(H)은 제 1 절연층(L1)만을 관통할 수도 있다.
- [0083] 일 실시예에서, 도 3d 내지 도 3h와 같이, 제 2 전극(E2)은 서브 상부 전극과 서브 하부 전극들이 배열되어 제조함으로써, 서브 상부 전극과 서브 하부 전극들을 통해 전압을 인가하여 비선형 선택 소자(200)의 전기적, 광학적 특징을 용이하게 측정할 수 있다.
- [0084] 도 3d 내지 도 3h를 참조하면, 상기 2 전극을 형성하는 단계는 상기 스위칭 층(SL) 상에 포토레지스트(photoresist: PR)를 증착하는 단계(도 3d), 상기 포토레지스트(PR) 상에 마스크 패턴(M)을 형성한 후 광(LT)을

노출시킴으로써(도 3e), 상기 패턴에 따라 노출된 포토레지스트의 일부 영역들을 제거하는 단계(도 3f), 상기 포토레지스트 상에 패턴을 형성하는 단계(도 3f), 상기 패턴을 갖는 포토레지스트를 덮도록 상기 포토레지스트 상에 전극층(E2)을 형성하는 단계(도 3g) 및 상기 패턴을 갖는 포토레지스트와 중첩되는 전극층의 일부 영역들을 제거하여, 패턴을 갖는 전극층을 형성하는 단계(도 3h)를 포함할 수 있다.

- [0086] 전술한 바와 같이, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 배치되고 상기 제 1 전이 금속과 다른 종류의 제 2 전이 금속을 포함하는 스위칭 층을 선택 소자로서 이용함으로써, 상기 선택 소자는 우수한 비선형 특성을 유지하며, 직렬 결합되는 ReRAM 소자의 메모리 셀의 동작 전압을 고려하여 넓은 문턱 전압 윈도우를 가지면서 요구되는 문턱 전압이 용이하게 조절하거나 설정할 수 있다.
- [0087] 또한, 이러한 비선형 선택 소자(100, 200)는 저항 변화 메모리 소자와 전기적으로 직렬 연결되어, 비트라인과 워드라인의 교차점들에 배치되어 비휘발성 메모리 장치를 구성함으로써, 선택된 셀 외에 다른 비선택된 셀에서 발생하는 잠입 전류(sneak current)를 오류 없이 차단 또는 감소시킬 수 있다.
- [0089] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 비선형 선택 소자의 전기적 특성을 보여주는 그래프이다.
- [0090] 도 4a는 Hf가 함유되지 않은 NbO₂ 박막의 I-V 특성을 보여주는 그래프이고, 도 4a는 Hf가 함유되지 않은 NbO₂ 박막의 I-V 특성을 보여주는 그래프이고, 도 4b는 Hf가 20 % 함유된 NbO₂ 박막의 I-V 특성을 보여주는 그래프이고, 도 4c는 Hf가 30 % 함유된 NbO₂ 박막의 I-V 특성을 보여주는 그래프이다. 도 4a 내지 도 4c의 NbO₂ 박막은 모두 포밍 공정 없이 문턱 스위칭 특성을 갖는다.
- [0091] 도 4a를 참조하면, Hf가 함유되지 않은 NbO₂ 박막은 대략 1.0 V 전압에서 문턱 스위칭이 발생하는 것이 관찰되며, 도 4b를 참조하면, Hf가 20 % 함유된 NbO₂ 박막은 대략 1.6 V 전압에서 문턱 스위칭이 발생하는 것이 관찰되고, 도 4c를 참조하면, Hf가 30 % 함유된 NbO₂ 박막은 대략 2.0 V 전압에서 문턱 스위칭이 발생하는 것이 관찰되었다. 상기 문턱 스위칭이 발생하는 전압(즉, 문턱 전압)은 NbO₂ 박막 내에 함유되는 하프늄 같은 전이 금속의 산화물의 함유양에 비례하여 증가함을 알 수 있다. 이러한, 문턱 전압의 증가로 인해, 문턱 전압의 조절 가능 윈도우는 1.0 V 내지 2.5 V의 범위를 가질 수 있다.
- [0093] 도 5a는 비선형 선택 소자 내 스위칭 층의 X-선 회절(X-Ray Diffraction: XRD)의 결과이고 도 5b는 비선형 선택 소자 내 스위칭 층의 X-선 광전자 분광(X-Ray Photoelectron Spectroscopy: XPS)의 결과이다.
- [0094] 도 5a를 참조하면, 비선형 선택 소자의 스위칭 층 내에서 Hf 금속 피크가 나타나지 않았으며, NbO₂ 및 HfO₂ 산화물 피크가 검출되었으며 이는 NbO₂ 산화물 내에 HfO₂ 산화물이 존재하는 것으로 생각된다.
- [0095] 도 5b를 참조하면, Hf의 binding energy를 분석한 결과 금속 위치에서 전혀 intensity가 나타나지 않았으며 Hf 이 산화물일 때의 binding energy에 해당하는 위치에서 intensity가 나타났다.
- [0097] 도 6은 본 발명의 일 실시예에 따른 고상 디스크(이하, SSD)를 포함하는 저장 장치(1000)를 도시하는 블록도이다.
- [0098] 도 6을 참조하면, 저장 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 비휘발성 메모리 소자(1230)를 포함할 수 있다. SSD 컨트롤러(1210)는 호스트(1100)와 SSD(1200) 사이의 전기적 및 물리적 연결을 제공한다. 일 실시예에서, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이스를 제공한다. 또한, SSD 컨트롤러(1210)는, 호스트(1100)로부터 제공되는 명령어를 디코딩하고 디코딩된 결과에 따라, 비휘발성 메모리 소자(1230)를 액세스할 수 있다. 호스트(1100)의 버스 포맷(Bus format)의 비제한적 예로서, USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA(Advanced Technology Attachment), PATA(Parallel ATA), SATA(Serial ATA), 및 SAS(Serial Attached SCSI)이 포함될 수 있다.
- [0099] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 비휘발성 저항 변화 메모리 소자(1230)로부터 독출된 데이터가 임시 저장될 수 있다. 호스트(1100)의 읽기 요청시에 비휘발성 저항 변화 메모리 소자(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능이 제공될 수 있다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 더 빠를 수 있다. 이 경우, 대용량

의 버퍼 메모리(1220)가 제공되어 속도 차이로 발생하는 성능 저하를 최소화할 수 있다. 이를 위한 버퍼 메모리(1220)는 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)일 수 있지만, 이에 한정되는 것은 아니다. 비휘발성 저항 변화 메모리 소자(1230)는 SSD(1200)의 저장 매체로서 제공될 수 있다.

[0101] 도 7은 본 발명의 다른 실시예에 따른 메모리 시스템(2000)을 도시하는 블록도이다.

[0102] 도 7을 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200) 및 비휘발성 저항 변화 메모리 소자(2100)를 포함할 수 있다. 비휘발성 저항 변화 메모리 소자(2100)는 도 1 내지 도 5를 참조하여 개시한 저항 변화 메모리 소자(1000)를 포함할 수 있다. 비휘발성 저항 변화 메모리 소자(2100)는 타깃 상태들을 검증할 때 비정상 속도를 갖는 메모리 셀들을 검출할 수 있어 고속의 신뢰성 있는 프로그램 성능을 가질 수 있다.

[0103] 메모리 컨트롤러(2200)는 비휘발성 저항 변화 메모리 소자(2100)를 제어하도록 구성될 수 있다. SRAM(2230)은 CPU(2210)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(2220)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구현할 수 있다. 메모리 컨트롤러(2200)에 구비된 에러 정정 회로(2240)는 비휘발성 강유전체 메모리(2100)로부터 독출된 데이터에 포함된 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2260)는 본 발명의 비휘발성 메모리 소자(2100)와 인터페이싱할 수 있다. CPU(2210)는 메모리 컨트롤러(2200)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨)을 더 포함할 수 있다.

[0104] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 또는 IDE와 같은 다양한 인터페이스 프로토콜들 중 어느 하나를 통해 외부 회로(예를 들면, 호스트)와 통신하도록 구성될 수 있다. 본 발명에 따른 메모리 시스템(2000)은, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크와 같은 다양한 사용자 장치들에 적용될 수 있다.

[0106] 도 8은 본 발명의 다른 실시예에 따른 데이터 저장 장치(3000)를 도시하는 블록도이다.

[0107] 도 8를 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 비휘발성 메모리 소자(3100) 및 저항 변화 컨트롤러(3200)를 포함할 수 있다. 저항 변화 컨트롤러(3200)는 데이터 저장 장치(3000)의 외부 회로로부터 수신된 제어 신호들에 기초하여 저항 변화 메모리(3100)를 제어할 수 있다. 저항 변화 메모리(3100)의 3 차원 메모리 어레이 구조는, 예를 들면, 채널 적층형 구조, 직선형 BICs 구조(straight-shaped Bit Cost Scalable 구조), 및 파이프형 BICs(pipe-shaped Bit Cost Scalable) 구조일 수 있으며, 상기 구조는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

[0108] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스틱 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 강유전체 메모리 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 또는 개인 컴퓨터와 같은 전자 장치를 사용하기 위한 표준 또는 규격을 만족하는 메모리 카드일 수 있다.

[0110] 도 9는 본 발명의 일 실시예에 따른 비휘발성 저항 변화 메모리 장치(4100) 및 이를 포함하는 컴퓨팅 시스템(4000)을 도시하는 블록도이다.

[0111] 도 9를 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4400)에 전기적으로 연결된 저항 변화 메모리 소자(4100), 메모리 컨트롤러(4200), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4300), 마이크로프로세서(4500), 그리고 사용자 인터페이스(4600)를 포함할 수 있다.

[0112] 도 9에 도시된 저항 변화 메모리 소자(4100)는 전술한 비휘발성 메모리 소자일 수 있다. 본 발명에 따른 컴퓨팅 시스템(4000)은 모바일 장치일 수 있으며, 이 경우, 컴퓨팅 시스템(4000)의 동작 전압을 공급하기 위한 배터리(4700)가 더 제공될 수 있다. 도시하지는 아니하였지만, 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 또는 모바일 디램이 더 제공될 수 있다. 메모리 컨트롤러(4200) 및 강유전체 메모리 장치(4100)는, 예를 들면, 데이터를 저장하는 비휘발성 메모리 소자를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.

[0113] 본 발명에 따른 비휘발성 메모리 소자 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 강유전체 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), 또는 Wafer-Level Processed Stack Package(WSP)와 같은 패키지들을 이용하여 실장될 수 있다.

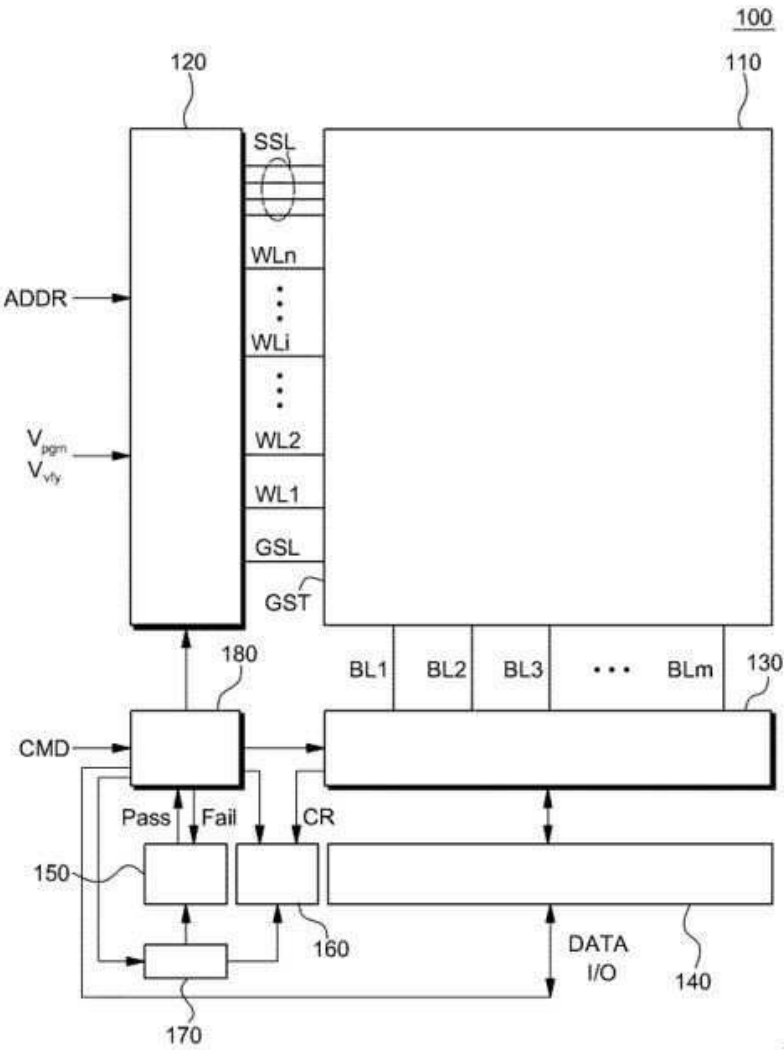
[0115] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

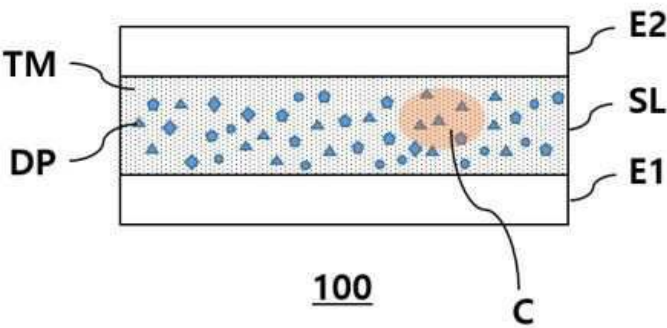
[0117] E1: 제 1 전극
E2: 제 2 전극
SL: 스위칭 층
TM: 제 1 전이 금속의 산화물 매트릭스 층
DP: 제 2 전이 금속의 산화물

도면

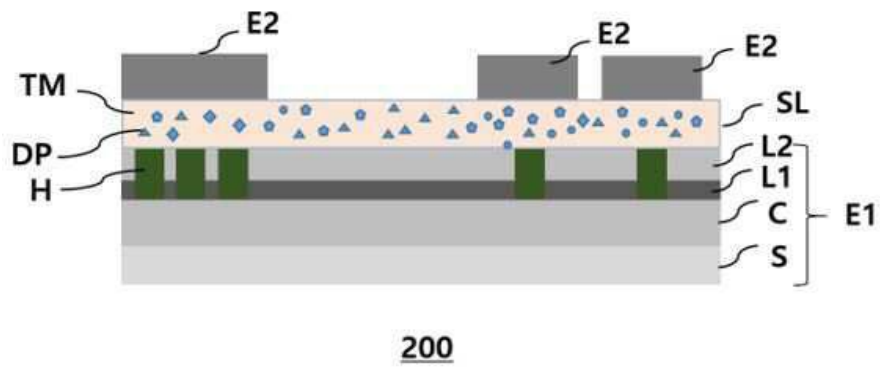
도면1



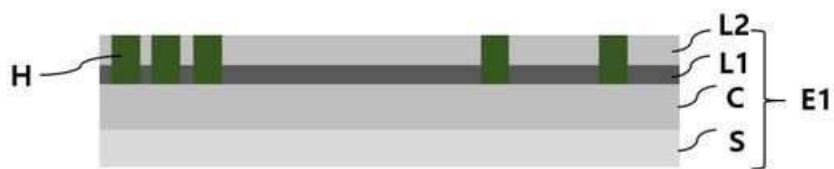
도면2a



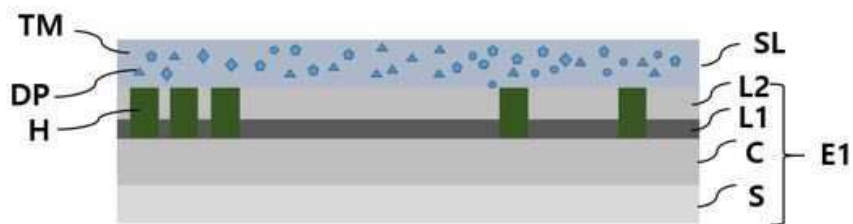
도면2b



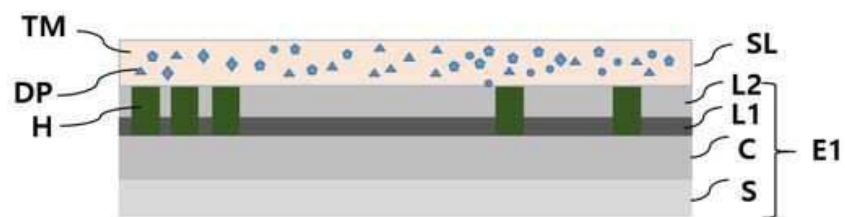
도면3a



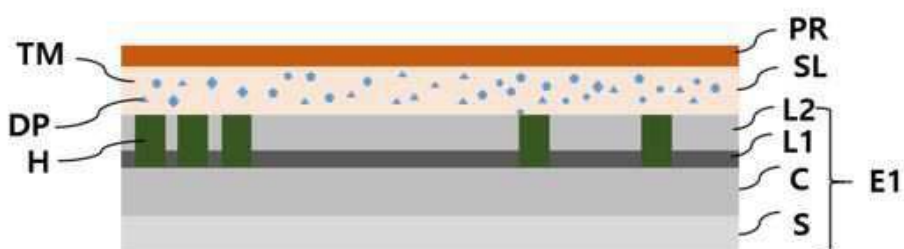
도면3b



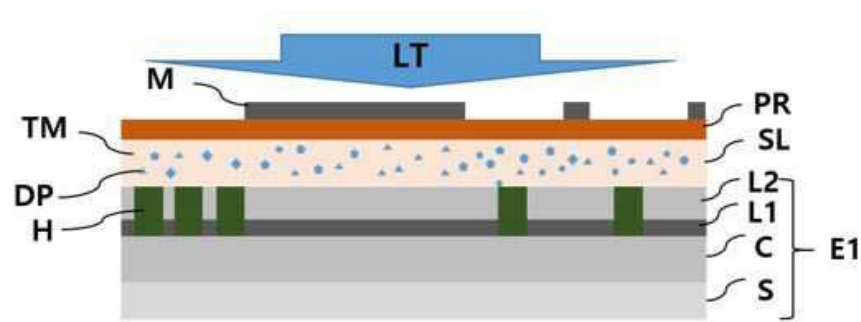
도면3c



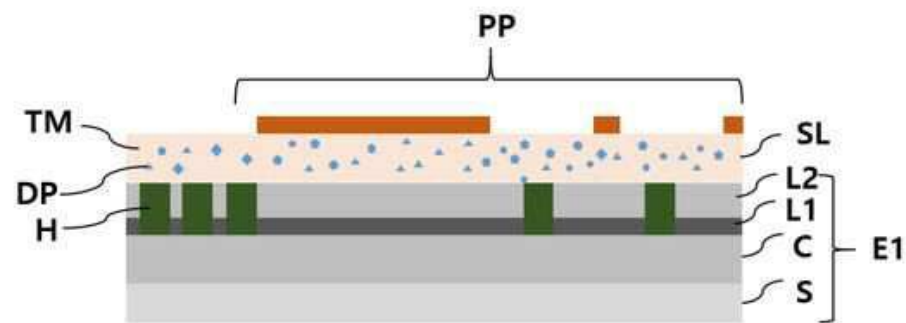
도면3d



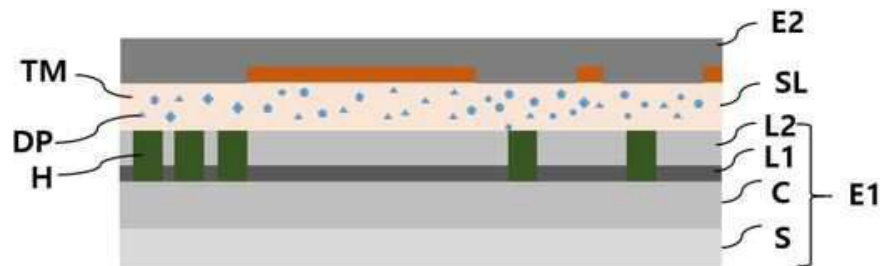
도면3e



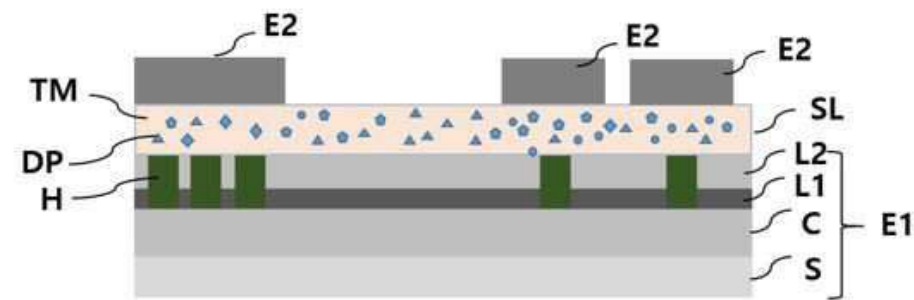
도면3f



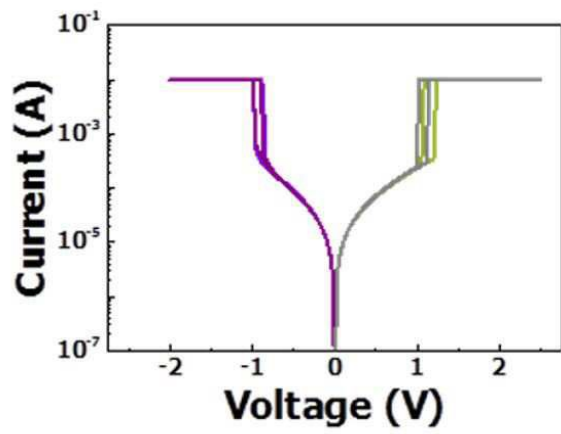
도면3g



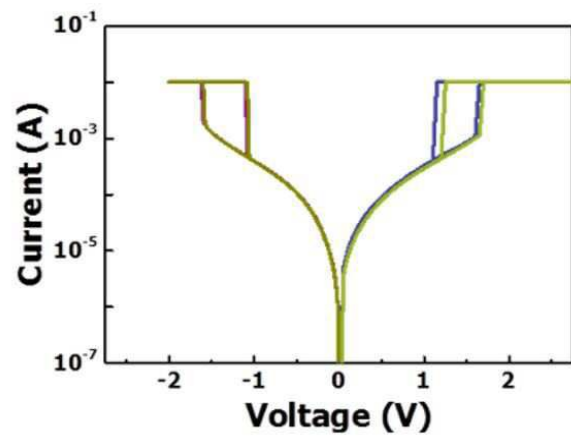
도면3h



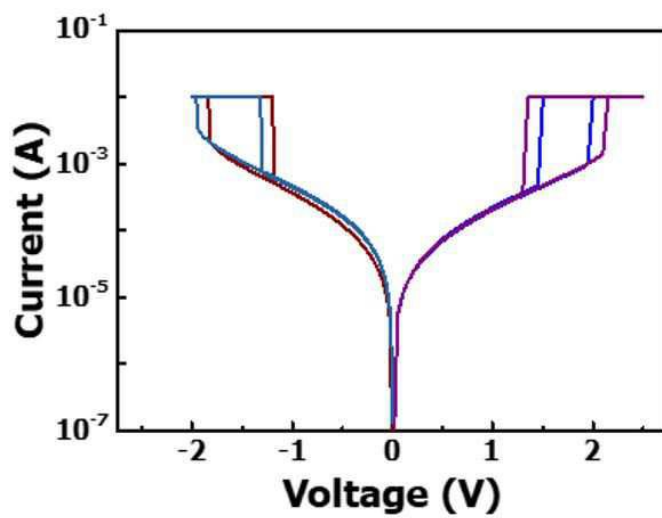
도면4a



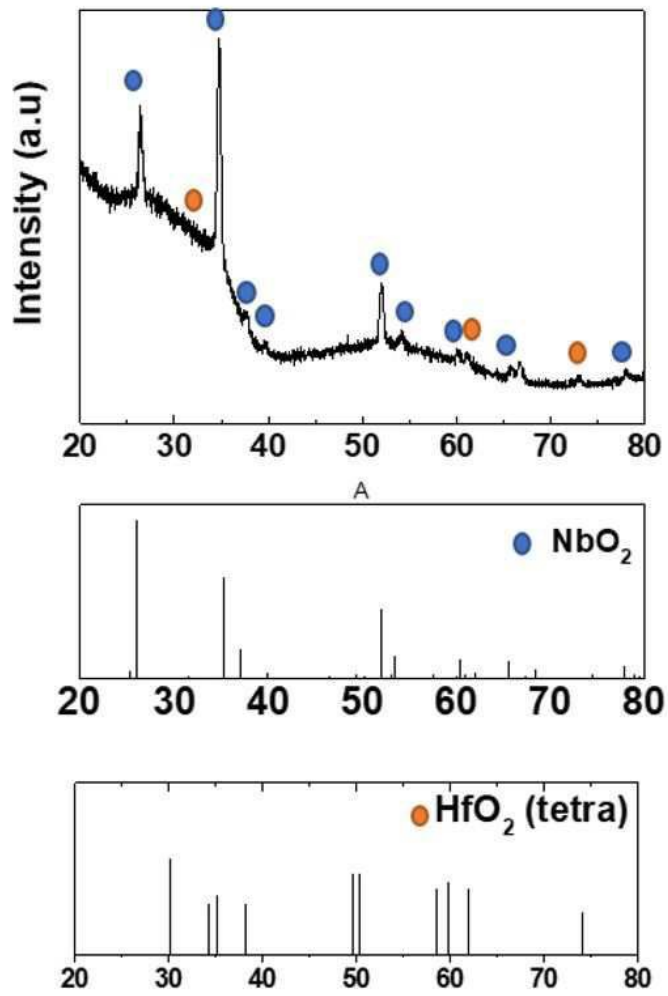
도면4b



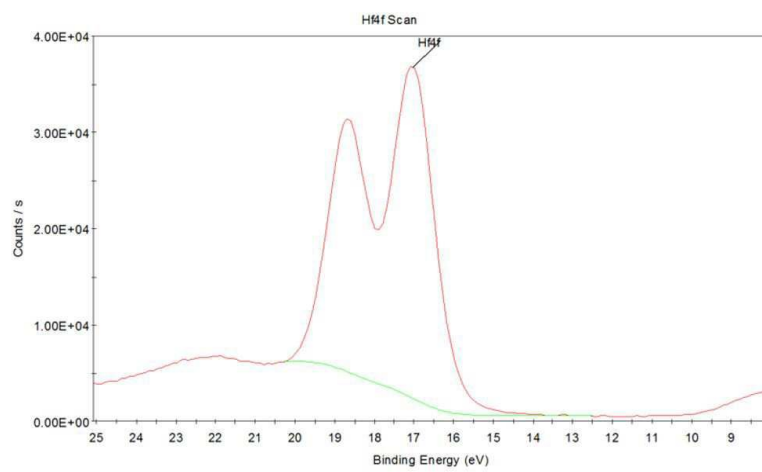
도면4c



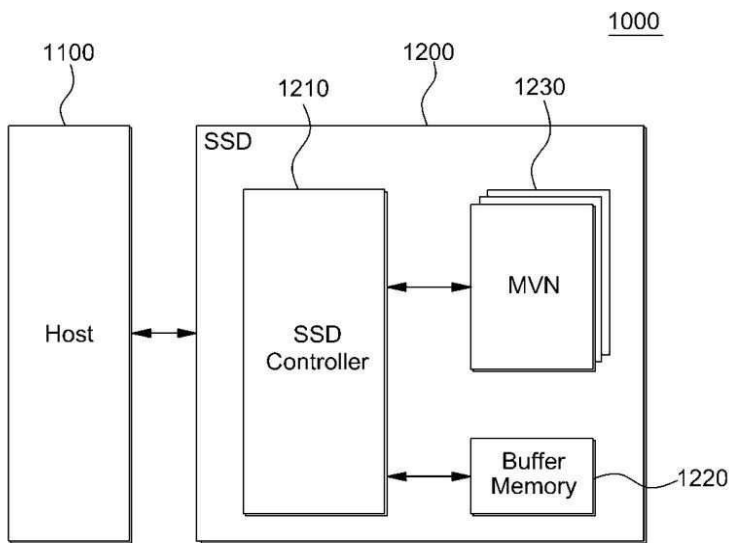
도면5a



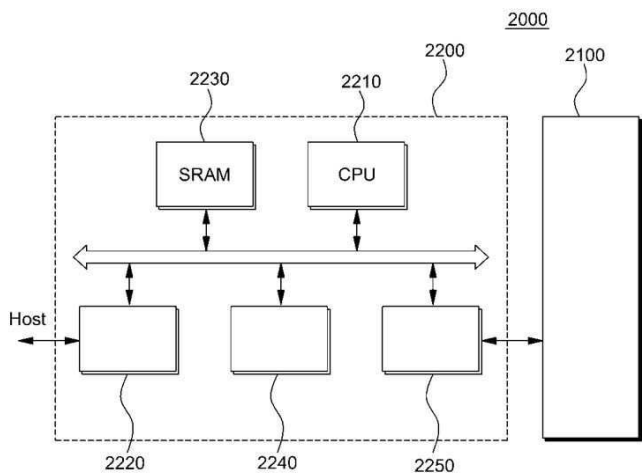
도면5b



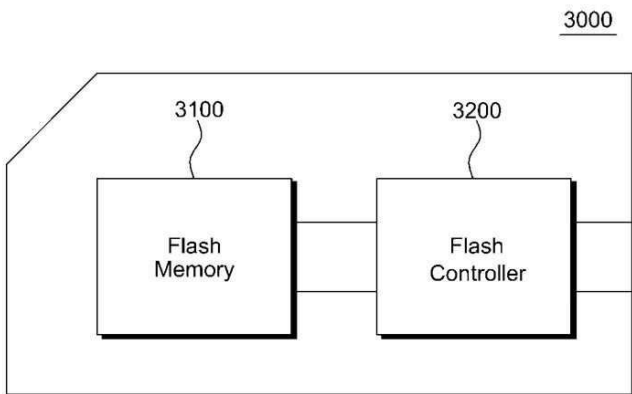
도면6



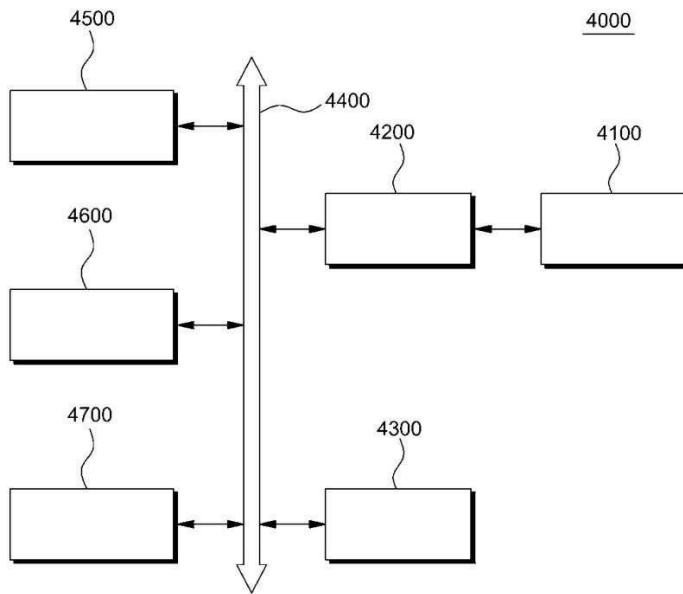
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2

【변경전】

제 1 전극;

제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 NbO_2 물질을 포함한 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 분산 배치되며, HfO_2 물질을 포함한 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하며,

상기 제 1 전극은 기판 상에 배치된 공통 배선 및 상기 공통 배선을 덮는 절연층을 갖는 하부 구조를 가지며, 상기 공통 배선의 적어도 일부 표면이 노출되도록 상기 절연층에 적어도 하나 이상의 비아 홀을 포함하며, 상기 적어도 하나 이상의 비아 홀 내에 매립된 도전 재료를 통해 비아 타입 전극이 형성되고,

제 2 전극은 패터닝되어 적어도 하나의 서브 전극을 포함하며, 상기 패터닝된 서브 전극과 상기 제 1 전극의 비아 타입 전극은 상기 스위칭 층을 사이에 두고 서로 대향하고,

상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가된 비선형 선택 소자.

【변경후】

제 1 전극;

제 2 전극; 및

상기 제 1 전극과 상기 제 2 전극 사이에 배치되고, 금속 절연체 전이(Metal-Insulator Transition: MIT) 특성을 갖는 NbO_2 물질을 포함한 제 1 전이 금속의 산화물 매트릭스 층 및 상기 산화물 매트릭스 층 내에 국부적으로 분산 배치되며, HfO_2 물질을 포함한 제 2 전이 금속의 산화물을 포함하며, 문턱 전압을 갖는 스위칭 층을 포함하며,

상기 제 1 전극은 기판 상에 배치된 공통 배선 및 상기 공통 배선을 덮는 절연층을 갖는 하부 구조를 가지며, 상기 공통 배선의 적어도 일부 표면이 노출되도록 상기 절연층에 적어도 하나 이상의 비아 홀을 포함하며, 상기 적어도 하나 이상의 비아 홀 내에 매립된 도전 재료를 통해 비아 타입 전극이 형성되고,

제 2 전극은 패터닝되어 적어도 하나의 서브 전극을 포함하며, 상기 패터닝된 서브 전극과 상기 제 1 전극의 비아 타입 전극은 상기 스위칭 층을 사이에 두고 서로 대향하고,

상기 문턱 전압은 상기 제 2 전이 금속의 산화물의 함유량에 비례하여 증가된 비선형 선택 소자.