



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월16일  
(11) 등록번호 10-2216637  
(24) 등록일자 2021년02월09일

(51) 국제특허분류(Int. Cl.)  
H01L 21/02 (2006.01) H01L 21/66 (2006.01)  
H01L 21/67 (2006.01) H01L 31/101 (2006.01)  
(52) CPC특허분류  
H01L 21/02623 (2013.01)  
H01L 21/02282 (2013.01)  
(21) 출원번호 10-2019-0058318  
(22) 출원일자 2019년05월17일  
심사청구일자 2019년05월17일  
(65) 공개번호 10-2020-0132575  
(43) 공개일자 2020년11월25일  
(56) 선행기술조사문헌  
JP2007094040 A\*  
(뒷면에 계속)

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
조용수  
서울특별시 서초구 명달로 15 서초이에스에이3차  
아파트 101-107  
(74) 대리인  
김권석

전체 청구항 수 : 총 14 항

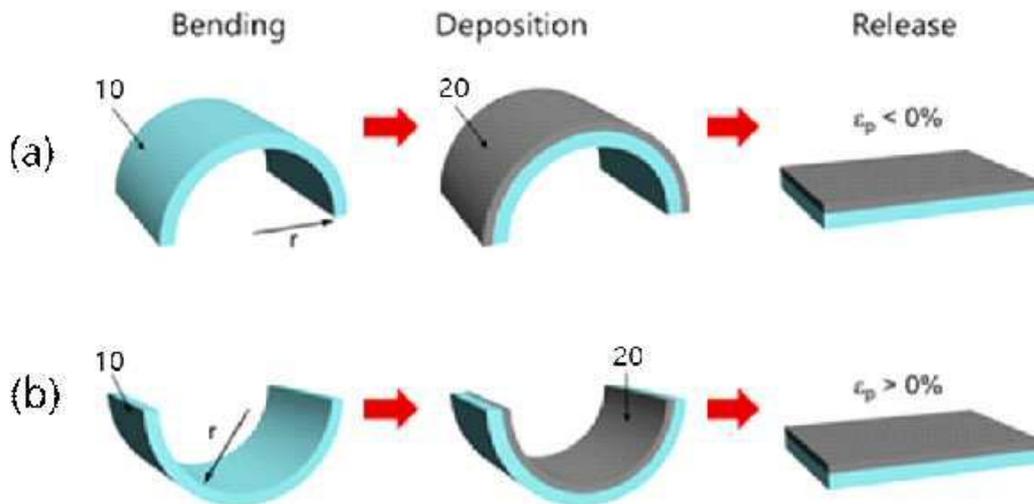
심사관 : 박부식

(54) 발명의 명칭 반도체 박막의 제조 방법 및 광 검출기

(57) 요약

본 발명은 반도체 박막의 제조 방법 및 광 검출기에 관한 것이다. 본 발명의 실시예에 따른 반도체 박막의 제조 방법은, 가요성 기판에 응력을 인가하여 상기 기판을 변형시키는 기판 변형 단계; 상기 기판이 변형된 상태에서 상기 기판 상에 반도체 박막을 형성하는 박막 형성 단계; 및 상기 기판에 인가된 응력을 해제하여 변형된 상기 기판을 복원하는 응력 해제 단계를 포함하고, 상기 기판에 인가된 응력의 크기를 제어함으로써 상기 반도체 박막의 광학적 특성을 조절할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02524 (2013.01)  
 H01L 21/02538 (2013.01)  
 H01L 21/02551 (2013.01)  
 H01L 21/02614 (2013.01)  
 H01L 21/67242 (2013.01)  
 H01L 22/12 (2013.01)  
 H01L 22/30 (2013.01)  
 H01L 31/101 (2013.01)

(56) 선행기술조사문헌

KR1020120069131 A\*  
 KR1019940001455 A  
 JP2007147578 A\*  
 KR101116250 B1\*

\*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	2018111787(2018M3D1A1058536)
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원천기술개발사업
연구과제명	[Ezbaro] (총괄/3세부)인공 공감각 일렉트로닉스 플랫폼 개발 (1단계)(2/3)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.16 ~ 2020.01.15
공지예외적용	: 있음

---

**명세서**

**청구범위**

**청구항 1**

가요성 기판에 응력을 인가하여 상기 기판을 변형시키는 기판 변형 단계;  
 상기 기판이 변형된 상태에서 상기 기판 상에 반도체 박막을 형성하는 박막 형성 단계; 및  
 상기 기판에 인가된 응력을 해제하여 변형된 상기 기판을 복원하는 응력 해제 단계를 포함하고,  
 상기 기판에 인가된 응력의 크기를 제어함으로써 상기 반도체 박막의 광학적 밴드갭을 조절하며,  
 상기 반도체 박막에 압축 응력이 작용하는 경우에, 상기 반도체 박막의 광학적 밴드갭이 상기 압축 응력이 작용하지 않는 경우 보다 더 작게 조절되는 반도체 박막의 제조 방법.

**청구항 2**

제 1 항에 있어서,  
 상기 응력 인가 단계에서는, 상기 기판이 소정 곡률 반경을 갖도록 상기 기판을 볼록하게 또는 오목하게 변형하는 반도체 박막의 제조 방법.

**청구항 3**

제 1 항에 있어서,  
 상기 박막 형성 단계에서는, 상기 반도체 박막을 상온에서 화학적 용액 성장법(chemical bath deposition)에 의해 상기 기판 상에 성장시키는 반도체 박막 제조 방법.

**청구항 4**

제 1 항에 있어서,  
 상기 기판은 PC(Polycarbonate), PES(Polyether Sulfone), PET(Polyethylene Terephthalate), PEN(Polyethylene Naphthalate), PI(Polyimide), PAR(Polyarylate), COC(Cyclo Olefin) 및 FPR(Glass Fiber Reinforced Plastic) 중 적어도 하나인 반도체 박막의 제조 방법.

**청구항 5**

제 1 항에 있어서,  
 상기 기판 변형 단계에서는 상기 기판이 볼록하게 변형되고, 상기 박막 형성 단계에서는 상기 기판의 볼록하게 변형된 면 상에 상기 반도체 박막이 형성되며, 상기 응력 해제 단계에서 복원된 상기 기판 상의 상기 반도체 박막에 압축 응력이 작용하는 반도체 박막의 제조 방법.

**청구항 6**

삭제

**청구항 7**

제 1 항에 있어서,  
 상기 기판 변형 단계에서는 상기 기판이 오목하게 변형되고, 상기 박막 형성 단계에서는 상기 기판의 오목하게 변형된 면 상에 상기 반도체 박막이 형성되며, 상기 응력 해제 단계에서 복원된 상기 기판 상의 상기 반도체 박막에 인장 응력이 작용하는 반도체 박막 제조 방법.

**청구항 8**

가요성 기판에 응력을 인가하여 상기 기판을 변형시키는 기판 변형 단계;

상기 기판이 변형된 상태에서 상기 기판 상에 반도체 박막을 형성하는 박막 형성 단계; 및

상기 기판에 인가된 응력을 해제하여 변형된 상기 기판을 복원하는 응력 해제 단계를 포함하고,

상기 기판에 인가된 응력의 크기를 제어함으로써 상기 반도체 박막의 광학적 밴드갭을 조절하며,

상기 반도체 박막에 인장 응력이 작용하는 경우에, 상기 반도체 박막의 광학적 밴드갭이 상기 인장 응력이 작용하지 않는 경우 보다 더 크게 조절되는 반도체 박막 제조 방법.

**청구항 9**

제 1 항에 있어서,

상기 반도체 박막은, SiC를 포함하는 4족 반도체 화합물, AlP, InP, AlAs, InAs, AlSb, InSb, GaP, GaAs, 또는 GaSb를 포함하는 3-5족 반도체 화합물, 또는 ZnS, PbS, AnSe, ZnTe, CdS, CdSe, 또는 CdTe를 포함하는 2-6족 반도체 화합물 중 적어도 하나인 반도체 박막 제조 방법.

**청구항 10**

가요성 기판;

상기 개요성 기판 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막; 및

상기 반도체 박막 상에 서로 분리하여 형성된 제 1 전극 및 제 2 전극을 포함하고,

상기 반도체 박막에는 압축 응력이 작용하며,

상기 반도체 박막의 (111) 격자면 및 (200) 격자면의 면간 간격이 응력이 작용하지 않는 반도체 박막의 면간 간격 보다 작은 광 검출기.

**청구항 11**

삭제

**청구항 12**

가요성 기판;

상기 개요성 기판 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막; 및

상기 반도체 박막 상에 서로 분리하여 형성된 제 1 전극 및 제 2 전극을 포함하고,

상기 반도체 박막에는 압축 응력이 작용하며,

상기 압축 응력이 작용하는 상기 반도체 박막의 광학적 밴드갭은 압축 응력이 작용하지 않는 반도체 박막의 광학적 밴드갭 보다 작은 광 검출기.

**청구항 13**

가요성 기판;

상기 개요성 기판 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막; 및

상기 반도체 박막 상에 서로 분리하여 형성된 제 1 전극 및 제 2 전극을 포함하고,

상기 반도체 박막에는 압축 응력이 작용하며,

상기 압축 응력이 작용하는 상기 반도체 박막의 전도대 에지는 압축 응력이 작용하지 않는 반도체 박막의 전도대 에지 보다 더 작은 에너지를 갖는 광 검출기.

**청구항 14**

제 10 항에 있어서,

상기 기판은 PC(Polycarbonate), PES(Polyether Sulfone), PET(Polyethylene Terephthalate), PEN(Polyethylene Naphthalate), PI(Polyimide), PAR(Polyarylate), COC(Cyclo Olefin) 및 FPR(Glass Fiber Reinforced Plastic) 중 적어도 하나인 광 검출기.

**청구항 15**

제 10 항에 있어서,

상기 반도체 박막은, SiC를 포함하는 4족 반도체 화합물, AlP, InP, AlAs, InAs, AlSb, InSb, GaP, GaAs, 또는 GaSb를 포함하는 3-5족 반도체 화합물, 또는 ZnS, PbS, AnSe, ZnTe, CdS, CdSe, 또는 CdTe를 포함하는 2-6족 반도체 화합물 중 적어도 하나인 광 검출기.

**청구항 16**

가요성 기판;

상기 개요성 기판 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막; 및

상기 반도체 박막 상에 서로 분리하여 형성된 제 1 전극 및 제 2 전극을 포함하고,

상기 반도체 박막에는 압축 응력이 작용하며,

상기 제 1 전극과 상기 제 2 전극 사이에 3V 바이어스를 가하고, 상기 반도체 박막에 100 mW/cm<sup>2</sup>의 광 강도를 갖는 빛을 조명한 경우에, 온 전류와 오프 전류의 차이가 4μA 이상인 광 검출기.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 반도체 박막의 제조 방법 및 광 검출기에 관한 것이다.

**배경 기술**

[0002] 반도체 장치나 디스플레이 장치 등은 반도체 박막을 필요로 한다. 반도체 박막을 형성하는 다양한 방법들이 연구되어 왔으며, 대표적인 예로 화학 기상 증착, 진공 증착, 스퍼터링 등의 방법을 들 수 있다.

[0003] 응력은 박막의 성장시에 일반적으로 격자 불일치 및/또는 박막과 기판 사이의 열팽창의 차이로 인해 발생하고, 발생된 응력은 박막 배향 및 박막 품질을 결정하는데 매우 중요한 역할을 한다. 그러나, 박막에 응력이 발생하는 경우, 박막의 전기적, 광전자적, 자기적 및 기계적 특성 등이 응력에 의해 어떠한 영향을 받는지 또는 응력과 박막의 특성과의 구체적인 관계에 대해서는 아직 명확히 밝혀지지 않았다.

[0004] 또한, 반도체 박막의 제조는 통상적으로 고온 상태에서 행해지므로, 반도체 박막의 아래에 놓인 다른 층의 재료가 고온 처리에 의해 결함 등이 발생하거나 그 특성이 고온 처리에 의해 변화하기 쉬운 재료인 경우에는, 그 위에 반도체 박막을 고온 처리에 의해 형성하는 것이 곤란하였다.

[0005] 또한, 반도체 박막에 의해 구성된 광 검출기의 감도 및 효율은 반도체 박막을 구성하는 재료의 특성에 의해 영향을 받으며, 감도 및 효율을 향상시키기 위해서는 반도체 재료의 조성을 변화시킬 필요가 있었다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명이 해결하고자 하는 기술적 과제는, 반도체 재료의 조성을 변경하지 않고, 반도체 박막의 광학적 특성을 변화시킬 수 있는 반도체 박막의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 기술적 과제는, 상온에서 개요성 기판 상에 반도체 박막을 형성할 수 있는 반도체 박막의 제조 방법을 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 다른 기술적 과제는, 반도체 재료의 조성을 변경하지 않고, 감도 및 효율이 향상된

광 검출기를 제공하는 것이다.

**과제의 해결 수단**

- [0009] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예로서, 가요성 기판에 응력을 인가하여 상기 기판을 변형시키는 기판 변형 단계; 상기 기판이 변형된 상태에서 상기 기판 상에 반도체 박막을 형성하는 박막 형성 단계; 및 상기 기판에 인가된 응력을 해제하여 변형된 상기 기판을 복원하는 응력 해제 단계를 포함하고,
- [0010] 상기 기판에 인가된 응력의 크기를 제어함으로써 상기 반도체 박막의 광학적 특성을 조절하는 반도체 박막의 제조 방법이 제공될 수 있다.
- [0011] 일 실시예에서, 상기 응력 인가 단계에서는, 상기 기판이 소정 곡률 반경을 갖도록 상기 기판을 볼록하게 또는 오목하게 변형할 수 있다.
- [0012] 일 실시예에서, 상기 박막 형성 단계에서는, 상기 반도체 박막을 상온에서 화학적 용액 성장법(chemical bath deposition)에 의해 상기 기판 상에 성장시킬 수 있다.
- [0013] 일 실시예에서, 상기 기판은 PC(Polycarbonate), PES(Polyether Sulfone), PET(Polyethylene Terephthalate), PEN(Polyethylene Naphthalate), PI(Polyimide), PAR(Polyarylate), COC(Cyclo Olefin) 및 FPR(Glass Fiber Reinforced Plastic) 중 적어도 하나일 수 있다.
- [0014] 일 실시예에서, 상기 기판 변형 단계에서는 상기 기판이 볼록하게 변형되고, 상기 박막 형성 단계에서는 상기 기판의 볼록하게 변형된 면 상에 상기 반도체 박막이 형성되며, 상기 응력 해제 단계에서 복원된 상기 기판 상의 상기 반도체 박막에 압축 응력이 작용할 수 있다.
- [0015] 일 실시예에서, 상기 반도체 박막에 상기 압축 응력이 작용하는 경우에, 상기 반도체 박막의 광학적 밴드갭은 상기 압축 응력이 작용하지 않는 경우 보다 더 작을 수 있다.
- [0016] 일 실시예에서, 상기 기판 변형 단계에서는 상기 기판이 오목하게 변형되고, 상기 박막 형성 단계에서는 상기 기판의 오목하게 변형된 면 상에 상기 반도체 박막이 형성되며, 상기 응력 해제 단계에서 복원된 상기 기판 상의 상기 반도체 박막에 인장 응력이 작용할 수 있다.
- [0017] 일 실시예에서, 상기 반도체 박막에 인장 응력이 작용하는 경우에, 상기 반도체 박막의 광학적 밴드갭은 상기 인장 응력이 작용하지 않는 경우 보다 더 클 수 있다.
- [0018] 일 실시예에서, 상기 반도체 박막은, SiC를 포함하는 4족 반도체 화합물, AlP, InP, AlAs, InAs, AlSb, InSb, GaP, GaAs, 또는 GaSb를 포함하는 3-5족 반도체 화합물, 또는 ZnS, PbS, AnSe, ZnTe, CdS, CdSe, 또는 CdTe를 포함하는 2-6족 반도체 화합물 중 적어도 하나일 수 있다.
- [0019] 상기 기술적 과제를 해결하기 위한 본 발명의 다른 실시예로서, 가요성 기판; 상기 가요성 기판 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막; 및 상기 반도체 박막 상에 서로 분리하여 형성된 제 1 전극 및 제 2 전극을 포함하고, 상기 반도체 박막에는 압축 응력이 작용하는 광 검출기가 제공될 수 있다.
- [0020] 일 실시예에서, 상기 반도체 박막의 (111) 격자면 및 (200) 격자면의 면간 간격이 응력이 작용하지 않는 반도체 박막의 면간 간격 보다 작을 수 있다.
- [0021] 일 실시예에서, 압축 응력이 작용하는 상기 반도체 박막의 광학적 밴드갭은 압축 응력이 작용하지 않는 반도체 박막의 광학적 밴드갭 보다 작을 수 있다.
- [0022] 일 실시예에서, 압축 응력이 작용하는 상기 반도체 박막의 전도대 에지는 압축 응력이 작용하지 않는 반도체 박막의 전도대 에지 보다 더 작은 에너지를 가질 수 있다.
- [0023] 일 실시예에서, 상기 기판은 PC(Polycarbonate), PES(Polyether Sulfone), PET(Polyethylene Terephthalate), PEN(Polyethylene Naphthalate), PI(Polyimide), PAR(Polyarylate), COC(Cyclo Olefin) 및 FPR(Glass Fiber Reinforced Plastic) 중 적어도 하나일 수 있다.
- [0024] 일 실시예에서, 상기 반도체 박막은, SiC를 포함하는 4족 반도체 화합물, AlP, InP, AlAs, InAs, AlSb, InSb, GaP, GaAs, 또는 GaSb를 포함하는 3-5족 반도체 화합물, 또는 ZnS, PbS, AnSe, ZnTe, CdS, CdSe, 또는 CdTe를 포함하는 2-6족 반도체 화합물 중 적어도 하나일 수 있다.
- [0025] 일 실시예에서, 상기 제 1 전극과 상기 제 2 전극 사이에 3V 바이어스를 가하고, 상기 반도체 박막에 100

$\text{mW}/\text{cm}^2$ 의 광 강도를 갖는 빛을 조명한 경우에, 온 전류와 오프 전류의 차이가  $4\mu\text{A}$  이상일 수 있다.

**발명의 효과**

- [0026] 본 발명의 실시예에 따르면, 응력의 인가에 의해 변형된 가요성 기관 상에 반도체 박막을 형성한 후, 응력을 해제함으로써, 반도체 재료의 조성을 변경하지 않고, 반도체 박막의 광학적 특성을 변화시킬 수 있는 반도체 박막의 제조 방법이 제공될 수 있다.
- [0027] 또한, 본 발명의 실시예에 따르면, 화학적 용액 성장법에 의해 기관 상에 반도체 박막을 성장시킴으로써, 상온에서 가요성 기관 상에 반도체 박막을 형성할 수 있는 반도체 박막의 제조 방법이 제공될 수 있다.
- [0028] 또한, 본 발명의 실시예에 따르면, 압축 응력이 작용하는 반도체 박막을 포함함으로써, 반도체 재료의 조성을 변경하지 않고, 감도 및 효율이 향상된 광 검출기가 제공될 수 있다.

**도면의 간단한 설명**

- [0029] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 박막의 제조 방법을 나타내는 모식도이다.
- 도 2a는 본 발명의 일 실시예에 따라 제조된 반도체 박막의 X선 회절 스펙트럼을 도시하고, 도 2b는 제조된 반도체 박막의 라만 스펙트럼을 도시한다.
- 도 3a 내지 도 3c는 본 발명의 일 실시예에 따라 제조된 반도체 박막의 고해상도 TEM(HR-TEM) 이미지 및 FFT(고속 푸리에 변환) 패턴을 도시한다.
- 도 4a는 본 발명의 일 실시예에 따라 제조된 반도체 박막의  $h\nu$ 와  $(\alpha h\nu)^2$ 의 관계를 도시하는 그래프이고, 도 4b 및 도 4c는 응력에 따른 반도체 박막의 밴드 에지 및 밴드갭의 변화를 나타내는 도면이다.
- 도 5a 및 5b는 본 발명의 일 실시예에 따라 제조된 반도체 박막의 전자 밴드갭( $\Delta E_{g,elec}$ )의 변화와, 가전자대 에지 및 전도대 에지의 변화를 각각 도시하는 그래프이고, 도 5c는 응력에 따른 상태 밀도(density-of-states)의 변화를 나타내는 그래프이다.
- 도 6은 본 발명의 일 실시예에 따른 광 검출기의 단면도이다.
- 도 7a는 본 발명의 일 실시예에 따른 광 검출기의 광 전류를 나타내는 그래프이고, 도 7b는 광 검출기의 암(dark) I-V 그래프를 나타내는 그래프이며, 도 7c는 광 검출기의 광 응답을 나타내는 그래프이고, 도 7d는 광 검출기의 계면에서의 밴드 구조를 나타내는 모식도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0031] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 도면에서 동일 부호는 동일한 요소를 지칭한다.
- [0032] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0034] 도 1는 본 발명의 일 실시예에 따른 반도체 박막의 제조 방법을 나타내는 모식도이다.
- [0035] 본 발명의 일 실시예에 따른 반도체 박막의 제조 방법은, 가요성 기관(10)에 응력을 인가하여 기관(10)을 변형시키는 기관 변형 단계와, 기관(10)이 변형된 상태에서 기관(10) 상에 반도체 박막(20)을 형성하는 박막 형성 단계와, 기관(10)에 인가된 응력을 해제하여 변형된 기관(10)을 복원하는 응력 해제 단계를 포함할 수 있다. 기관(10)에 인가된 응력의 크기를 제어함으로써 반도체 박막(20)의 광학적 특성을 조절할 수 있다.
- [0036] 기관(1)은 가요성을 갖는 PC(Polycarbonate), PES(Polyether Sulfone), PET(Polyethylene Terephthalate),

PEN(Polyethylene Naphthalate), PI(Polyimide), PAR(Polyarylate), COC(Cyclo Olefin) 및 FPR(Glass Fiber Reinforced Plastic) 중 적어도 하나일 수 있다. 실시예에서는 기관(1)으로서 PET(Polyethylene Terephthalate)를 사용하고 있으나, 본 발명은 이러한 실시예에 한정되지 않는다.

[0037] 반도체 박막(20)은, SiC를 포함하는 4족 반도체 화합물, AlP, InP, AlAs, InAs, AlSb, InSb, GaP, GaAs, 또는 GaSb를 포함하는 3-5족 반도체 화합물, 또는 ZnS, PbS, AnSe, ZnTe, CdS, CdSe, 또는 CdTe를 포함하는 2-6족 반도체 화합물 중 적어도 하나일 수 있다. 실시예에서는 반도체 박막(20)으로서 PbS를 사용하고 있으나, 본 발명은 이러한 실시예에 한정되지 않는다.

[0038] 상기 응력 인가 단계에서는, 기관(10)이 소정 곡률 반경을 갖도록 기관(10)을 볼록하게(도 1의 (a) 참조) 또는 오목하게(도 2의 (b) 참조) 변형될 수 있다. 또한, 상기 박막 형성 단계에서는, 반도체 박막(20)을 상온에서 화학적 용액 성장법(chemical bath deposition)에 의해 기관(10) 상에 성장시킬 수 있다.

[0039] 도 1의 (a)를 참조하면, 상기 기관 변형 단계에서, 기관(10)이 볼록하게 변형되면, 상기 박막 형성 단계에서는 기관(10)의 볼록하게 변형된 면 상에 반도체 박막(20)이 형성되며, 상기 응력 해제 단계에서는 복원된 기관(10) 상의 반도체 박막(20)에 압축 응력이 작용할 수 있다. 반도체 박막(20)에 압축 응력이 작용하는 경우에, 반도체 박막(20)의 광학적 밴드갭은 압축 응력이 작용하지 않는 경우 보다 더 작을 수 있다.

[0040] 도 1의 (b)를 참조하면, 상기 기관 변형 단계에서, 기관(10)이 오목하게 변형되면, 상기 박막 형성 단계에서는 기관(10)의 오목하게 변형된 면 상에 반도체 박막(20)이 형성되며, 상기 응력 해제 단계에서 복원된 기관(10)의 반도체 박막(20)에 인장 응력이 작용할 수 있다. 반도체 박막(20)에 인장 응력이 작용하는 경우에, 반도체 박막(20)의 광학적 밴드갭은 인장 응력이 작용하지 않는 경우 보다 더 클 수 있다.

[0041] 도 1을 참조하면, 상기 기관 변형 단계에서는 기관(10: PET 기관)이 소정 곡률 반경을 갖도록 기관(10)을 제어 가능한 곡률을 갖는 기관 홀더에 위치시켜 기관(10)을 볼록한 형상 또는 오목한 형상으로 만든다. 본 실시예에서 반도체 박막(20)으로서 사용된 P형 PbS 반도체 박막(20)은 화학적 용액 성장법에 의해 볼록하게 또는 오목하게 프리벤딩(prebending)된 기관(20) 상에서 성장되었다. 곡률 반경(r)을 갖는 기관(10)의 프리벤딩은 벤딩 위치로부터 편평한 위치로 해제될 때까지 의도적으로 박막에 응력을 인가하기 위한 것이다. 이에 따라, 볼록하게 구부러진 기관 상에서의 성막은 인장 응력 하에서 박막이 형성되기 때문에 응력이 해제된 반도체 박막(20)에는 압축 응력이 유도된다. 반대로, 오목하게 구부러진 기관(10) 상에서의 성막은 압축 응력 하에서 반도체 박막(20)이 형성되기 때문에 응력이 해제된 반도체 박막(20)에는 인장 응력이 유도된다. 반도체 박막(20)에 가해진 인 시츄(in situ) 응력의 레벨은 기관을 프리벤딩하는 곡률반경에 의해 변화될 수 있다.

[0042] 응력의 레벨은 기관 홀더에 로딩된 기관(10)의 곡률을 조정함으로써 변화될 수 있다. 굽힘 곡률 반경(r)은 관계식  $\pi r = L$  (L : 기관의 길이)에 의해 계산될 수 있다. 기관(10)에 가해진 프리벤딩 응력( $\epsilon_p$ )은 박막/기관 두께 및 굽힘 반경 사이의 다음의 수학적식을 이용하여 계산될 수 있다.

[0044] [수학식 1]

$$\epsilon_p = \left( \frac{t_f + t_s}{2r} \right) \frac{(1 + 2\eta + \chi\eta^2)}{(1 + \eta)(1 + \chi\eta)}$$

[0045]

[0046] 여기서,  $t_f$ 는 반도체 박막(20)의 두께,  $t_s$ 는 기관(10)의 두께,  $\eta = t_f/t_s$ 이고,  $\chi = E_f/E_s$ 이며, r은 벤딩된 기관(10)의 중심의 곡률 반경이다.  $\epsilon_p$ 의 계산시에 PbS의 영률( $E_f$ )은 70.2 GPa, PET의 영률( $E_s$ )은 2.3 GPA로 하였다.

[0048] 실시예

[0049] PbS 박막(20)은 사전 응력이 가해진 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET) 기관(10) 상에서 화학적 용액 성장법(chemical bath deposition, CBD)에 의해 성장된다. 화학적 용액 성장법에서는 0.05 M의 납 질산염( $Pb(NO_3)_2$ , 99.3%, Kanto Chemical Co., Inc., Japan), 0.04 M의 트리에탄올아민( $C_6H_{15}NO_3$ , 99%, Sigma-Aldrich, U.S.A.), 0.2 M의 수산화나트륨(NaOH, 95%, Duksan, Korea), 및 0.06 M의 티오우레아

(CH<sub>4</sub>N<sub>2</sub>S, 99%, Sigma-Aldrich, U.S.A.)를 포함하는 수용액을 사용하였다. 약 200nm 의 두께를 갖는 결정질 PbS 박막(20)이 2회의 침지(dipping)에 의해 얻어졌고, 매회의 침지 마다 새롭게 준비한 수용액에서 1시간동안 유지하였다.

- [0050] 성막후 PbS 박막(20)/PET 기판(10) 구조는 최초의 위치로 복원되었다. PbS 박막(20)을 성막한 후, 광 검출기의 제조를 위해 열 증발 증착법을 이용하여 두께가 약 100 nm 인 알루미늄(Al) 전극을 형성하였다.
- [0051] 프리벤딩 응력( $\epsilon_p$ )은 실제로 허용가능한 응력 범위를 커버하도록 -0.88%, -0.67%, 0%, +0.67%, +0.88%로 선택되었다. 마이너스 부호는 압축 응력을 나타내고, 플러스 부호는 인장 응력을 나타낸다.
- [0053] 도 2a는 상이한 레벨의 프리벤딩 응력이 가해진 PET 기판(10) 상의 PbS 반도체 박막(20)의 X선 회절 스펙트럼을 도시하고, 도 2b는 PbS 반도체 박막(20)의 라만 스펙트럼을 도시한다.
- [0054] 도 2a를 참조하면, 상이한 레벨의 프리벤딩 응력이 가해진 PET 기판(10) 상의 PbS 반도체 박막(20)의 X선 회절 측정 결과는 가해진 응력에 관계없이 모두 결정질 입방 PbS 상(JCPDS 파일: 05-0592)에 해당하는 잘 정의된 Bragg 피크를 나타냈다. 그러나, 피크 위치는 프리벤딩 응력의 레벨에 따라 변화하였다. 인장 응력이 증가함에 따라, 피크 위치가 더 작은 2 $\theta$  값으로 점진적으로 이동하였다. 반대로, 압축 응력이 증가함에 따라, 피크 위치가 더 큰 2 $\theta$  값으로 점진적으로 이동하였다. $\theta$
- [0055] 도 2b를 참조하면, 넓은 범위의 파수(wavenumber)에 대한 라만 스펙트럼이 도시된다. 약 157cm<sup>-1</sup> 및 약 453cm<sup>-1</sup>에서 피크가 관찰되며, 이러한 피크는 PbS의 1L0 및 2L0 포논 모드에 각각 대응한다. 1L0 모드의 정규화된 라만 스펙트럼은 응력의 유형에 따른 스펙트럼의 변화를 명확하게 나타내고, 박막에 응력이 존재한다는 것이 확인된다. -0.88% 응력에 대한 더 높은 파수로의 이동은 PbS 반도체 박막(20)에 압축 응력이 존재함을 나타낸다. 1L0 피크의 이동으로부터 커브-피칭에 의해 추정해 보면, 피크 시프트의 평균 응력 의존성은 -11.1 cm<sup>-1</sup>/%로 평가된다.
- [0057] 도 3a 내지 도 3c는 반도체 박막(20)의 고해상도 TEM(HR-TEM) 이미지 및 FFT(고속 푸리에 변환) 패턴을 도시한다.
- [0058] (111) 및 (200) 격자면의 명확한 격자 무늬(각 샘플의 이미지 I 및 이미지 II)는 박막의 높은 결정성을 나타낸다. 박막의 높은 결정성은 이미지 I 및 이미지 II에 내의 삽화로 도시된 FFT 이미지에 의해서도 확인된다. 격자 무늬 이미지로부터 분석된 바와 같이, (111)면에 대응하는 면간 간격, d<sub>(111)</sub>는 프리벤딩 응력에 의존하여 변화하는 것으로 나타났다. d<sub>(111)</sub> 값은 0% 샘플의 경우 3.45 Å이고, 0.88 %의 응력이 가해진 박막의 경우 3.53 Å으로 증가했다. 반대로, -0.88%의 응력이 가해진 박막의 경우 3.39 Å 로 감소하였다. (200) 면의 면간 간격은 응력과 동일한 변화 경향을 갖는다. 이러한 결과는 본 발명의 의도적인 압축 또는 인장 응력을 이용한 인시츄 처리가 가요성 박막의 결정학적 상태에 영향을 미쳤다는 것을 나타낸다.
- [0060] 도 4a는 상이한 응력으로 처리된 반도체 박막(20)의  $h\nu$  와  $(\alpha h\nu)^2$  의 관계를 도시한다.
- [0061] 반도체 박막(20)의 광학 밴드갭( $E_{g,opt}$ )은 도 4a에 도시된  $h\nu$  와  $(\alpha h\nu)^2$  의 관계로부터 계산된다. 흡수 계수( $\alpha$ )는 분광 투과율 및 반사율 곡선으로부터 결정된다. 응력이 가해지지 않은 PbS 반도체 박막(20)은 약 1.62 eV의 광학 밴드갭을 나타낸다. 응력이 가해진 박막의 경우에는 인가된 응력에 크게 의존하였다. +0.88%의 응력에 대하여 1.73 eV의 증가된 밴드갭이 관찰되었고, 압축 응력인 -0.88의 응력에 대하여 1.43 eV의 감소된 밴드갭이 관찰되었다. 성막시의 응력의 인가 및 해제에 의해 박막의 밴드갭이 넓은 변화 범위(~21%)를 갖는다는 점은 주목할 만하다. 또한, 표면 SEM 이미지로부터 응력에 의해 표면 구조의 변화가 거의 없는 것이 관찰되었고, 이에 따라 밴드갭의 변화의 원인이 될 수 있는 후보로서 박막의 미세 구조는 배제된다.
- [0063] 도 4b 및 도 4c는 응력에 따른 반도체 박막(20)의 밴드 에지 및 밴드갭의 변화를 나타내는 도면이다.
- [0064] 반도체 박막(20)의 광학 밴드갭( $E_{g,opt}$ )의 관찰된 변화를 가져오는 밴드 에지(즉, 전도 밴드 최소값( $E_c$ )와 가전자 밴드 최대값( $E_v$ ))의 시프트를 자외선 광전자 분광법(UPS)에 의해 분석하였다. 반도체 박막(20)의 페르미 준위( $E_f$ )와  $E_c$ 는 UPS 스펙트럼으로부터 직접 평가되었고,  $E_c$ 는  $E_{g,opt}$ 에  $E_v$ 를 가산함으로써 결정되었다. 도 4b 및 4c를 참조하면,  $E_c$ 와  $E_v$ 의 상대적 위치는 응력의 종류와 레벨에 의존한다는 것을 알 수 있다. 에너지 레벨은 압축 응력에 의해 감소하고 인장 응력에 의해 증가하는 경향이 있다는 것이 파악되었다.

[0066] 상이한 응력이 인가된 각 샘플의  $E_c$ ,  $E_f$  및  $E_v$ 의 값을 나타내는 [표 1]을 참조하면, 밴드 에지 뿐만 아니라 페르미 레벨 위치가 성막 도중의 인 시츄 응력에 의해 영향을 받는다는 것을 알 수 있다.  $E_f-E_v$  값은, -0.88% 프리벤딩 응력의 경우에 0.41 eV로부터, +0.88% 응력의 경우에 0.53 eV로 점진적으로 증가하였다.  $E_f-E_c$  값은, 1.02 eV로부터 1.20 eV로 증가하였고, 이것은 압축 응력으로부터 인장 응력으로 응력이 변화함에 따라, 페르미 레벨과 각 밴드 에지 사이의 간격이 더 커진다는 것을 의미한다. 결과적으로, 응력의 변화에 따라 전기적 특성, 즉 캐리어 농도, 홀 이동도 및 암 저항성이 크게 영향을 받는다.

[0067] [표 1]

Sample	$E_c$	$E_f$	$E_v$	$E_f-E_v$
-0.88%	-3.27	-4.29	-4.70	0.41±0.03
-0.67%	-3.17	-4.26	-4.69	0.43±0.03
0%	-3.06	-4.24	-4.68	0.44±0.05
0.67%	-2.97	-4.22	-4.67	0.45±0.03
0.88%	-2.91	-4.11	-4.64	0.53±0

[0068]

[0070] 도 5a 및 5b는 밀도범 함수론(DFT:Density-Functional Theory)을 이용하여 계산된 PbS 반도체 박막(20)의 전자 밴드갭( $\Delta E_{g,elec}$ )의 변화와, 가전자대 에지 및 전도대 에지의 변화를 도시하는 그래프이고, 도 5c는 응력에 따른 상태 밀도(density-of-states)의 변화를 나타내는 그래프이다.

[0071] 도 5a를 참조하면, PbS 반도체 박막(20)의 전자 밴드갭( $\Delta E_{g,elec}$ )의 변화가 인가된 응력과 함께 단조 증가하는 것으로 나타났다. 이것은 도 4a 내지 도 4c에서 실험적으로 측정된 광학 밴드갭의 경향과 일치한다. 그러나, 측정된 전자 밴드갭의 절대값이 광학 밴드갭 보다 작다(GGA (generalized gradient approximation) 교환-상관 함수로 인한 DFT 계산에서 에너지 갭의 과소 평가는 잘 알려져 있다). 도 5b를 참조하면, 가전자대 에지 및 전도대 에지의 상대적 위치에 대해서도 동일한 경향이 확인되었다. 인가된 응력( $\pm 2\%$  이내)이 PbS의 이온화 포텐셜(IP)을  $\sim 0.6$  eV 만큼 변화시키는 반면, 전자 친화력(EA)는 더 크게  $\sim 1$  eV 만큼 변화시켰다.  $\pm 2\%$ 의 인가된 응력 범위 내에서, 압축 응력이 인가될 때에 밴드갭은 0.2 eV 만큼 감소하는 것으로 나타났다. 인장 응력은 밴드갭을 0.2eV 만큼 증가시키는 것으로 나타났다.

[0072] 인장 응력이 인가될 때, Pb-S의 화학 결합은 스트레칭되고, 이것은 결합 S 3p 및 Pb 6s 오비탈의 유효 중첩을 적게 한다. 이것은 도 5c에 도시된 계산된 상태 밀도(density-of-states)에 의해 확인된다. 가전자 밴드 영역에서, 지배적인 S 3p 점유 상태는 인장 응력이 인가되는 동안 명확하게 더 국부화된다. Pb 6s 램프티 상태는 응력이 양의 방향으로 증가함에 따라 업 시프트된다. 압축 응력이 인가될 때에는, 반대로 된다.

[0074] 도 6은 본 발명의 실시예에 따른 광 검출기(100)의 단면도이다.

[0075] 광 검출기(100)은 가요성 기판(10), 가요성 기판(10) 상에 형성되고, 광 조사에 의해 전기 전도도가 변화하는 반도체 박막(20)과, 반도체 박막(20) 상에 서로 분리하여 형성된 제 1 전극(30) 및 제 2 전극(40)을 포함할 수 있다. 광 검출기(100)는 전술한 박막 제조 방법에 가요성 기판(10) 상에 반도체 박막(20)을 형성한 후, 반도체 박막(20) 상에 제1 전극(30) 및 제 2 전극(40)을 형성함으로써 제조될 수 있다. 가요성 기판(10) 및 반도체 박막(20)의 구성에 대해서는 도 1에 도시된 기판(10) 및 반도체 박막(20)에 대한 설명이 참조될 수 있다.

[0076] 반도체 박막(20)의 (111) 격자면 및 (200) 격자면의 면간 간격은 응력이 작용하지 않는 반도체 박막의 면간 간격 보다 작을 수 있다. 압축 응력이 작용하는 반도체 박막(20)의 광학적 밴드갭은 압축 응력이 작용하지 않는 반도체 박막의 광학적 밴드갭 보다 작을 수 있다. 압축 응력이 작용하는 반도체 박막(20)의 전도대 에지는 압축 응력이 작용하지 않는 반도체 박막의 전도대 에지 보다 더 작은 에너지를 가질 수 있다. 또한, 제 1 전극(30)과 제 2 전극(40) 사이에 3V 바이어스를 가하고, 반도체 박막(20)에  $100 \text{ mW/cm}^2$ 의 광 강도를 갖는 빛을 조명할 경우에, 온 전류와 오프 전류의 차이가  $4 \mu\text{A}$  이상일 수 있다.

[0078] -0.88%, 0% 및 +0.88%의 프리벤딩 응력에 의해 처리된 PbS 반도체 박막(20)을 사용하여 금속-반도체-금속(MSM) 구조를 갖는 광 검출기(100)를 제작하여 인 시츄로 유도된 응력의 영향을 평가하였다.

[0079] 도 7a는 3V 바이어스에서 AM 1.5 일루미네이션( $100 \text{ mW/cm}^2$ )에서의 시간에 따른(time-resolved) 광 전류를 도시한다. 모든 샘플에 대하여 복수의 사이클 동안 스위치를 온 및 오프함으로써, 명확하고, 안정적이고, 반복 가능한 전류 변화가 관찰되었다. 상이한 응력이 인가된 샘플에 대하여 전류 크기의 변화에 큰 차이가

관찰되었다. 도 7a의 삽도로부터 알 수 있는 바와 같이, 응력이 인가되지 않은 샘플에 대하여 3V의 바이어스에서  $100 \text{ mW/cm}^2$  일루미네이션인 경우, 총 전류  $I_{\text{total}}$ 은  $0.50 \mu\text{A}$ 로부터  $3.02 \mu\text{A}$ 로 현저하게 증가하였다.  $-0.88\%$  샘플의 경우에는  $0.8 \mu\text{A}$ 로부터  $4.85 \mu\text{A}$ 로 변화하였고,  $+0.88\%$  샘플의 경우에는  $0.25 \mu\text{A}$ 로부터  $1.95 \mu\text{A}$ 로 변화하였다. 이것은 강한 프리벤딩 응력이 소자의 광전류 뿐만 아니라 암 저항성에 영향을 미친다는 것을 나타낸다. 암(dark) I-V 그래프를 나타내는 도 7b를 참조하면, 선형의 암(dark) I-V 특성이 관찰되며, 이것은 인터페이스의 옴릭 특성을 시사한다.

[0080] 도 7c는  $10 \text{ mW/cm}^2 \sim 100 \text{ mW/cm}^2$  범위의 상이한 전력 밀도에 대한 장치의 광 응답을 도시한다. 광 전류 ( $I_{\text{ph}}$ )는 모든 샘플에 대해 입사하는 광 강도에 거의 선형적으로 비례한다. 이것은 여기된 전하 밀도가 광자의 밀도가 증가함에 따라 함께 증가하기 때문이다. 또한,  $100 \text{ mW/cm}^2$ 의 일루미네이션 전력 밀도로 상이한 바이어스 전압 ( $0.01 \text{ V}$  및  $1.0 \text{ V}$ )에서의 광 응답 거동을 조사한 결과, 바이어스 전압과 함께  $I_{\text{ph}}$ 가 증가하는 것으로 나타났다.

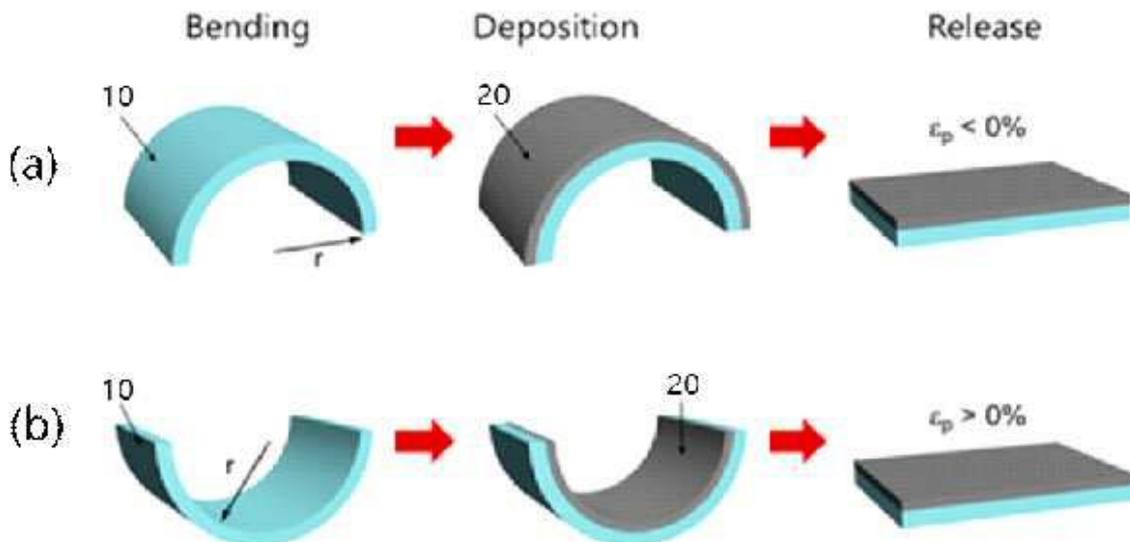
[0081] 유도된 인 시츄 응력에 의해 소자의 광 응답이 현저히 변화하는 메커니즘은 도 7d에 도시된 계면에서의 밴드 구조의 개략도에 의해 설명된다. 인 시츄 응력이 박막의 밴드 에지에 다르게 영향을 미치는 것을 고려하면, Al( $4.28 \text{ eV}$ 의 일함수)과 P형 PbS 박막 사이에 컨택이 형성될 때에, 배리어 특성에서의 차이가 예측된다. 바이어스가 인가될 때, 밴드의 틸팅은 MSM 소자의 길이에 걸쳐서 비대칭 밴드 프로파일을 유도한다. 조명 및 바이어스 하에서, 유도된 전자-홀 쌍은 인가된 외부 필드에 의해 분리 및 수집된다.

[0082] 도 7d를 참조하면,  $-0.88\%$  응력 샘플에 대하여 도시된 바와 같이, 형성된 밴드 프로파일이 홀과 전자의 분리를 촉진하고, 컨택에서의 수송 및 수집은 향상된 광전류를 유도할 수 있다. 또한,  $-0.88\%$  응력 샘플은 가장 좁은 밴드갭을 갖고, 이에 따라 넓은 범위의 광자의 흡수가 일어나고, 이것은 다른 샘플과 비교하여 차례로 더 많은 수의 전자-홀 쌍을 만든다. 높은 일루미네이션 강도에서 광전류의 현저한 향상을 나타내는  $-0.88\%$  샘플은 소자의 우수한 광 응답에서 양호한 밴드 정렬과 관련된 더 많은 수의 전자-홀 쌍의 생성을 나타낸다.

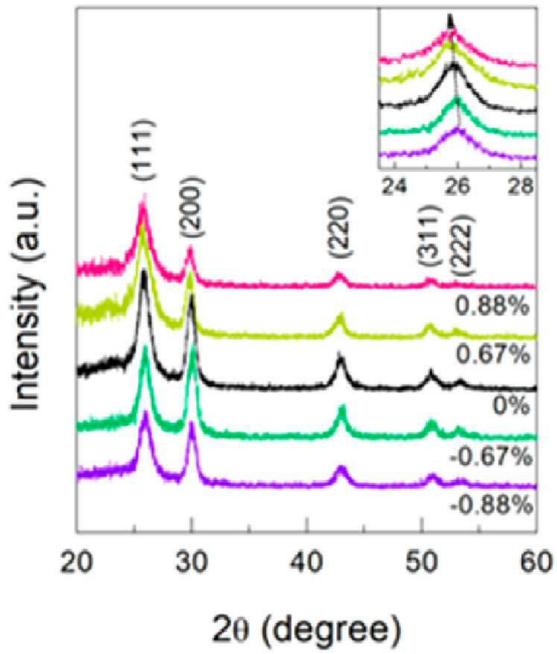
[0084] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**도면**

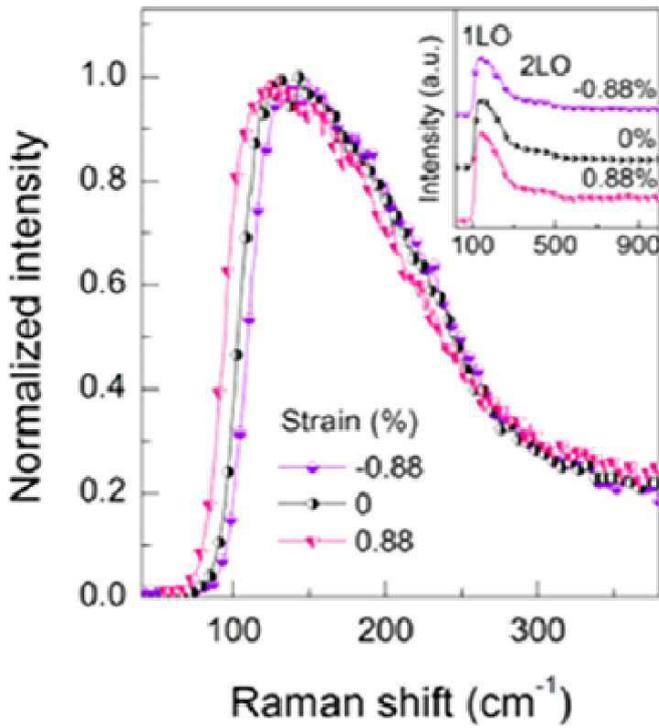
**도면1**



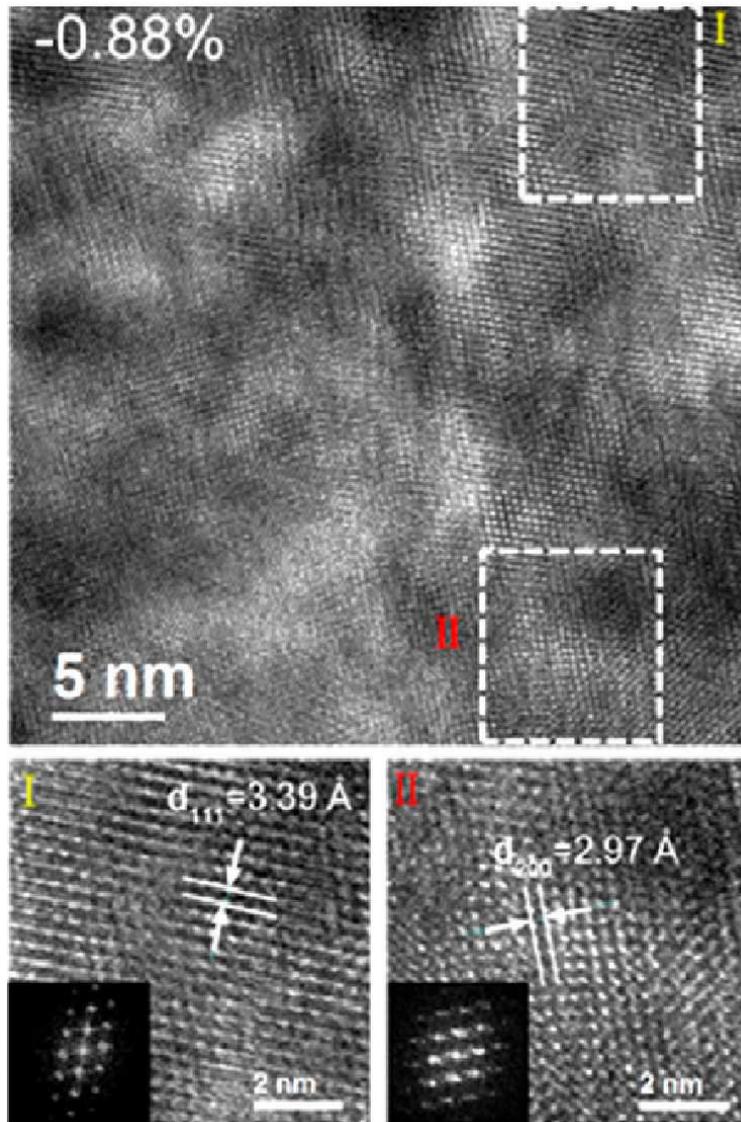
도면2a



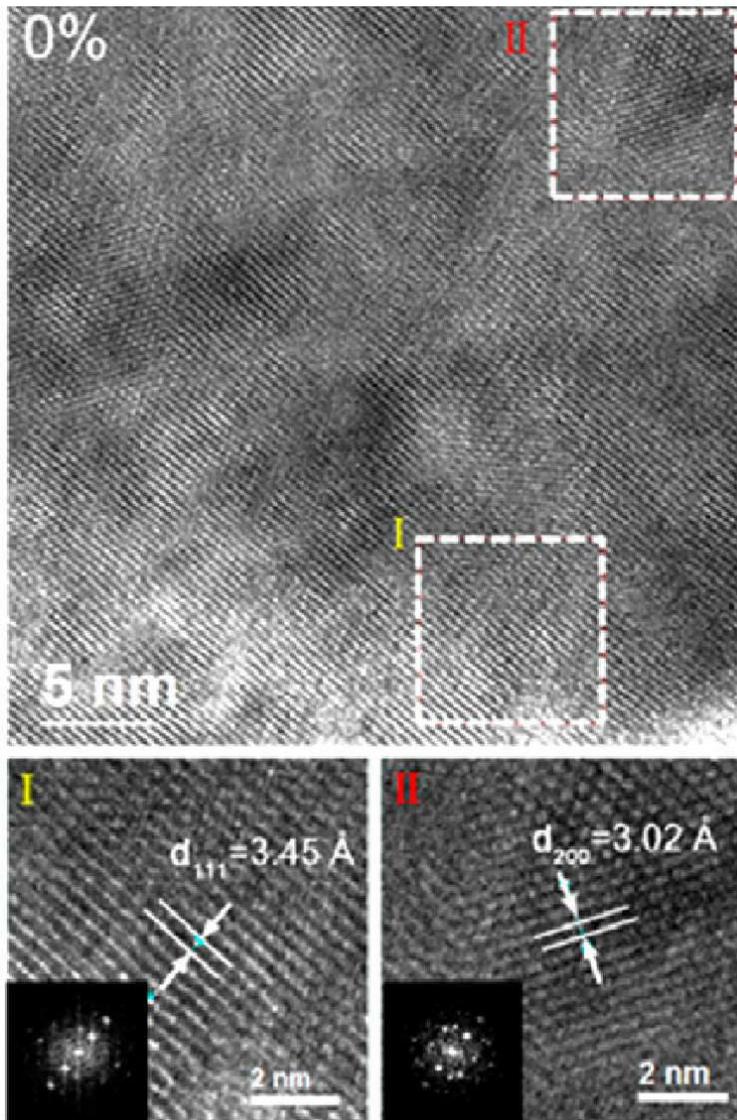
도면2b



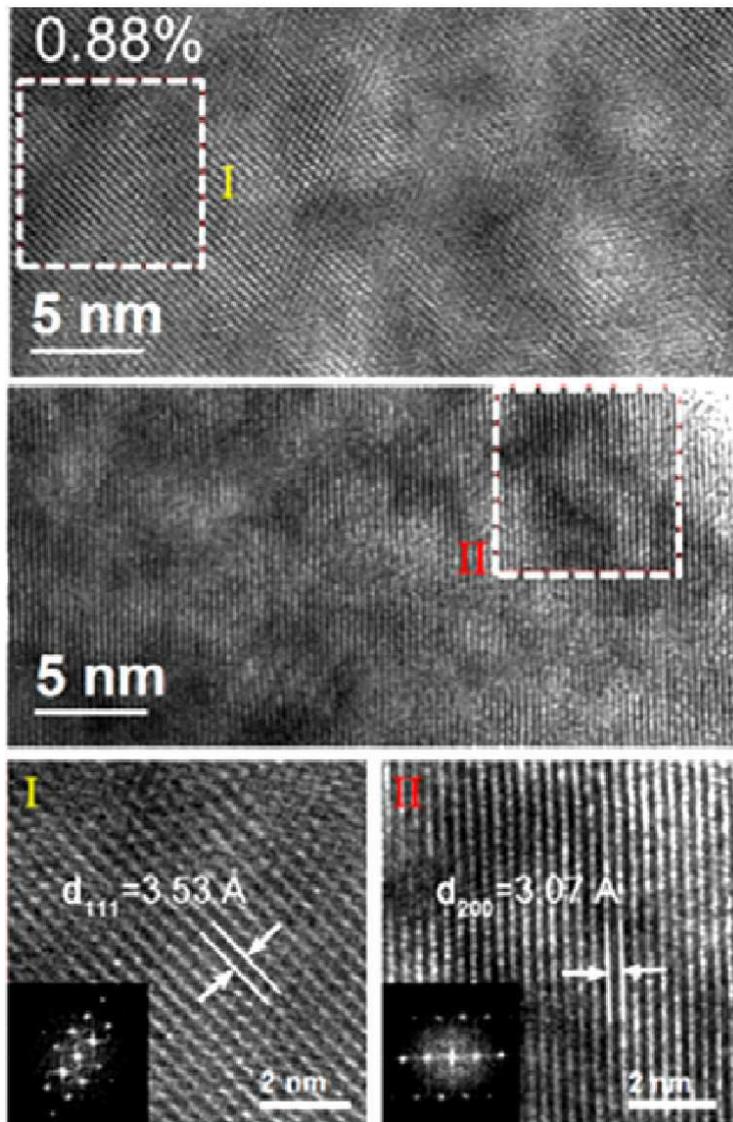
도면3a



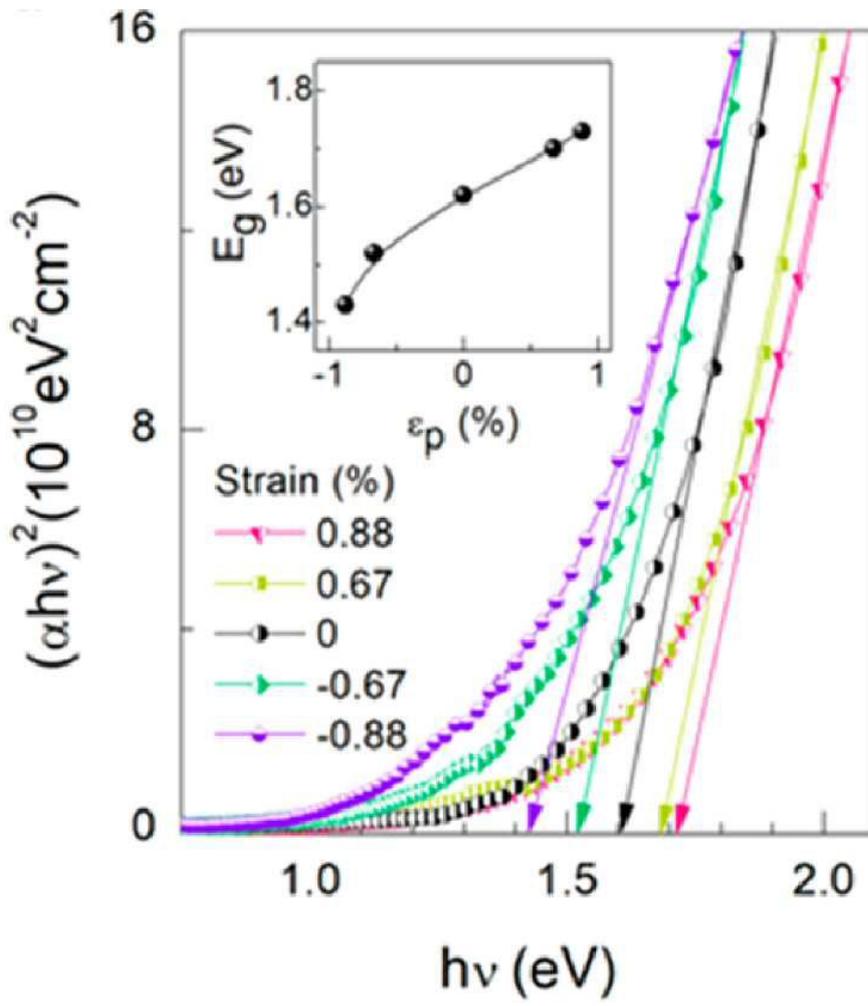
도면3b



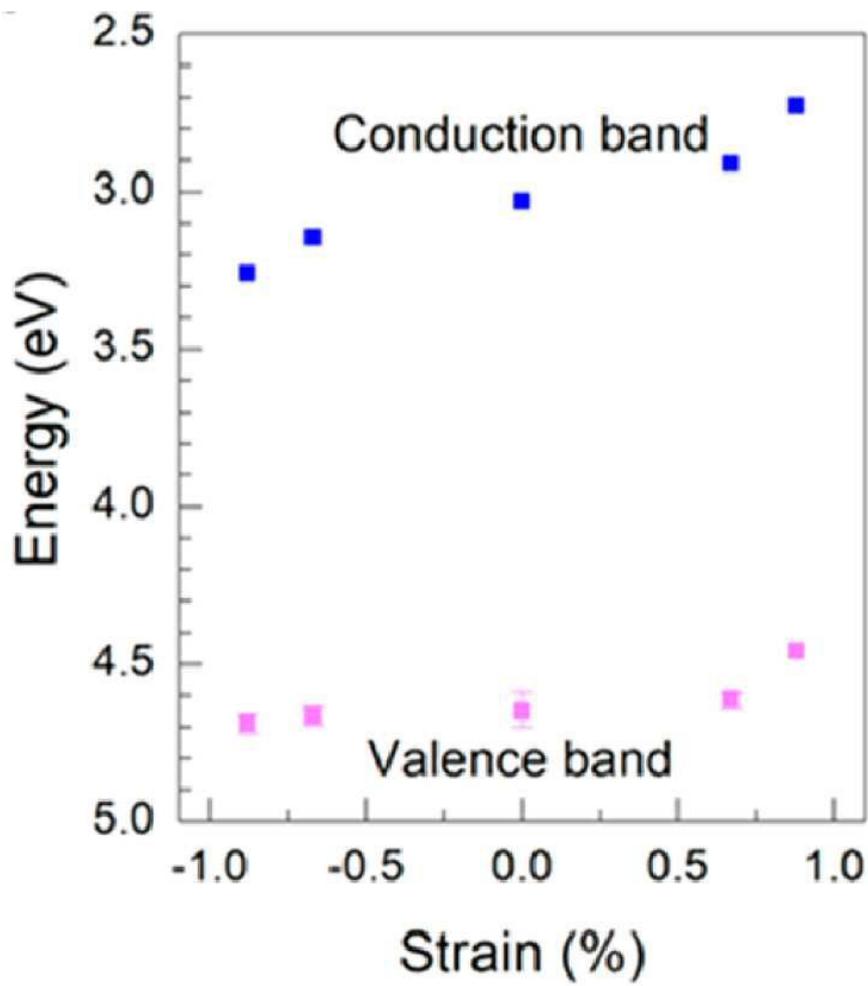
도면3c



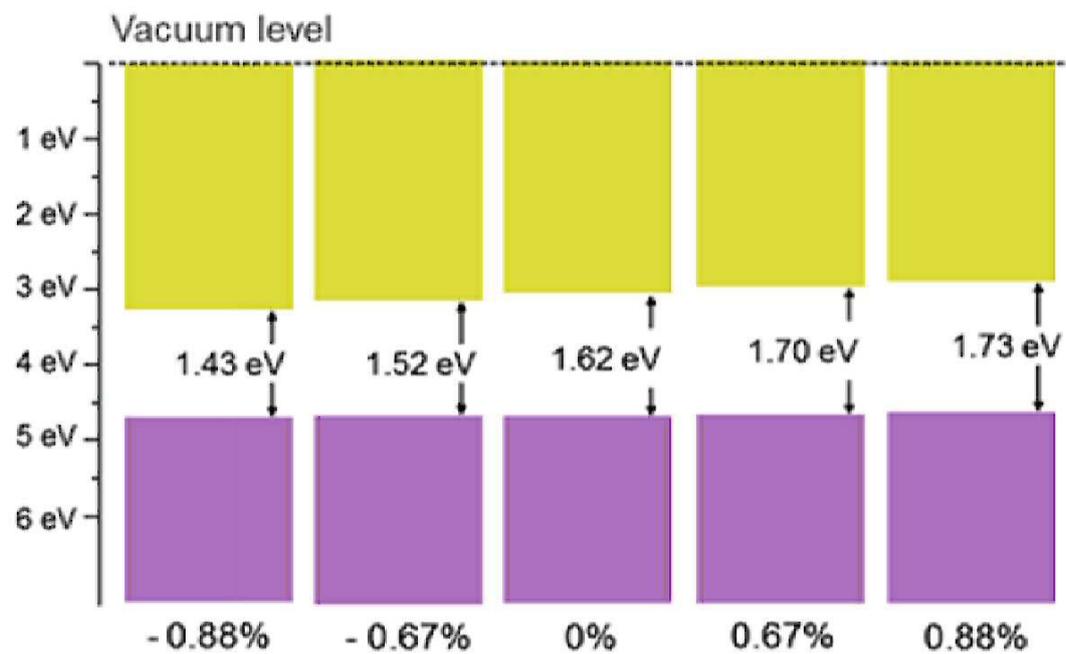
도면4a



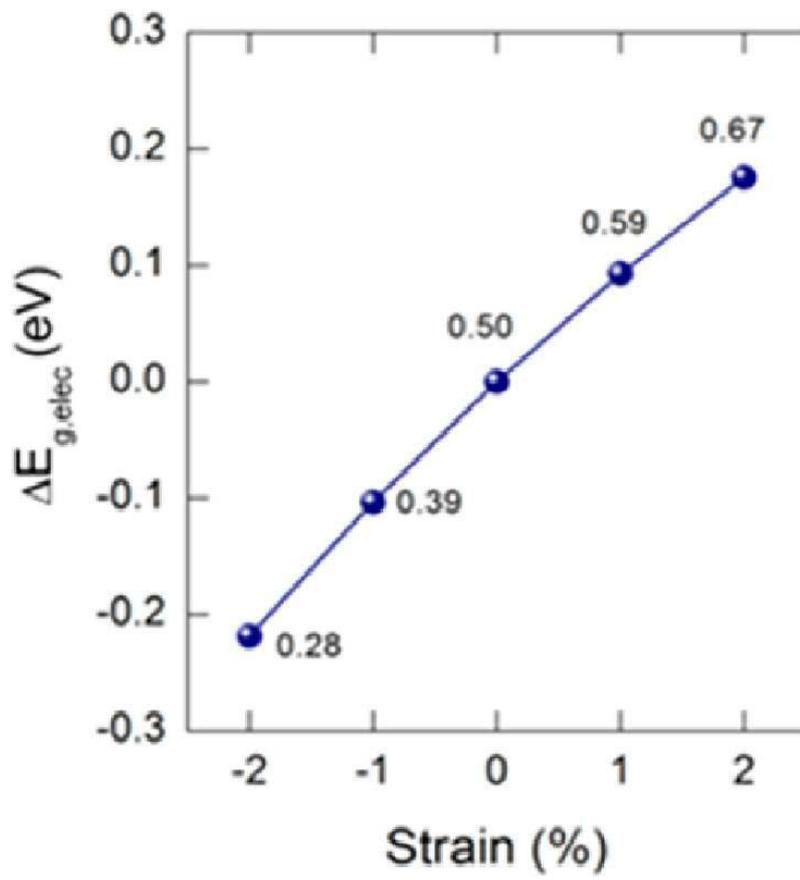
도면4b



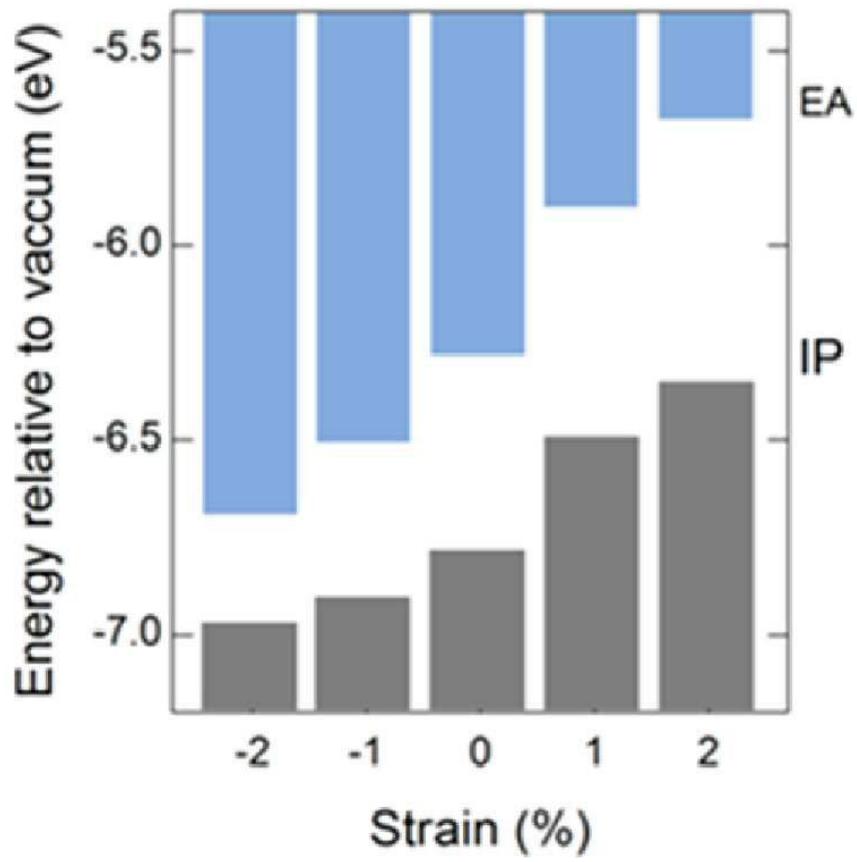
도면4c



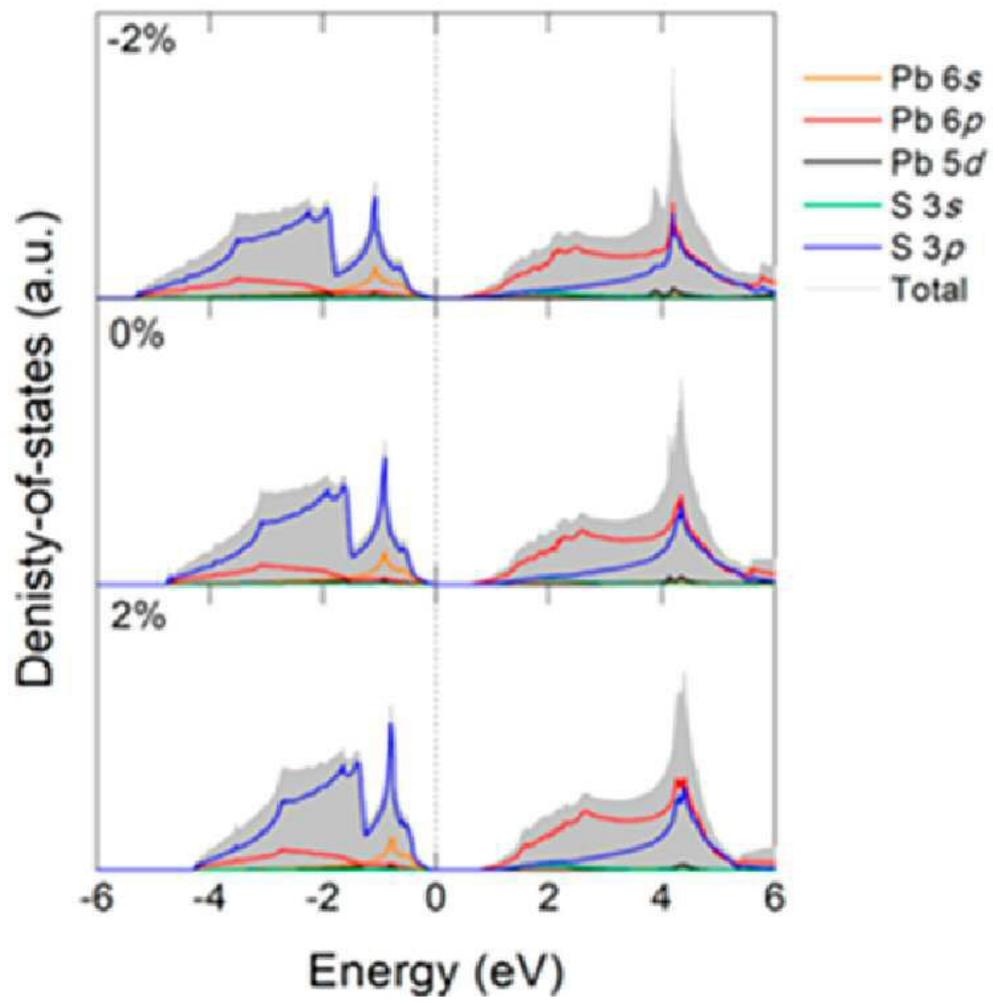
도면5a



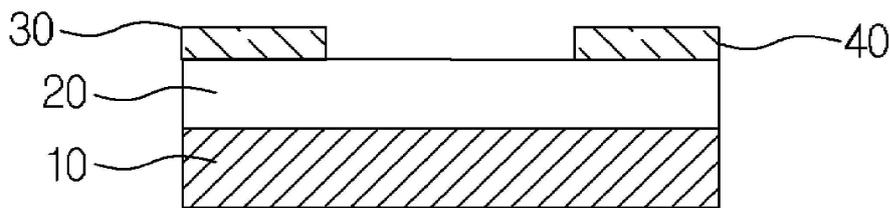
도면5b



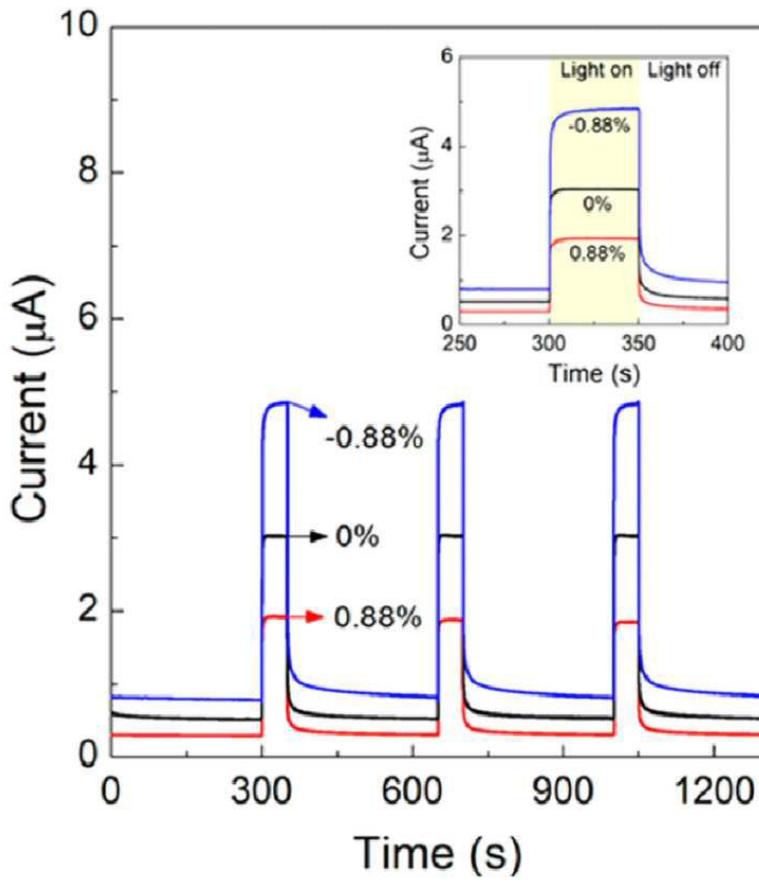
도면5c



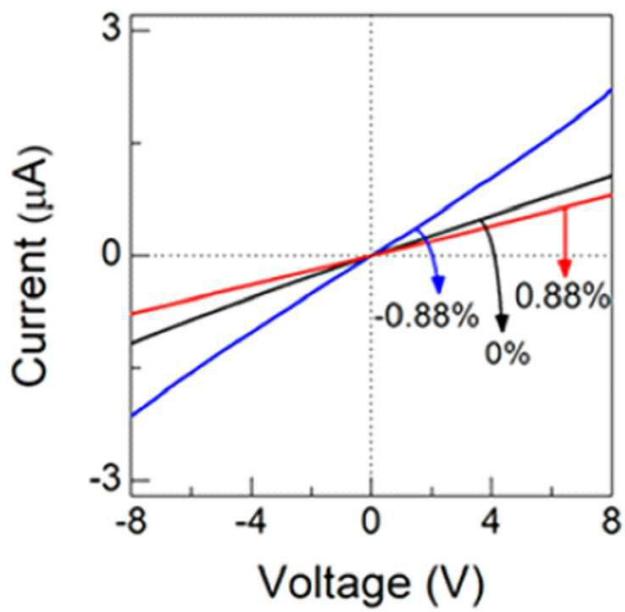
도면6



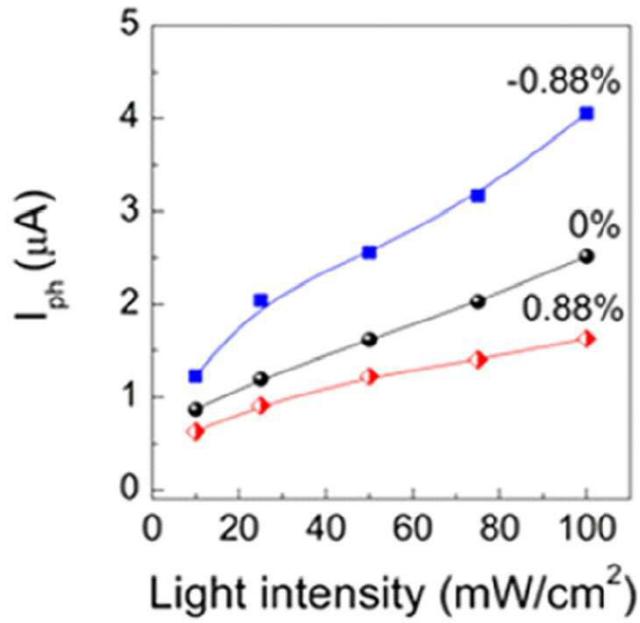
도면7a



도면7b



도면7c



도면7d

