



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월05일  
(11) 등록번호 10-2198916  
(24) 등록일자 2020년12월29일

(51) 국제특허분류(Int. Cl.)  
G01R 31/3183 (2006.01) G01R 31/317 (2006.01)  
G01R 31/3193 (2006.01)  
(52) CPC특허분류  
G01R 31/318328 (2013.01)  
G01R 31/31725 (2013.01)  
(21) 출원번호 10-2019-0168079  
(22) 출원일자 2019년12월16일  
심사청구일자 2019년12월16일  
(56) 선행기술조사문헌  
US9494649 B2  
KR1020080050544 A  
JP2012122916 A  
JP2015232531 A

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
윤홍일  
서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)  
윤영찬  
서울특별시 마포구 승문길 98, 103동 901호(염리동, 마포자이3차)  
(74) 대리인  
특허법인우인

전체 청구항 수 : 총 11 항

심사관 : 권민정

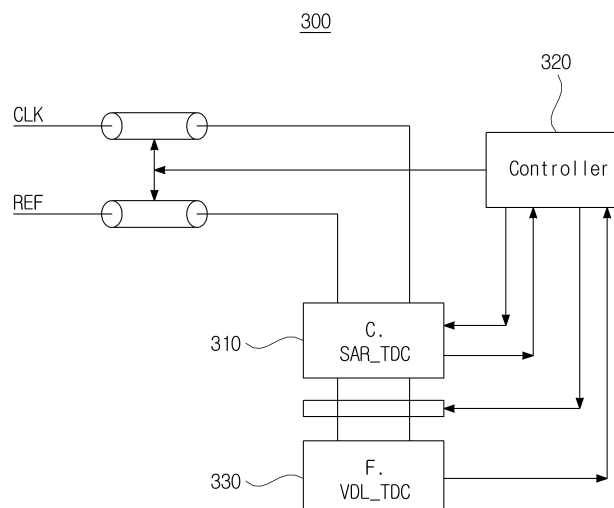
(54) 발명의 명칭 반도체 테스트를 위한 신호 지연 측정 장치 및 그를 이용한 테스트 장치

## (57) 요약

반도체 테스트를 위한 신호 지연 측정 장치 및 그를 이용한 테스트 장치를 개시한다.

본 발명의 실시예에 따른 반도체 테스트를 위한 신호 지연 측정 장치는, 서로 다른 타이밍으로 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부; 상기 제1 측정 결과에 근거하여 출력된 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부; 및 상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부를 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

**G01R 31/31937** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711092411
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	차세대 반도체 테스트 핀 감소를 위한 built off self test (BOST) 기술 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.01 ~ 2019.12.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

반도체를 테스트하기 위한 신호의 지연을 측정하기 위한 장치에 있어서,

서로 다른 타이밍으로 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부;

상기 제1 측정 회로부로부터 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부; 및

상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제1 측정 회로부에서 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부

를 포함하는 것을 특징으로 하는 반도체 테스트를 위한 신호 지연 측정 장치.

#### 청구항 2

제1항에 있어서,

상기 제어부는,

상기 제1 측정 결과 및 상기 제2 측정 결과를 입력 받고, 상기 제1 측정 결과에 근거하여 상기 제2 측정을 수행하기 위한 제어신호를 상기 제1 측정 회로부로 전달하여 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제2 측정 회로부로 전달되도록 하고, 상기 제어신호에 따라 측정된 제2 측정 결과를 입력받아 상기 지연 측정값을 산출하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 3

제1항에 있어서,

상기 제1 측정 회로부는,

제1 버퍼부, MUX, 제1 DMUX, 제2 DMUX 및 제1 D 플립플롭부를 포함하며,

상기 제1 버퍼부, 상기 MUX 및 상기 제1 DMUX를 통해 출력된 출력값과 상기 제2 DMUX를 통해 출력된 출력값을 기반으로 상기 제1 측정 결과를 출력하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 4

제3항에 있어서,

상기 제1 측정 회로부는,

복수의 버퍼를 포함하는 상기 제1 버퍼부를 통과한 신호 중 적어도 하나의 상기 제1 신호를 선택하여 상기 MUX를 통해 상기 제1 DMUX에 전달하여 상기 제1 D 플립플롭부의 입력이 되도록 하고,

상기 제1 D 플립플롭부는 선택된 제1 신호와 상기 제2 신호를 입력으로 제2 신호가 0에서 1로 전도(Transition)되면, 상기 제1 측정결과를 상기 제어부로 전달하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 5

제4항에 있어서,

상기 제어부는,

상기 제1 측정 결과에 근거하여 시간 지연이 발생한 것으로 판단된 경우, 상기 제2 측정을 수행하기 위한 제어

신호를 상기 제1 DMUX 및 상기 제2 DMUX로 전달하며,

상기 상기 제1 측정 회로부는, 상기 제1 DMUX의 상기 제1 출력 신호와 상기 제2 DMUX의 상기 제2 출력 신호 각각을 제2 측정 회로부의 입력으로 전달하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 6

제1항에 있어서,

상기 제2 측정 회로부는,

제2 버퍼부, 제2 D 플립플롭부, 제3 버퍼부 및 인코더를 포함하며,

상기 제2 버퍼부는 상기 제1 출력 신호를 입력 받고, 상기 제3 버퍼부는 상기 제2 출력 신호를 입력 받으며, 상기 제2 D 플립플롭부는 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 상기 제2 측정 결과를 상기 인코더로 출력하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 7

제6항에 있어서,

상기 인코더는,

저장된 상기 제2 측정 결과값을 상기 제어부로 전달하고,

상기 제어부는, 제2 측정 결과값을 기반으로 신호 지연 측정 장치에 포함된 버퍼의 개수를 판단하여 지연을 조정하기 위한 상기 지연 측정값을 산출하고, 산출된 지연 측정값을 지연 유닛(delay unit)으로 전달하여 반도체 테스트를 위한 신호 간의 지연이 조절되도록 하는 것을 특징으로 하는 신호 지연 측정 장치.

#### 청구항 8

반도체를 테스트하기 위한 장치에 있어서,

복수의 테스트 신호를 발생하는 자동 테스트 장비;

반도체와 연동하기 위한 복수의 핀을 포함하는 DUT(Device Under Test); 및

상기 자동 테스트 장비 및 DUT 사이에 위치하며, 서로 다른 타이밍으로 상기 테스트 신호에 포함된 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부; 상기 제1 측정 회로부로부터 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부; 및 상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제1 측정 회로부에서 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부를 포함하는 신호 지연 측정 장치를 포함하는 BOST(Built-Out Self Test) 보드

를 포함하는 것을 특징으로 하는 반도체 테스트 장치.

#### 청구항 9

제8항에 있어서,

상기 제1 측정 회로부는,

제1 버퍼부, MUX, 제1 DMUX, 제2 DMUX 및 제1 D 플립플롭부를 포함하며,

상기 제1 버퍼부, 상기 MUX 및 상기 제1 DMUX를 통해 출력된 출력값과 상기 제2 DMUX를 통해 출력된 출력값을 기반으로 상기 제1 측정 결과를 출력하는 것을 특징으로 하는 반도체 테스트 장치.

#### 청구항 10

제9항에 있어서,

상기 제1 측정 회로부는,

복수의 버퍼를 포함하는 상기 제1 버퍼부를 통과한 신호 중 적어도 하나의 상기 제1 신호를 선택하여 상기 MUX를 통해 상기 제1 DMUX에 전달하여 상기 제1 D 플립플롭부의 입력이 되도록 하고,

상기 제1 D 플립플롭부는 선택된 제1 신호와 상기 제2 신호를 입력으로 제2 신호가 0에서 1로 전도(Transition)되면, 상기 제1 측정결과를 상기 제어부로 전달하는 것을 특징으로 하는 반도체 테스트 장치.

## 청구항 11

제10항에 있어서,

상기 제어부는,

상기 제1 측정 결과에 근거하여 시간 지연이 발생한 것으로 판단된 경우, 상기 제2 측정을 수행하기 위한 제어 신호를 상기 제1 DMUX 및 상기 제2 DMUX로 전달하며,

상기 제1 측정 회로부는, 상기 제1 DMUX의 상기 제1 출력 신호와 상기 제2 DMUX의 상기 제2 출력 신호 각각을 제2 측정 회로부의 입력으로 전달하는 것을 특징으로 하는 반도체 테스트 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 테스트를 위한 두 개의 신호 간의 지연을 측정하는 장치와 그를 이용한 반도체 테스트 장치에 관한 것이다.

### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 발명의 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 최근에 반도체의 집적도가 급격히 증가함에 따라 반도체 칩 개발 시간과 개발 비용의 상당한 부분에서 테스트의 비중이 증가하고 있다. 반도체 칩의 집적도와 칩의 클럭 속도는 증가하고 있지만, 이를 테스트하는 테스트 장비의 클럭 속도나 테스트 속도를 올리기는 쉽지 않다. 또한 테스트 장비의 가격이 비싸기 때문에 고성능 반도체 칩을 테스트하는 데 어려움이 있다. 이를 해결하기 위해 자동 테스트 장비(ATE: Automated Test Equipment)를 교체하지 않고, ATE와 칩 사이에 BOST(Built-Out Self Test)를 이용한 솔루션이 최근 연구가 되고 있다.

[0004] TDC(Time-to-Digital Converter)는 PWM기반 ADC, PLL, 지터, 클럭 스쿠 측정, 온 칩 타이밍 테스트와 같은 다양한 분야에 널리 사용된다. TDC의 목적은 시간정보를 디지털 정보로 추출하는 것인데, 구체적으로는 시간 간격으로 정보를 추출하는 것이다. 일반적으로 TDC는 크게 아날로그 방식과 디지털 방식이 있는데, 본 발명에서는 디지털방식의 TDC를 제안한다. 디지털 방식의 TDC는 아날로그 방식보다 오버헤드 및 설계 복잡성에 대해 제한이 적다. 하지만 디지털 방식은 클럭에 의한 성능의 제한과 고해상도 및 저전력 소비에서의 어플리케이션을 제한한다. 디지털 방식의 TDC의 측정방법은 기존에 연구들에서 보면, 제한된 지연 단(buffer)의 개수를 지연요소들의 합으로 나눔으로써 해상도를 결정한다. 이를 위해 더 적은 전력을 사용하는 방법, 더 적은 집적도를 나타내기 위한 방법 등 여러 연구가 진행되어왔다. 하지만 이러한 연구들은 단일 단계에서 단(Line)을 늘리는 것으로는 신뢰성에 문제가 발생하였다. 그래서 신뢰성을 높이기 위해 여러 단계(stage)를 만드는 연구가 진행되고 있다.

[0005] 이하, 일반적인 VDL(Vernier Delay Line) TDC에 대해 설명하도록 한다. Vernier TDC는 도 1a에 도시된 바와 같은 회로를 가지고 있다. VDL TDC는 지연 시간이 다른 두 개의 지연 선(buffer)을 이용한다. 그리고 1bit당 두 개의 버퍼와 D 플립플롭(D Flip-Flop)이 필요하다. 도 1b를 참조하면, 일반적인 VDL TDC는 처음에 CLK 신호와 REF 신호의 전도(Transition)의 타이밍(timing)이 다르게 인가된다(예: 항상 REF 신호는 CLK 신호보다 앞선 신호가 들어오는 것으로 가정한다). 이때, 버퍼 1( $\tau_1$ )의 지연 시간은 버퍼 2( $\tau_2$ )의 지연 시간보다 약간 더 크다. CLK 신호의 버퍼와 REF 신호의 버퍼를 통과한 신호들이 여러 개의 버퍼를 통과한다. 도 1b와 같이 신호들이 통과하는 각 버퍼는 타이밍 간격이 ( $\tau_1 - \tau_2$ ) 근사치를 나타낸다. 샘플 Bit값이 1에서 0으로 전이될 때 값을 저장한다. 제어부(Controller)에서는 전체지연시간( $\Delta T$ )에서 샘플( $\tau_1 - \tau_2$ )들의 개수를 나눠서 분해능을 생성한다. TDC는 Vernier delay line을 이용함으로써, 저전력으로 높은 분해능을 구현할 수 있다. 하지만, 버니어 딜레이 라인의 리셋 타이밍이 측정시간보다 크다. 즉, VDL TDC는 다음 측정 신호가 지연선(delay line)에서 전파되

기 시작하여 이전 측정 이벤트가 계속 전파될 수 있다는 단점을 가지고 있다.

[0006] 이하, 일반적인 SAR(Successive-Approximation Register) TDC에 대해 설명하도록 한다. SAR TDC의 구조는 도 2a와 같이 구성된다. SAR TDC의 구조는 여러 개의 버퍼(buffer)와 MUX와 하나의 D 플립플롭으로 구성된다. SAR TDC의 동작설명을 하면, 외부 핀으로부터 들어온 신호가 Delay unit을 거쳐 SAR 버퍼로 인가된다. 이렇게 들어온 신호는 제어부(Controllor)에서 MUX의 3bit으로 신호를 인가하여 S1 ~ S8을 선택하면 신호가 MUX로 들어오게 된다. 이때, 도 2b와 같이 일반적으로 중간인 S4를 선택하고, S4보다 낮은 값이나 높은 값을 선택한다. 만약 높은 값을 선택했다면, 도 2c와 같이 S5, S6, S7, S8중, 중간인 S6 선택해서 전도(Transition)가 일어나는지 확인한다. 그래도 판단이 되지 않을 때, 도 2d와 같이 S5를 선택하여 전도를 확인한다. 이러한 반복을 통해, 지연된 CLK 신호와 REF 신호의 근사치를 D 플립플롭에서 비교하고, 몇 번째 버퍼에서 근사치를 가지는가를 제어부(Controllor)에 저장한다. 제어부(Controllor)는 이 값을 판단하여 delay unit에 전달해서 지연을 조절한다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명은 다른 타이밍으로 들어오는 신호들을 서로 다른 두 단계의 측정 회로부 각각을 통해 측정하여 신호의 시간 지연을 세밀한 해상도로 측정할 수 있는 반도체 테스트를 위한 신호 지연 측정 장치 및 그를 이용한 테스트 장치를 제공하는 데 주된 목적이 있다.

### 과제의 해결 수단

[0008] 본 발명의 일 측면에 의하면, 상기 목적을 달성하기 위한 신호 지연 측정 장치는, 서로 다른 타이밍으로 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부; 상기 제1 측정 결과에 근거하여 출력된 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부; 및 상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부를 포함할 수 있다.

[0009] 또한, 본 발명의 다른 측면에 의하면, 상기 목적을 달성하기 위한 반도체 테스트 장치는, 복수의 테스트 신호를 발생하는 자동 테스트 장비; 반도체와 연동하기 위한 복수의 핀을 포함하는 DUT(Device Under Test); 및 상기 자동 테스트 장비 및 DUT 사이에 위치하며, 서로 다른 타이밍으로 상기 테스트 신호에 포함된 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부와 상기 제1 측정 결과에 근거하여 출력된 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부 및 상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부를 포함하는 신호 지연 측정 장치를 포함하는 BOST(Built-Out Self Test) 보드를 포함할 수 있다.

### 발명의 효과

[0010] 이상에서 설명한 바와 같이, 본 발명은 제안된 신호 측정 장치를 이용함에 따라 일반적인 TDC 회로와 비교해 적은 클럭을 이용해 신호 지연을 측정할 수 있어 측정 시간이 짧고, 전력소모가 적은 장점이 있다.

[0011] 또한, 본 발명은 제안된 신호 측정 장치를 이용함에 따라 VDL-VDL방식을 이용한 회로보다 플립플롭의 개수를 적게 가지고 있기 때문에 고집적도에 유리한 효과가 있다.

[0012] 또한, 본 발명은 제안된 신호 측정 장치를 이용함에 따라 일반적인 단일 SAR 방식이나 VDL 방식보다 더욱 정밀한 시간 지연 보정을 수행할 수 있는 효과가 있으며, 다수의 SAR방식보다 전력 소모가 적고, 다수의 VDL방식보다 전체적인 테스트 시간을 줄일 수 있는 효과가 있다.

### 도면의 간단한 설명

[0013] 도 1a 및 도 1b는 종래의 버니어 지연단 기반의 시간-디지털 변환기를 개략적으로 나타낸 도면이다.

도 2a 내지 도 2d는 종래의 측차 비교 레지스터 기반의 시간-디지털 변환기를 개략적으로 나타낸 도면이다.

도 3은 본 발명의 실시예에 따른 신호 지연 측정 장치를 개략적으로 나타낸 블록 구성도이다.

도 4는 본 발명의 실시예에 따른 신호 지연 측정 장치에 포함된 회로부를 나타낸 도면이다.

도 5는 본 발명의 실시예에 따른 신호 지연 측정 장치의 제1 측정 회로부를 나타낸 도면이다.

도 6a 내지 도 6c는 본 발명의 실시예에 따른 제1 측정 회로부의 측정 동작을 설명하기 위한 도면이다.

도 7은 본 발명의 실시예에 따른 신호 지연 측정 장치의 제2 측정 회로부를 나타낸 도면이다.

도 8은 본 발명의 실시예에 따른 제2 측정 회로부의 측정 동작을 설명하기 위한 도면이다.

도 9는 본 발명의 실시예에 따른 신호 지연 측정 장치의 측정 결과를 나타낸 예시도이다.

도 10은 본 발명의 실시예에 따른 반도체 테스트 장치를 나타낸 블록 구성도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 이하에서 본 발명의 바람직한 실시예를 설명할 것이나, 본 발명의 기술적 사상은 이에 한정하거나 제한되지 않고 당업자에 의해 변형되어 다양하게 실시될 수 있음은 물론이다. 이하에서는 도면들을 참조하여 본 발명에서 제안하는 반도체 테스트를 위한 신호 지연 측정 장치 및 그를 이용한 테스트 장치에 대해 자세하게 설명하기로 한다.
- [0015] 도 3은 본 발명의 실시예에 따른 신호 지연 측정 장치를 개략적으로 나타낸 블록 구성도이다.
- [0016] 본 실시예에 따른 신호 지연 측정 장치(300)는 제1 측정 회로부(310), 제어부(320) 및 제2 측정 회로부(330)를 포함한다. 신호 지연 측정 장치(300)는 반도체 테스트 장치에 포함된 장치일 수 있으나 반드시 이에 한정되는 것은 아니며, 반도체 테스트 장치와 별도의 장치로 구현될 수도 있다.
- [0017] 본 실시예에 따른 신호 지연 측정 장치(300)는 SAR(Successive-Approximation Register) TDC 방식과 VDL(Vernier Delay Line) TDC 방식을 결합하여 신호의 지연을 측정하는 장치로써, 16 bit의 신호에 대한 신호 지연을 측정할 수 있는 회로를 포함할 수 있다.
- [0018] 제1 측정 회로부(310)는 입력되는 신호에 대한 제1 측정을 수행한다.
- [0019] 제1 측정 회로부(310)는 제1 신호(이하, CLK 신호로 기재) 및 제2 신호(이하, REF 신호로 기재)를 입력 받는다. 여기서, CLK 신호 및 REF 신호는 서로 다른 타이밍으로 입력된다.
- [0020] 제1 측정 회로부(310)는 SAR TDC 방식을 기반으로 신호의 시간 지연이 발생한 부분을 1 차적으로 측정(제1 측정)하며, 제1 측정 결과는 제어부(320)로 전달된다.
- [0021] 제1 측정 회로부(310)는 제어부(320)의 제어신호(0 신호)에 따라 CLK 신호 및 REF 신호에 대한 측정을 반복할 수 있다. 한편, 제1 측정 회로부(310)는 제어부(320)의 제어신호(1 신호)에 따라 제1 측정이 완료된 제1 출력신호(제1 측정이 완료된 CLK 신호) 및 제2 출력 신호(제어신호에 의해 출력된 REF 신호)를 제2 측정 회로부(330)로 전달한다. 제1 측정 회로부(310)의 동작 및 구성은 도 3 및 도 5에서 자세하게 설명하도록 한다.
- [0022] 제어부(320)는 신호 지연 측정 장치(300)의 전반적인 동작을 제어한다.
- [0023] 본 실시예에 따른 제어부(320)는 제1 측정 회로부(310) 및 제2 측정 회로부(330)와 연동하며, 제1 측정 회로부(310)의 제1 측정 동작과 제2 측정 회로부(330)의 제2 측정 동작 각각을 제어한다.
- [0024] 제어부(320)는 제1 측정 회로부(310)로부터 제1 측정 결과를 입력 받고, 제1 측정이 완료된 것으로 판단되면 제어신호를 제1 측정 회로부(310)로 전달한다. 제1 측정 회로부(310)는 제어신호에 근거하여 제1 출력 신호 및 제2 출력 신호를 제2 측정 회로부(330)로 전달하여 제2 측정이 수행되도록 한다.
- [0025] 제어부(320)는 제2 측정 회로부(330)로부터 제어신호에 따라 제1 출력 신호 및 제2 출력 신호를 이용하여 측정된 제2 측정 결과를 입력받고, 제2 측정 결과를 기반으로 지연 측정값을 산출한다. 제어부(320)는 산출된 지연 측정값을 지연 유닛(delay unit)에 전달하여 반도체 테스트를 위한 신호 간의 지연이 조절되도록 한다.



- [0026] 제2 측정 회로부(330)는 제1 측정 회로부(310)에서 출력된 제1 출력 신호 및 제2 출력 신호를 입력으로 제2 측정을 수행한다.
- [0027] 제2 측정 회로부(330)로 입력된 제1 출력 신호 및 제2 출력 신호는 서로 다른 타이밍을 가진다.
- [0028] 제2 측정 회로부(330)는 VDL TDC 방식을 기반으로 신호의 시간 지연이 발생한 부분을 2 차적으로 측정(제2 측정)하며, 제2 측정 결과는 제어부(320)로 전달된다. 제2 측정 회로부(330)의 동작 및 구성은 도 3 및 도 7에서 자세히 설명하도록 한다.
- [0029] 도 4는 본 발명의 실시예에 따른 신호 지연 측정 장치에 포함된 회로부를 나타낸 도면이다.
- [0030] 도 4를 참고하면, 본 실시예에 따른 신호 지연 측정 장치(100)는 SAR TDC 방식과 VDL TDC 방식을 결합하여 신호의 지연을 측정하는 장치이다. 신호 지연 측정 장치(100)는 종래의 회로보다 D 플립플롭의 수를 줄이고, 시간 분해능을 높이기 위해 두 단계의 측정 회로부를 포함하여 구성된다.
- [0031] 신호 지연 측정 장치(100)의 첫 번째 단계는 제1 측정 회로부(310)로 구성된다. 제1 측정 회로부(310)는 코스 라인(Coarse line)으로써 SAR TDC를 기반으로 구성된다. 제1 측정 회로부(310)에서는 SAR TDC 방식을 기반으로 시간 지연에 대한 제1 측정을 수행한다. 제1 측정에 대한 제1 측정결과는 Dout1값으로서 제어부(320)로 전달되고, Dout1값에는 오차 범위(하나의 버퍼 지연 미만)에 대한 잔류 시간 지연이 존재한다.
- [0032] 신호 지연 측정 장치(100)의 두 번째 단계는 제2 측정 회로부(330)로 구성된다. 제2 측정 회로부(330)는 파인 라인(Fine Line)으로써 VDL TDC를 기반으로 구성된다.
- [0033] 제2 측정 회로부(330)에서는 VDL TDC 방식을 기반으로 시간 지연에 대한 제2 측정을 수행한다. 제2 측정에 대한 제2 측정결과는 Dout2값으로서 제어부(320)로 전달되어, 반도체 테스트를 위한 신호 간의 지연이 조절되도록 한다.
- [0034] 신호 지연 측정 장치(100)의 첫 번째 단계는 대략적인 시간을 측정하는 Coarse time measurement 부분으로 시간을 측정하고, 두 번째 단계는 Fine time measurement으로 미세한 시간을 측정한다. 이와 같이, 신호 지연 측정 장치(100)는 SAR 기반의 회로와 VDL 기반의 회로를 연결한 2 단계의 SAR-VDL TDC 회로를 포함한다.
- [0035] 제1 측정 회로부(310)에서는 CLK으로 들어온 CLK 신호와 REF 신호의 근사치일 때를 찾고, 제1 측정 결과값(Dout1) 데이터를 제어부(320)로 전달한다. 제어부(320)는 제1 측정 결과값(Dout1)에 근거하여 시간 지연이 측정되면, 제1 측정 회로부(310)의 제1 DMUX(316) 및 제2 DMUX(317)로 제어신호(로직값 1)를 전송한다.
- [0036] 제1 측정 회로부(310)는 제어신호(로직값 1)에 근거하여 제1 측정 회로부(310)를 지난 제1 출력 신호(CLK 신호)와 제2 출력 신호(REF 신호)를 제2 측정 회로부(330)로 전달한다.
- [0037] 제2 측정 회로부(330)는 제1 출력 신호 및 제2 출력 신호를 VDL TDC 회로의 입력으로 시간 지연을 측정하여 D1 ~ D8까지의 출력에 해당하는 제2 측정 결과값(Dout2)을 인코더(338)에 저장한다. 제2 측정 회로부(330)는 인코더(338)에 저장된 제2 측정 결과값(Dout2)을 제어부(320)로 전달한다.
- [0038] 제어부(320)에서는 제1 측정 회로부(310)의 Coarse Stage와 제2 측정 회로부(330)의 Fine Stage의 지연 측정값을 판단하여 Delay unit에 전달하여, CLK의 신호 지연을 조절한다.
- [0039] 도 5는 본 발명의 실시예에 따른 신호 지연 측정 장치의 제1 측정 회로부를 나타낸 도면이다.
- [0040] 신호 지연 측정 장치(100)의 제1 측정 회로부(310)는 코스 라인(Coarse line)으로써 SAR TDC를 기반으로 구성된다. 제1 측정 회로부(310)에서는 SAR TDC 방식을 기반으로 시간 지연에 대한 제1 측정을 수행한다. 제1 측정에 대한 제1 측정결과는 Dout1값으로서 제어부(320)로 전달되고, Dout1값에는 오차 범위(하나의 버퍼 지연 미만)에 대한 잔류 시간 지연이 존재한다.
- [0041] 제1 측정 회로부(310)는 서로 다른 타이밍으로 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력한다.
- [0042] 제1 측정 회로부(310)와 연동하는 제어부(320)는 제1 측정 결과를 기반으로 제1 출력 신호 및 제2 출력 신호가 제1 측정 회로부(310)에서 제2 측정 회로부(330)로 전달되도록 제어한다. 즉, 제어부(320)는 제1 측정 결과를 입력 받고, 제1 측정 결과에 근거하여 제2 측정 회로부(330)의 제2 측정을 수행하기 위한 제어신호를 제1 측정 회로부(310)로 전달하여 제1 출력 신호 및 제2 출력 신호가 제2 측정 회로부(330)로 전달되도록 한다.



- [0043] 본 실시예에 따른 제1 측정 회로부(310)는 제1 버퍼부(312), MUX(314), 제1 DMUX(316), 제2 DMUX(317) 및 제1 D 플립플롭부(318)를 포함한다. 도 5의 제1 측정 회로부(310)는 일 실시예에 따른 것으로서, 도 5에 도시된 모든 구성이 필수 구성요소는 아니며, 다른 실시예에서 제1 측정 회로부(310)에 포함된 일부 구성이 추가, 변경 또는 삭제될 수 있다.
- [0044] 제1 측정 회로부(310)는 제1 버퍼부(312), MUX(314) 및 제1 DMUX(316)를 통해 출력된 출력값과 제2 DMUX(317)를 통해 출력된 출력값을 기반으로 제1 측정 결과를 출력한다.
- [0045] 구체적으로, 제1 측정 회로부(310)는 복수의 버퍼를 포함하는 제1 버퍼부(312)를 통과한 신호 중 적어도 하나의 제1 신호를 선택하여 MUX(314)를 통해 제1 DMUX(316)에 전달하여 제1 D 플립플롭부(318)의 입력이 되도록 한다. 제1 D 플립플롭부(318)는 선택된 제1 신호와 제2 신호를 입력으로 제2 신호가 0 에서 1 로 전도(Transition)되면, 제1 측정결과를 제어부(320)로 전달한다.
- [0046] 제1 측정 회로부(310)와 연동하는 제어부(320)는 제1 측정 결과에 근거하여 시간 지연이 발생한 것으로 판단된 경우, 제2 측정을 수행하기 위한 제어신호(1 값)를 제1 DMUX(316) 및 제2 DMUX(317)로 전달한다.
- [0047] 여기서, 제1 측정 회로부(310)는 제1 DMUX(316)의 제1 출력 신호와 제2 DMUX(317)의 제2 출력 신호 각각을 제2 측정 회로부(330)의 입력으로 전달한다.
- [0048] 도 6a 내지 도 6c는 본 발명의 실시예에 따른 제1 측정 회로부의 측정 동작을 설명하기 위한 도면이다.
- [0049] 이하, 신호 지연 측정 장치(300)의 제1 측정 회로부(310)의 제1 측정 동작에 대해 설명하도록 한다.
- [0050] (a) 제1 측정 회로부(310)는 제1 신호(CLK 신호) 및 제2 신호(REF 신호)를 입력 받는다. 여기서, CLK 신호 및 REF 신호는 서로 다른 타이밍으로 입력된다.
- [0051] (b) 제1 측정 회로부(310)에서는 복수의 버퍼를 포함하는 제1 버퍼부(312)를 지난 신호 중 중간 신호에 해당하는 제1 신호를 MUX(314)에서 선택한다. 예를 들어, 도 6a를 참고하면, 제1 측정 회로부(310)에서는 0 번째 내지 7 번째 버퍼를 지난 신호 중 중간 신호인 4 번째 버퍼를 지난 제1 신호를 MUX(314)에서 선택을 한다.
- [0052] (c) MUX(314)의 출력은 제1 DMUX(316)로 전달되며, 제1 DMUX(316)에서는 스위치처럼 MUX(314)의 출력으로 들어온 제1 신호를 제1 D 플립플롭부(318)의 입력으로 전달한다.
- [0053] (d) 제2 신호는 제2 DMUX(317)의 입력으로 전달되며, 제2 신호는 제2 DMUX(317)를 통해 제1 D 플립플롭부(318)로 전달된다.
- [0054] (e) 제1 D 플립플롭부(318)에서 제2 신호가 0 에서 1 로 전도(Transition)되면, 제1 측정에 대한 제1 측정결과는 Dout1값으로서 제어부(320)로 전달된다. 여기서, 제1 측정결과인 Dout1값에는 오차 범위(하나의 버퍼 지연 미만)에 대한 잔류 시간 지연이 존재한다.
- [0055] (f) 제어부(320)에서는 제1 D 플립플롭부(318)의 출력값이 1인 것을 판단하고, 기존대로 제1 DMUX(316) 및 제2 DMUX(317)에 0 값을 전달하고, 제1 측정(Coarse) 부분에 대해서만 지연 측정을 수행한다.
- [0056] (g) 이후, 제1 측정 회로부(310)에서는 CLK과 REF로 제1 신호 및 제2 신호를 추가로 입력 받는 동작을 수행한다. 예를 들어, 제1 측정 회로부(310)는 6 번째, 5 번째 버퍼를 지난 제1 신호를 선택해서 (a) 내지 (e) 단계를 반복하여 수행하고, 제어부(320)는 제1 D 플립플롭부(318)에서 출력된 Dout1값을 판단한다 (도 6b 및 도 6c 참고).
- [0057] (h) 제어부(320)는 특정 버퍼를 지난 제1 신호에서 신호 지연이 발생한 것으로 판단한 경우, 제1 DMUX(316) 및 제2 DMUX(317)에 1 값(제어신호)을 전달한다. 예를 들어, 제어부(320)는 5 번째 버퍼를 지난 신호에서 신호 지연이 발생한 것으로 판단하고, 제1 DMUX(316) 및 제2 DMUX(317)에 1 값(제어신호)을 전달한다.
- [0058] (i) 제1 DMUX(316) 및 제2 DMUX(317) 각각은 출력값을 제2 측정 회로부(330)로 전달한다.
- [0059] 도 7은 본 발명의 실시예에 따른 신호 지연 측정 장치의 제2 측정 회로부를 나타낸 도면이다.
- [0060] 신호 지연 측정 장치(100)의 제2 측정 회로부(330)는 파인 라인(Fine Line)으로써 VDL TDC를 기반으로 구성된다. 제2 측정 회로부(330)에서는 VDL TDC 방식을 기반으로 시간 지연에 대한 제2 측정을 수행한다. 제2 측정에 대한 제2 측정결과는 Dout2값으로서 제어부(320)로 전달되어, 반도체 테스트를 위한 신호 간의 지연이 조절되도록 한다.

- [0061] 제2 측정 회로부(330)는 제1 측정 회로부(310)의 제1 측정 결과에 근거하여 출력된 제1 출력 신호 및 제2 출력 신호를 입력 받고, 제1 출력 신호 및 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력한다.
- [0062] 제2 측정 회로부(330)와 연동하는 제어부(320)는 제2 측정 결과를 입력 받고, 제2 측정 결과를 기반으로 지연 측정값을 산출한다.
- [0063] 본 실시예에 따른 제2 측정 회로부(330)는 제2 버퍼부(332), 제2 D 플립플롭부(334), 제3 버퍼부(336) 및 인코더(338)를 포함한다. 도 6의 제2 측정 회로부(330)는 일 실시예에 따른 것으로서, 도 6에 도시된 모든 구성이 필수 구성요소는 아니며, 다른 실시예에서 제2 측정 회로부(330)에 포함된 일부 구성이 추가, 변경 또는 삭제될 수 있다.
- [0064] 제2 측정 회로부(330)에서, 제2 버퍼부(332)는 제1 출력 신호를 입력 받고, 제3 버퍼부(336)는 제2 출력 신호를 입력 받는다. 제2 D 플립플롭부(334)는 제1 출력 신호 및 제2 출력 신호에 대한 제2 측정 결과를 인코더(338)로 출력한다.
- [0065] 제2 측정 회로부(330)의 인코더(338)는 저장된 제2 측정 결과값을 제어부(320)로 전달한다.
- [0066] 제2 측정 회로부(330)와 연동하는 제어부(320)는 제2 측정 결과값을 기반으로 신호 지연 측정 장치(300)에 포함된 버퍼의 개수를 판단하여 지연을 조정하기 위한 지연 측정값을 산출한다. 제어부(320)는 산출된 지연 측정값을 지연 유닛(delay unit)으로 전달하여 반도체 테스트를 위한 신호 간의 지연이 조절되도록 한다.
- [0067] 도 8은 본 발명의 실시예에 따른 제2 측정 회로부의 측정 동작을 설명하기 위한 도면이다.
- [0068] 이하, 신호 지연 측정 장치(300)의 제2 측정 회로부(330)의 제2 측정 동작에 대해 설명하도록 한다.
- [0069] (a) 제어부(320)는 특정 버퍼를 지난 제1 신호에서 신호 지연이 발생한 것으로 판단한 경우, 제1 DMUX(316) 및 제2 DMUX(317)에 1 값(제어신호)을 전달하고, 제1 DMUX(316) 및 제2 DMUX(317) 각각은 출력값을 제2 측정 회로부(330)로 전달한다.
- [0070] (b) 제2 측정 회로부(330)에서는 제1 DMUX(316)의 출력값(제1 출력 신호)을 제2 버퍼부(332)의 입력으로 전달 받고, 제2 DEMUX(317)의 출력값(제2 출력 신호)을 제3 버퍼부(336)의 입력으로 전달 받는다.
- [0071] (c) 제2 측정 회로부(330)로 전달된 제1 출력 신호 및 제2 출력 신호를 VDL TDC 회로의 입력으로 시간 지연을 측정하여 D1 ~ D8까지의 D 플립플롭을 포함하는 제2 D 플립플롭부(334)의 출력에 해당하는 제2 측정 결과값(Dout2)을 인코더(338)에 저장한다.
- [0072] (d) 인코더(338)에 저장된 제2 측정 결과값(Dout2)은 제어부(320)로 전달되며, 제어부(320)는 제2 측정 결과값(Dout2)을 기반으로 제1 측정 회로부(310) 및 제2 측정 회로부(330)에 포함된 버퍼의 개수를 판단하여 지연을 조정하기 위한 지연 측정값을 산출한다.
- [0073] (e) 제어부(320)는 산출된 지연 측정값을 지연 유닛(delay unit)으로 전달하여 반도체 테스트를 위한 신호 간의 지연이 조절되도록 한다.
- [0074] 도 9는 본 발명의 실시예에 따른 신호 지연 측정 장치의 측정 결과를 나타낸 예시도이다.
- [0075] 신호 지연 측정 장치(300)의 실험 결과를 나타낸 것으로서, 본 실험에서 제1 측정 회로부(310)의 각 버퍼는 80 ns의 지연 시간을 갖는 버퍼를 이용하였으며, 일반적인 SAR의 버퍼를 선택하는 방식을 이용하였다. 본 실험에서 사용한 Simulation tool은 ModelSim PE Student Edition 10.4a를 사용하였다.
- [0076] 제1 측정 회로부(310)에서는 근사적으로 5 번째 CLK 신호가 5 번째에서 전이되는 것을 확인할 수 있다. 또한 제1 측정 회로부(310)의 제1 측정이 끝났을 때, 제어부(320)에서는 제1 측정 회로부(310)의 DEMUX(316, 317)로 logic 1을 인가한다.
- [0077] 그 후, 제1 측정 회로부(310)는 제2 측정 회로부(330)로 REF 신호와 제1 측정 회로부(310)를 통과한 CLK 신호(5 번째 CLK 신호)를 전달한다. 이러한 신호가 제2 측정 회로부(330)에 인가되었을 때, 도 9와 같이, 제2 측정 회로부(330)에서는 8 bit의 Dout2로 11000000이 발생하는 것을 확인할 수 있다. 제어부(320)는 이를 통해 제2 측정 회로부(330)에서는 8 개의 버퍼 중 두 번째 버퍼를 지나서 CLK 신호가 REF 신호를 앞서는 것을 확인할 수 있다. 이를 통해 신호 지연 측정 장치(300)는 종래의 신호 지연 측정 방식보다 정밀한 측정을 할 수 있는 회로로 구현될 수 있으며, 이러한 신호 지연 측정 장치(300)를 통해 보다 정확한 반도체를 테스트 할 수 있는 반도체 테스트 장치를 구현할 수 있다.

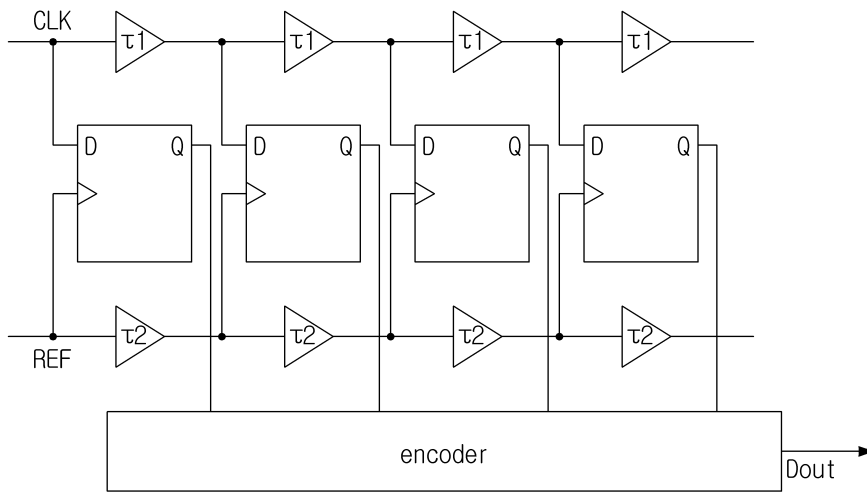
- [0078] 도 10은 본 발명의 실시예에 따른 반도체 테스트 장치를 나타낸 블록 구성도이다.
- [0079] 메모리 회로를 테스트하기 위하여 자동 테스트 장비(ATE: Automated Test Equipment)를 포함하거나, 자동 테스트 장비(ATE)와 연동하는 반도체 테스트 장치에서 BOST(Built-Out Self Test) 용으로 BOST 보드(1020)에서 DUT(Device Under Test, 1030)의 각 핀에서 신호를 줄 때, 핀에서 회로까지 각 신호가 다르게 지연되는 현상이 발생한다.
- [0080] 본 발명의 반도체 테스트 장치는 이렇게 신호마다 다르게 지연이 발생하는 현상을 보정하고 타이밍을 다시 맞추기 위하여 BOST 보드(1020) 내에 신호 지연 측정 장치(300)를 포함하여 구현할 수 있다. 이러한, 반도체 테스트 장치는 Flash VDL, VDL, SAR, Arbiter 등 많은 연구를 기반으로 구현할 수 있으며, 본 발명의 VDL과 SAR 방식의 장점을 이용하여 2 단계의 SAR-VDL 방식 기반의 신호 지연 측정 장치(300)를 제안한다. 본 발명에 따른 반도체 테스트 장치에 포함된 신호 지연 측정 장치(300)는 일반적인 단일 SAR 방식이나 VDL 방식보다 더욱 정밀한 보정을 할 수 있다. 또한, 본 발명에 따른 반도체 테스트 장치에 포함된 신호 지연 측정 장치(300)는 일반적인 다수의 SAR 방식보다 전력 소모가 적고, 일반적인 다수의 VDL 방식보다 전체적인 테스트 시간을 감소시킬 수 있다.
- [0081] 도 10을 참조하면, 반도체 테스트 장치는 복수의 테스트 신호를 발생하는 자동 테스트 장비(1010)와 BOST 보드(1020) 및 반도체와 연동하기 위한 복수의 핀을 포함하는 DUT(1030)를 포함할 수 있다. 여기서, BOST 보드(1020)는 자동 테스트 장비 및 DUT 사이에 위치하며, 서로 다른 타이밍으로 상기 테스트 신호에 포함된 제1 신호 및 제2 신호를 입력 받고, 시간 지연이 발생한 신호에 대한 제1 측정을 수행하여 제1 측정 결과를 출력하는 제1 측정 회로부(1022)와 상기 제1 측정 결과에 근거하여 출력된 제1 출력 신호 및 제2 출력 신호를 입력 받고, 상기 제1 출력 신호 및 상기 제2 출력 신호에 대한 제2 측정을 수행하여 제2 측정 결과를 출력하는 제2 측정 회로부(1022) 및 상기 제1 측정 회로부 및 상기 제2 측정 회로부와 연동하며, 상기 제1 측정 결과를 기반으로 상기 제1 출력 신호 및 상기 제2 출력 신호가 상기 제2 측정 회로부로 전달되도록 제어하고, 상기 제2 측정 결과를 기반으로 지연 측정값을 산출하는 제어부를 포함하는 신호 지연 측정 장치(300)를 포함할 수 있다. 여기서, BOST 보드(1020)는 적어도 하나의 입출력 인터페이스, PLL(Phase-Locked Loop) 또는 DLL(Delay-Locked Loop) 모듈 등을 추가로 포함할 수 있다.
- [0082] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

## 부호의 설명

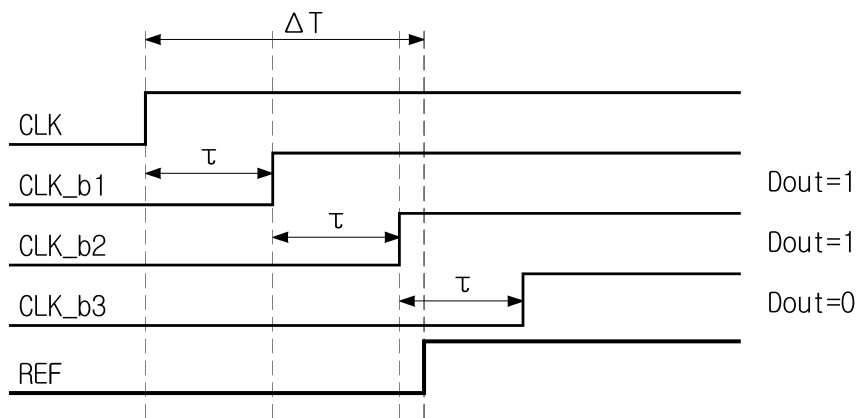
- [0083] 300: 신호 지연 측정 장치
- |                 |                 |
|-----------------|-----------------|
| 310: 제1 측정 회로부  | 320: 제어부        |
| 330: 제2 측정 회로부  |                 |
| 312: 제1 버퍼부     | 314: MUX        |
| 316: 제1 DMUX    | 317: 제2 DMUX    |
| 318: 제1 D 플립플롭부 |                 |
| 332: 제2 버퍼부     | 334: 제2 D 플립플롭부 |
| 336: 제3 버퍼부     | 338: 인코더        |

도면

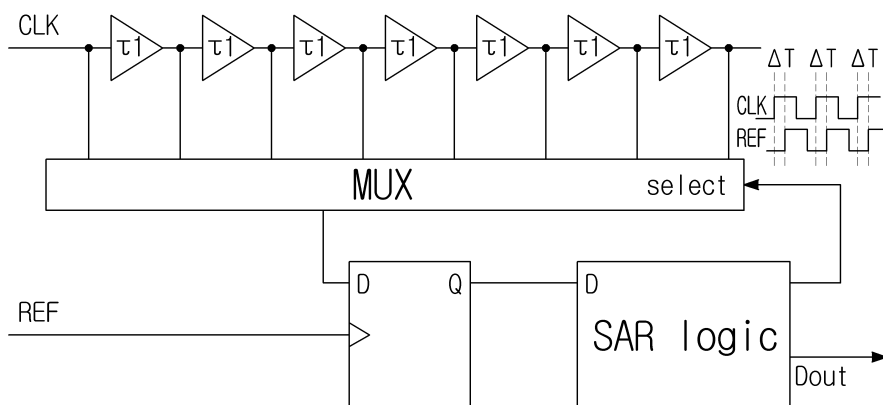
도면1a



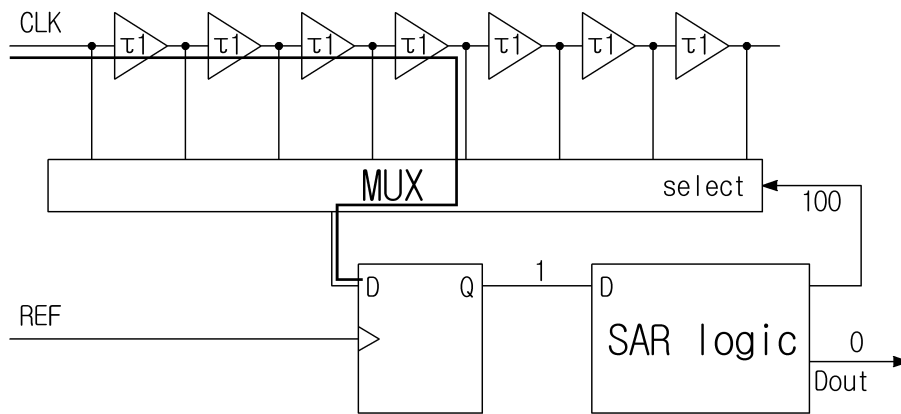
도면1b



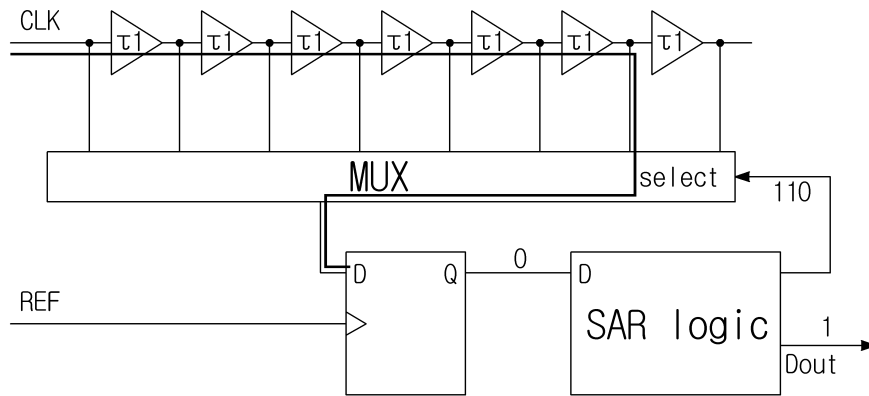
도면2a



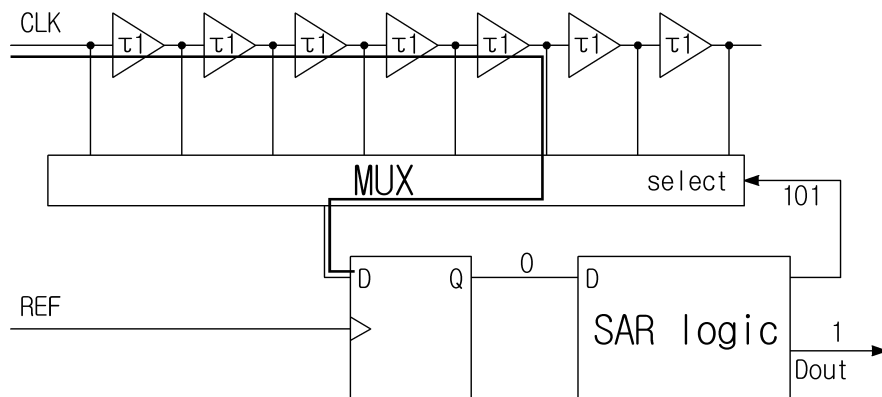
도면2b



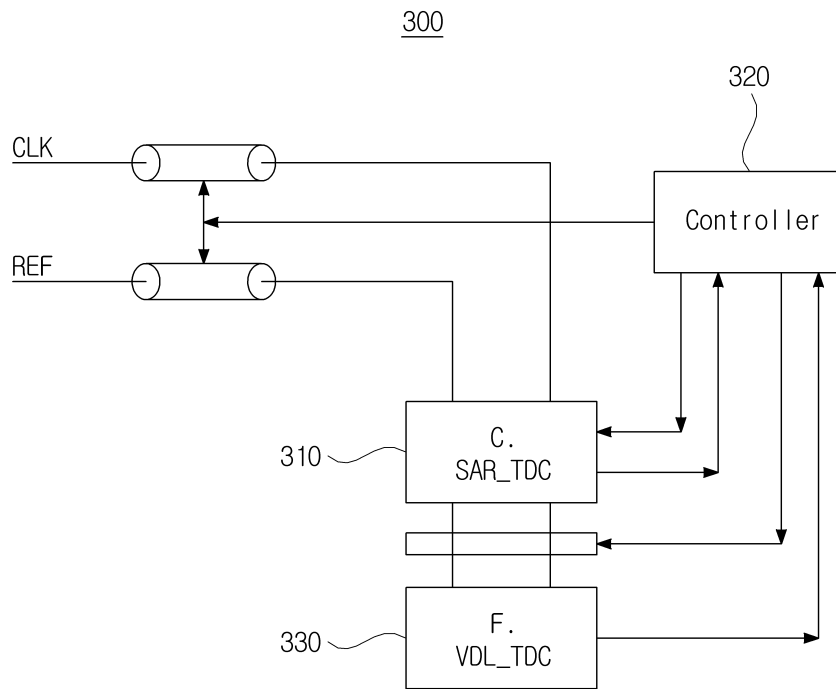
도면2c



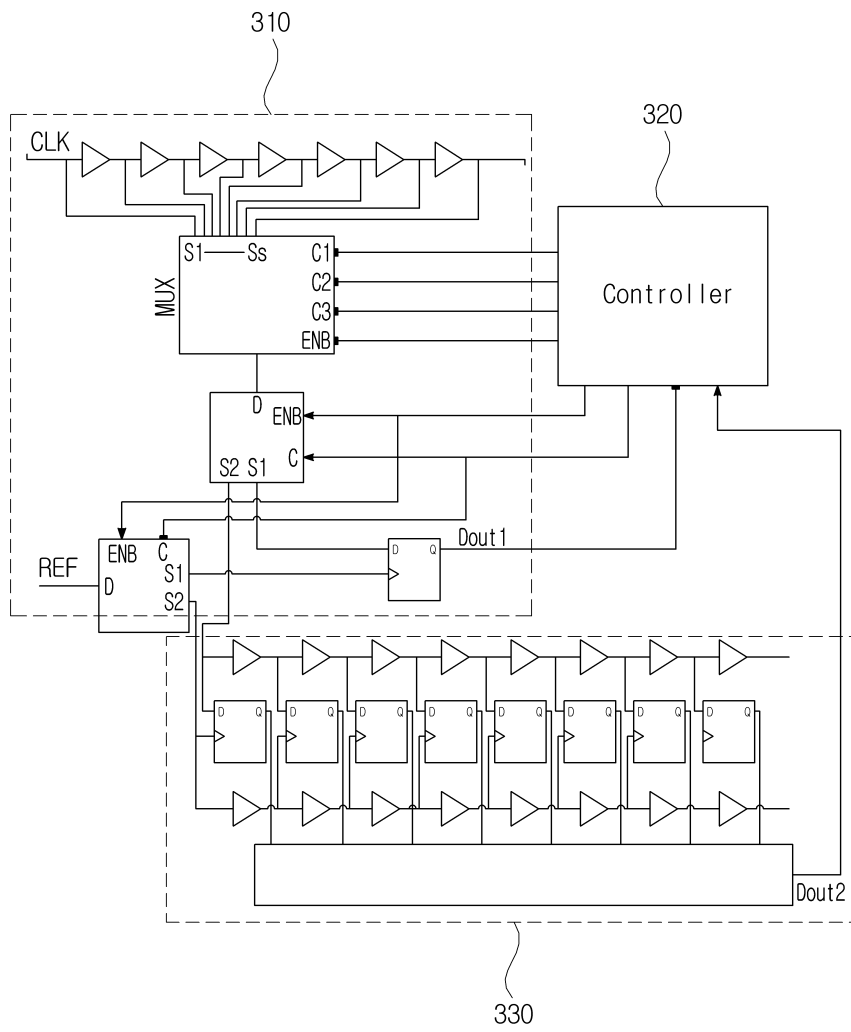
도면2d



도면3

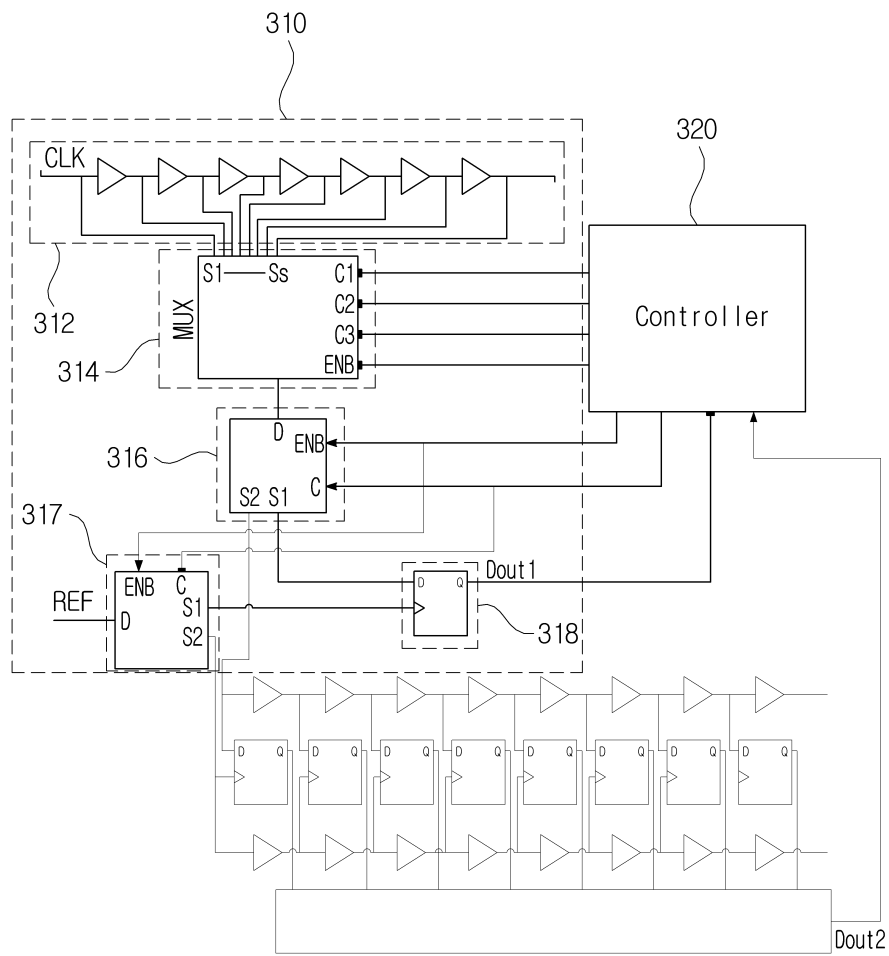


도면4

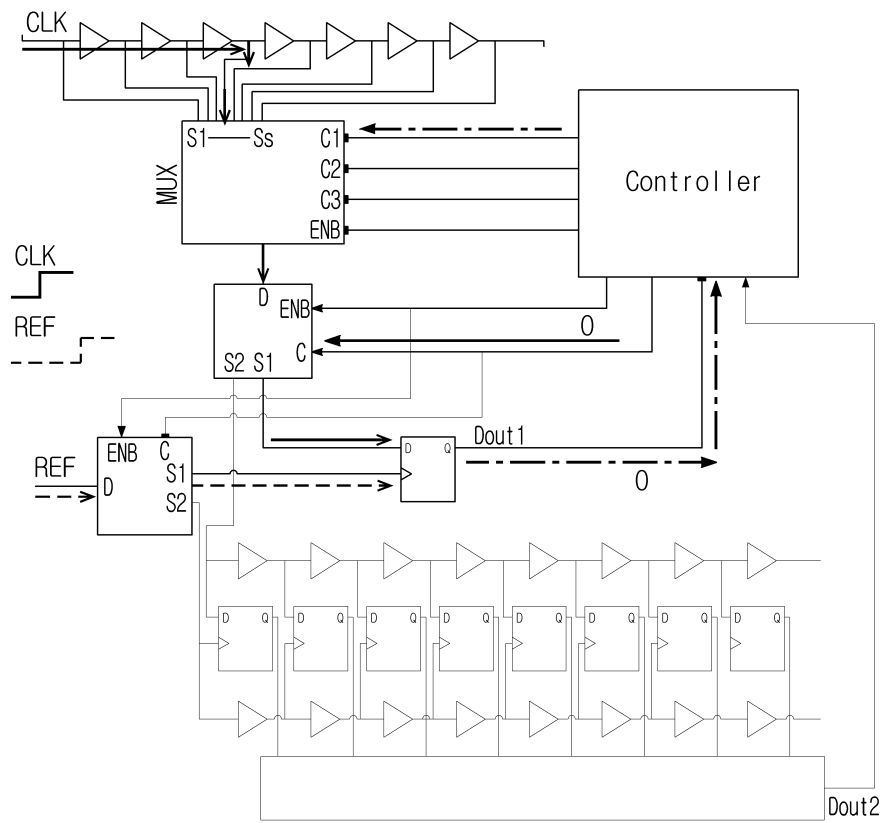




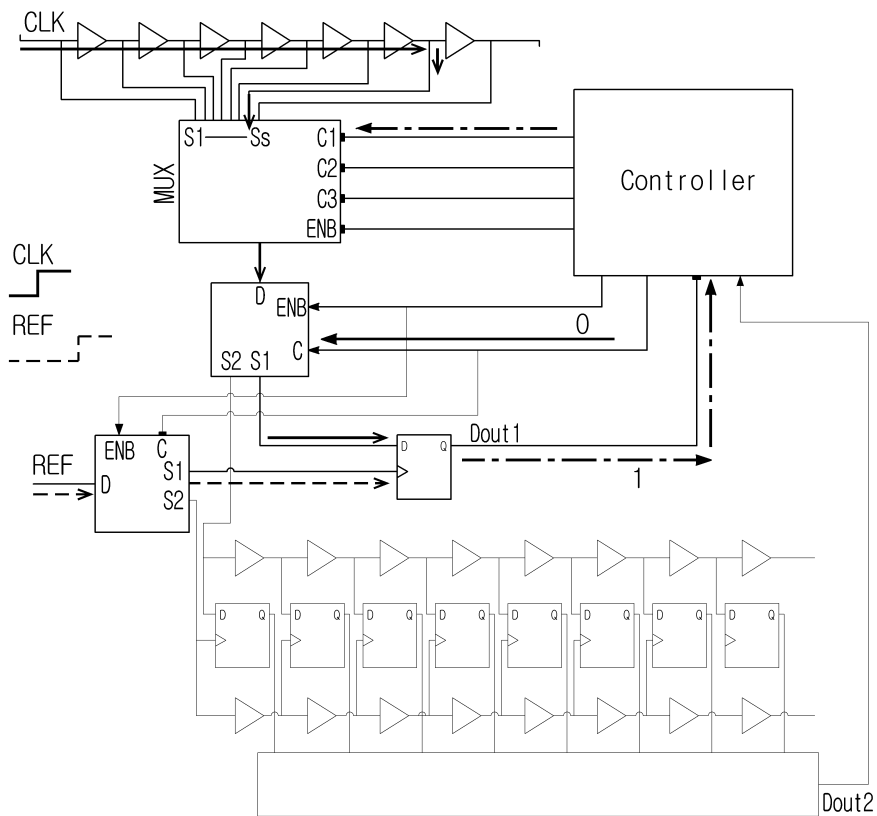
도면5



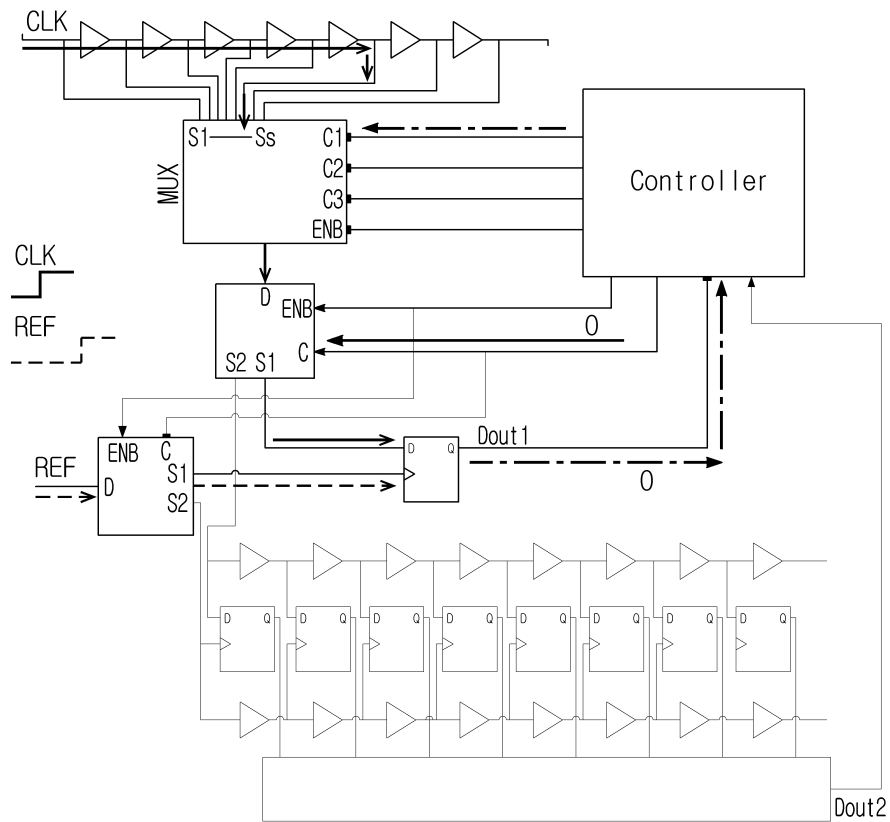
도면6a



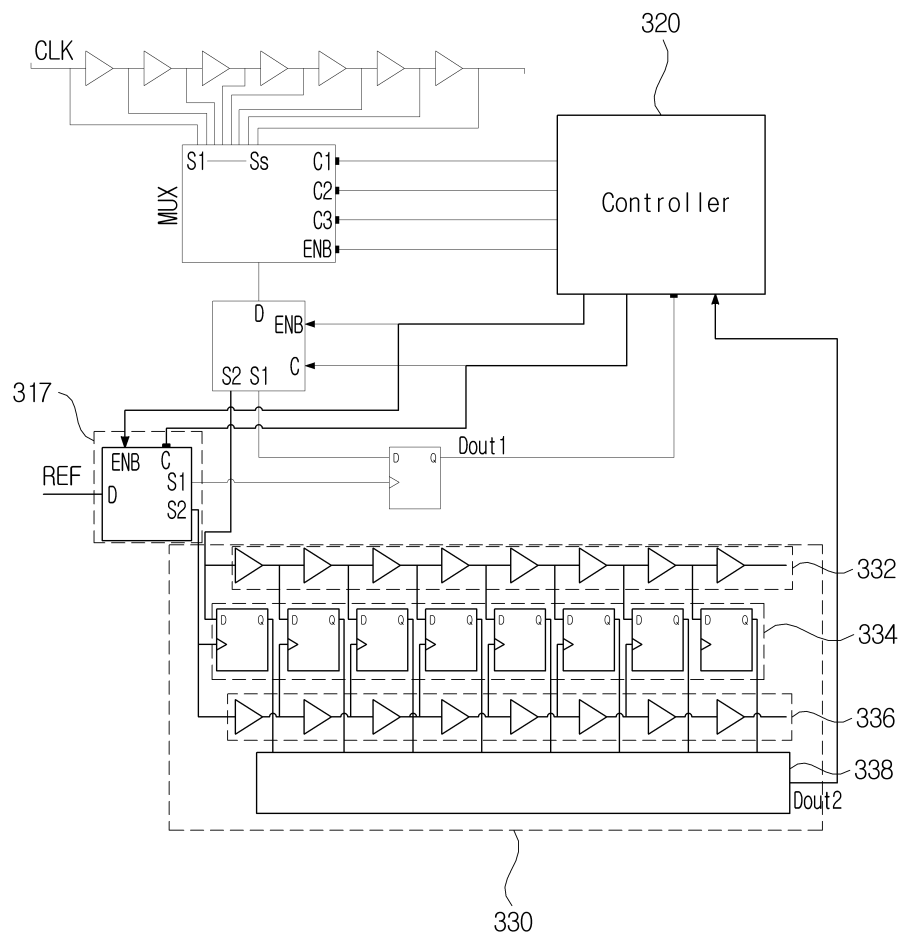
도면6b



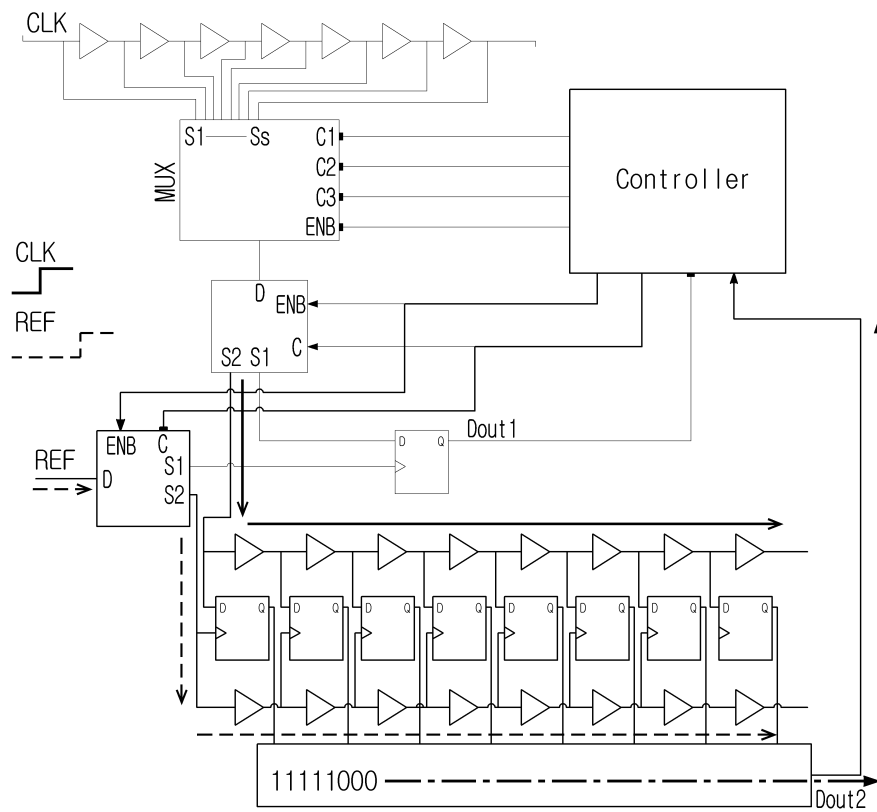
도면6c



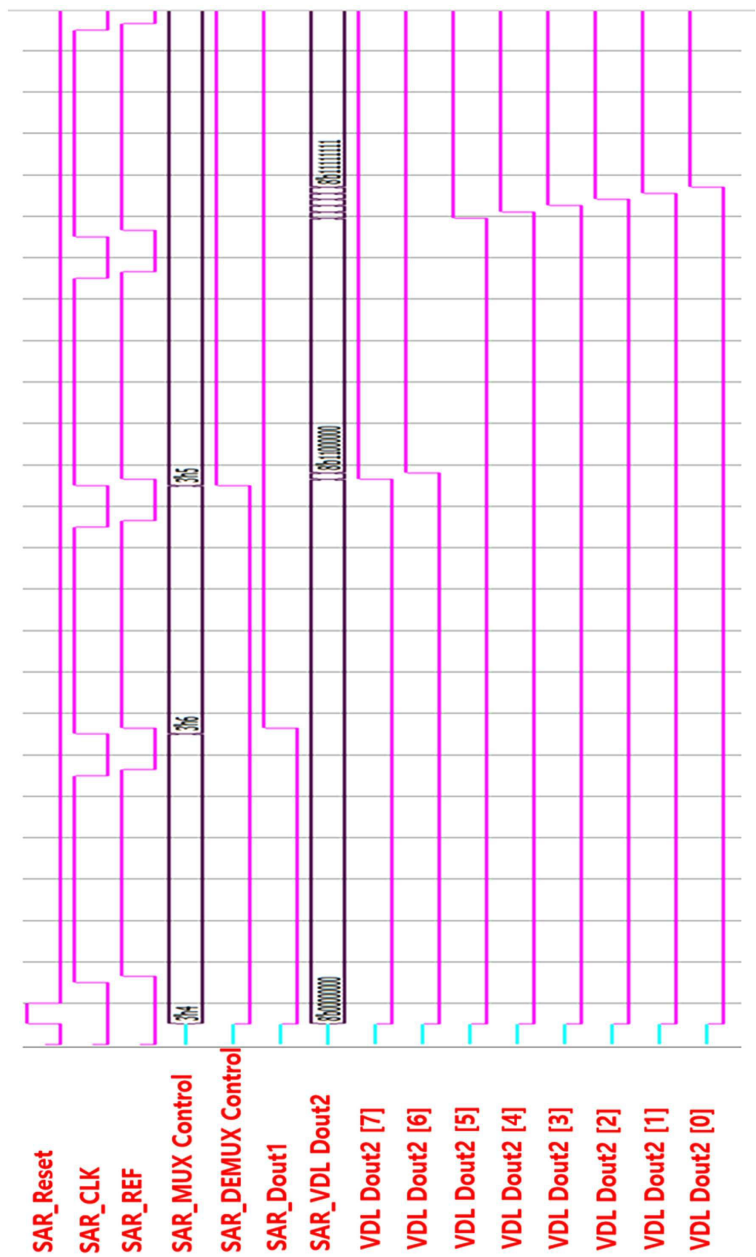
도면7



도면8



도면9



도면 10

