



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월02일
(11) 등록번호 10-2273138
(24) 등록일자 2021년06월29일

(51) 국제특허분류(Int. Cl.)
G01R 31/3185 (2006.01)
(52) CPC특허분류
G01R 31/318536 (2013.01)
G01R 31/318541 (2013.01)
(21) 출원번호 10-2020-0024801
(22) 출원일자 2020년02월28일
심사청구일자 2020년02월28일
(56) 선행기술조사문헌
KR1020090014690 A*
KR1020090032302 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
강성호
서울특별시 마포구 양화로 45, 101동 2102호(서교동, 메세나폴리스)
장석준
서울특별시 서대문구 연희로 82, B동 201호(연희동, 브라운스톤연희)
(74) 대리인
특허법인우인

전체 청구항 수 : 총 2 항

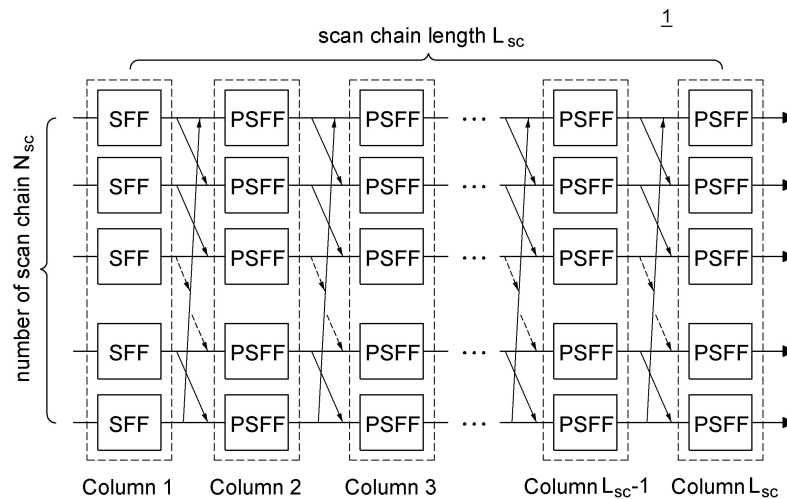
심사관 : 조지은

(54) 발명의 명칭 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법

(57) 요약

본 발명에 따르면, 스캔 경로를 다양하게 변경시켜 가며 여러 경로로의 플러시 패턴 기반 테스트를 진행해 일차적으로 고장 후보군을 좁힌 뒤, 1차 진단된 고장 후보군들에 대한 추가적인 테스트를 통해 고장 후보군을 더욱 좁혀 나가는 방식으로 고해상도 고장 진단을 수행하는 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법이 개시된다.

대표도



(52) CPC특허분류

G01R 31/318544 (2013.01)

G01R 31/318583 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2019011079
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구자지원사업
연구과제명	인-메모리 컴퓨팅의 로버스트니스 향상을 위한 반도체 설계 기술(1/3)
기 여 율	1/1
과제수행기관명	연세대학교
연구기간	2019.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

제1 열을 기준으로 다수개의 제1 스캔 셀들이 배치되는 제1 스캔 셀 집합;

상기 제1 열에 인접한 제2 열을 기준으로 다수개의 제2 스캔 셀들이 배치되는 제2 스캔 셀 집합;

상기 제2 열에 인접한 제3 열을 기준으로 다수개의 제3 스캔 셀들이 배치되는 제3 스캔 셀 집합; 및

상기 제1 스캔 셀 집합 내지 제3 스캔 셀 집합을 연결하는 복수개의 스캔 체인;을 포함하며,

상기 제2 스캔 셀은, 상기 제1 스캔 셀이 인접한 상기 제2 열에 포함된 제2 스캔 셀들 중 하나를 선택하여 경로를 변경하도록 경로 선택터(path selector)와 스캔 플립 플롭(SFF)를 포함하는 구조이며,

상기 제2 스캔 셀과 상기 제3 스캔 셀은 제어 신호 연결 알고리즘에 따라 멀티플렉서가 제어 신호와 연결되며,

상기 제어 신호는, 상기 스캔 체인의 개수에 따라 셀 간격을 조정하여 특정 스캔 셀에서 경로를 변경하는 것을 특징으로 하는 다중 고장을 진단하기 위한 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

다중 고장을 진단하기 위한 장치를 이용하여 다중 고장을 진단하는 방법에 있어서,

스캔 경로로의 플러시 테스트를 통하여 1차 고장 진단을 수행하여 고장 후보군의 개수를 식별하는 단계;

상기 고장 후보군의 개수가 기 설정된 조건 이상일 경우 회로 내 존재하는 고장이 다중 고장인 경우로 판단하고, 고장 유형을 테스트하는 단계;

상기 고장 유형 테스트 결과 고착 고장을 포함하지 않는다고 판단되는 경우, 1 비트 신호를 이용하여 제어 신호를 변경시켜 목표 셀을 하나 씩 상기 고장 후보군에서 제외시키는 단계; 및

상기 고장 유형 테스트 결과 고착 고장을 포함한다고 판단되는 경우, 초기화 용 신호와 테스트 용 신호의 2 비트 신호를 함께 쉬프팅(shifting) 시키는 방식으로 진단 테스트를 시행하는 단계;를 포함하는 것을 특징으로 하는 다중 고장을 진단하는 방법.

청구항 5

삭제

발명의 설명

기술 분야

[0001] 본 발명은 다중 고장을 진단하기 위한 장치 및 방법에 관한 것으로, 특히 스캔 체인에 존재하는 고장들을 진단하기 위한 장치 및 방법에 관한 것이다.

배경 기술

[0002] 반도체 공정의 집적도 및 구조적 복잡도 증가에 따라 공정 과정에서 발생하는 고장이 증가하게 되는데, 이로 인한 수율 감소 문제 해결을 위해서는 발생한 고장의 위치 및 원인을 분석하는 고장 진단이 필수적이다. 또한 테

스트 시 회로 내부에 대한 관측성 및 제어성 확대를 위하여 일반적으로 스캔 기반 테스트를 진행하게 되는데, 스캔 기반 테스트를 위해서는 우선적으로 스캔 체인의 정상 동작 보장이 요구되므로 스캔 체인 내 고장의 정확한 진단이 중요하다. 이러한 스캔 체인 진단은 크게 추가적 하드웨어 없이 테스트 알고리즘만을 이용해 진단을 수행하는 소프트웨어 기반의 진단 방식 및 하드웨어 추가 및 구조 변경 후 해당 구조를 이용한 진단을 수행하는 하드웨어 기반 진단 방식으로 나뉘는데, 하드웨어 기반 방식의 경우 소프트웨어 기반 진단 방식 대비 진단 성능을 극대화 할 수 있으나 대부분 단일 고장의 진단에 치중되어 연구가 진행되어 왔다. 하지만 실제 초기 공정 단계에서는 회로 내 수많은 부분에 고장이 발생하여, 이러한 많은 수의 고장에 대한 정확한 진단 방법이 요구되고 있다.

[0003] 종래의 경우 추가적 하드웨어를 사용한 진단 기술들의 경우에도 대부분 스캔 체인 내 존재하는 단일 고장 고착 고장 또는 단일 변이 지연 고장에 대한 진단만을 목표로 하고 있으며, 다중 고장에 대한 진단이 가능한 기술의 경우 진단이 가능하긴 하나 수많은 추가적인 테스트 핀을 요구함에도 회로 내 고장 개수가 증가함에 따라 고장 진단 해상도가 급격히 감소한다.

[0004] 이에 따라, 고착 고장과 변이 지연 고장 모두에 대하여 많은 수의 고장에 대해서도 높은 진단 해상도로 고장 위치를 진단하는 기술이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법으로, 스캔 경로를 다양하게 변경시켜 가며 여러 경로로의 플러시 패턴 기반 테스트를 진행해 일차적으로 고장 후보군을 좁힌 뒤, 1차 진단된 고장 후보군들에 대한 추가적인 테스트를 통해 고장 후보군을 더욱 좁혀 나가는 방식으로 고해상도 고장 진단을 수행하는데 그 목적이 있다.

[0006] 또한, 스캔 경로 변경을 위하여 사용되는 경로 제어 신호들의 경우 최적화된 제어 신호 연결 알고리즘을 통하여 추가 테스트 핀 사용을 최소화 할 수 있으며, 2단계로 진행되는 진단 테스트를 통해 회로 내 다수의 고장에 대해서도 고해상도 진단으로 정확한 고장 위치들을 추정하여 추후 고장 분석 비용을 크게 감소시키는데 또 다른 목적이 있다.

[0007] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위해, 본 발명의 일 실시예에 따른 다중 고장을 진단하기 위한 장치는, 제1 열을 기준으로 다수개의 제1 스캔 셀들이 배치되는 제1 스캔 셀 집합 및 상기 제1 열에 인접한 제2 열을 기준으로 다수개의 제2 스캔 셀들이 배치되는 제2 스캔 셀 집합을 포함하며, 상기 제2 스캔 셀은, 상기 제1 스캔 셀이 인접한 상기 제2 열에 포함된 제2 스캔 셀들 중 하나를 선택하여 경로를 변경하도록 경로 셀렉터(path selector)와 스캔 플립 플롭(SFF)를 포함하는 구조이다.

[0009] 여기서, 상기 제2 열에 인접한 제3 열을 기준으로 다수개의 제3 스캔 셀들이 배치되는 제3 스캔 셀 집합을 더 포함하며, 상기 제2 스캔 셀과 상기 제3 스캔 셀은 제어 신호 연결 알고리즘에 따라 멀티플렉서가 제어 신호와 연결된다.

[0010] 여기서, 상기 제1 스캔 셀 집합 내지 제3 스캔 셀 집합을 연결하는 복수개의 스캔 체인을 더 포함하며, 상기 제어 신호는, 상기 스캔 체인의 개수에 따라 셀 간격을 조정하여 특정 스캔 셀에서 경로를 변경한다.

[0011] 본 발명의 일 실시예에 따른 다중 고장을 진단하기 위한 방법은, 스캔 경로로의 플러시 테스트를 통하여 1차 고장 진단을 수행하여 고장 후보군의 개수를 식별하는 단계, 상기 고장 후보군의 개수가 기 설정된 조건 이상일 경우 회로 내 존재하는 고장이 다중 고장인 경우로 판단하고, 고장 유형을 테스트하는 단계 및 상기 고장 유형 테스트 결과 고착 고장을 포함하지 않는다고 판단되는 경우, 1 비트 신호를 이용하여 제어 신호를 변경시켜 목표 셀을 하나 씩 상기 고장 후보군에서 제외시키는 단계를 포함한다.

[0012] 여기서, 상기 고장 유형 테스트 결과 고착 고장을 포함한다고 판단되는 경우, 초기화 용 신호와 테스트 용 신호의 2 비트 신호를 함께 쉬프팅(shifting) 시키는 방식으로 진단 테스트를 시행하는 단계를 포함한다.

발명의 효과

- [0013] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 스캔 경로를 다양하게 변경시켜 가며 여러 경로로의 플러시 패턴 기반 테스트를 진행해 일차적으로 고장 후보군을 좁힌 뒤, 1차 진단된 고장 후보군들에 대한 추가적인 테스트를 통해 고장 후보군을 더욱 좁혀 나가는 방식으로 고해상도 고장 진단을 수행할 수 있다.
- [0014] 또한, 스캔 경로 변경을 위하여 사용되는 경로 제어 신호들의 경우 최적화된 제어 신호 연결 알고리즘을 통하여 추가 테스트 핀 사용을 최소화 할 수 있으며, 2단계로 진행되는 진단 테스트를 통해 회로 내 다수의 고장에 대해서도 고해상도 진단으로 정확한 고장 위치들을 추정하여 추후 고장 분석 비용을 크게 감소시킬 수 있다.
- [0015] 또한, 다중 경로 스캔 구조를 이용한 2단계 테스트를 통하여 스캔 체인 내 다수의 고장에 대해서도 정확한 진단을 수행할 수 있게 됨에 따라, 초기 공정 단계에서 발생하는 수많은 고장들에 대한 분석을 통해 전체 테스트 비용을 크게 줄일 수 있다. 이러한 다수 고장에 대한 고해상도 진단은 초기 공정 단계에서의 수율 개선속도를 향상시킬 수 있다.
- [0016] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0017] 도 1은 다중 고장의 진단을 위한 기존 2차원 스캔 구조를 나타낸 도면이다.
- 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치를 나타낸 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치의 제어 신호 연결 알고리즘을 나타낸 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 방법을 나타낸 흐름도이다.
- 도 5는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 단일 고장 진단을 예로 들어 도시한 것이다.
- 도 6은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 다중 고장 진단을 예로 들어 도시한 것이다.
- 도 7은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 고착 고장이 포함되지 않은 다중 고장에 대한 진단을 예로 들어 도시한 것이다.
- 도 8 및 도 9는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 고착 고장이 포함된 다중 고장에 대한 진단을 예로 들어 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명에 관련된 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 대하여 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.
- [0019] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다.
- [0020] 본 발명은 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 관한 것이다.
- [0021] 도 1은 다중 고장의 진단을 위한 기존 2차원 스캔 구조를 나타낸 도면이다.
- [0022] 도 1은 다중 고장의 진단을 위한 2차원 방식 스캔 구조의 개괄도이다. 가로 방향으로의 쉬프팅(shifting) 동작만이 가능하였던 기타 스캔 구조들과 달리, 스캔 셀 당 하나씩의 멀티플렉서 배치를 통하여 가로 방향 이외에도 세로 방향의 쉬프팅(shifting) 동작이 가능하게 하였다. 이를 통하여 각 스캔 체인 내에서 하나의 고장 위치만을 진단 할 수 있었던 기존 1차원 스캔 구조들과 달리 가로, 세로, 대각선 방향으로의 플러시 패턴 테스트를 통하여 스캔 체인 내 다중 고장이 존재하는 경우에도 고장 위치들을 진단해 낼 수 있다. 플러시 패턴 기반 테스트

를 통해 고착 및 변이 지연 고장 모두에 대하여 다중 고장 상황에서도 고장 위치들을 진단해 낼 수 있으나, 세로 방향으로의 패턴 인가를 위하여 스캔 체인의 길이가 증가함에 따라 추가되는 테스트 핀 수가 증가하며, 고장 개수 증가에 따라 고장 하나 당 진단되는 고장 후보군 개수가 크게 증가하여 많은 수의 고장에 대해서는 높은 진단 해상도를 확보하는 것이 불가능하다.

[0023] 종래의 경우, 스캔 체인 내 고장 진단 시의 진단 성능을 극대화하기 위하여 하드웨어 기반의 스캔 체인 진단 방식들이 많이 연구되어 왔으나, 대부분의 연구는 스캔 체인 내 단일 고장의 진단에 집중되어 왔으며 다중 고장 진단을 위한 연구는 미흡하다. 공정 안정화 이전의 초기 공정 단계에서는 실제로 회로 내 수많은 부위에 고장이 발생하여, 이러한 많은 수의 고장에 대한 정확한 진단이 가능하지 않다면 추후 진단된 고장 위치들을 실제로 분석하는 PFA 과정에서의 비용이 크게 증가하게 된다. 다중 고장에 대한 진단이 가능한 기존 방식의 경우 다중 고장에 대한 진단은 가능하나, 많은 수의 추가 테스트 핀을 요구함에도 불구하고 고장 개수 증가에 따라 진단 해상도가 크게 떨어지는 문제가 있었다. 이를 해결하기 위해 이에 따라, 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법은 하기 도 2에 나타난 다중 스캔 체인 구조를 이용하여 최적화된 핀 연결 알고리즘 및 진단 해상도 극대화를 위한 2단계 테스트를 통해 적은 수의 핀으로도 다수 고장에 대해 높은 진단 해상도를 확보하고자 한다.

[0024] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치를 나타낸 도면이다.

[0025] 도 2a 및 도 2b는 스캔 경로 변경을 위해 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치의 다중 경로 스캔 구조를 나타낸다.

[0026] 도 2a는 다중 경로 스캔 구조의 전체적 구조도이고, 도 2b는 다중 경로 스캔 구조를 위한 스캔 셀 구조를 나타낸 것이다.

[0027] 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치(1)는 스캔 체인에 존재하는 고장들을 진단함에 있어, 추가적인 장치 및 해당 장치를 이용한 진단 방법을 통해 로직 영역에의 고장 여부와 무관하게 다중 고장에 대해서도 고착 고장과 변이 지연 고장 모두에 대하여 높은 해상도로 고장 위치들에 대한 진단이 가능한 장치이다.

[0028] 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치(1)는 고해상도 진단 테스트를 위한 다양한 스캔 경로의 확보가 가능하게 하는 다중 경로 스캔 구조와, 이를 이용하여 확보된 다양한 스캔 경로를 이용하여 스캔 체인 내 발생한 고장들에 대한 진단을 수행하는 진단 테스트 알고리즘으로 이루어진다.

[0029] 도 2a 및 도 2b에 나타난 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치(1)는 제어 신호 인가를 통한 인접 스캔 체인으로의 경로 변경을 통해 획득한 다양한 스캔 경로로의 플러시 패턴 기반 테스트로 회로 내 고장들에 대한 진단을 수행한다. 단일 고장에 대해서는 제안하는 테스트 알고리즘에 따른 몇 번의 플러시 패턴 테스트만으로 고장 위치를 정확하게 진단해 낼 수 있으며, 실제 고장 위치 이외에도 고장이 없는 위치들이 고장 후보군으로 함께 진단되는 다중 고장에 대해서는 경로를 변경시켜 가며 목표로 한 고장 후보 위치에 1 bit 혹은 2 bit 신호를 이용한 테스트를 진행하여 테스트 통과 시 해당 위치를 고장 후보군에서 제거해주는 방식으로 진단 해상도를 향상시킬 수 있다.

[0030] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치는 제1 열을 기준으로 다수개의 제1 스캔 셀들이 배치되는 제1 스캔 셀 집합 및 상기 제1 열에 인접한 제2 열을 기준으로 다수개의 제2 스캔 셀들이 배치되는 제2 스캔 셀 집합을 포함한다. 여기서, 제1 스캔 셀은 스캔 플립플롭(scan flip flop, SFF)으로 구현되는 것이 바람직하다.

[0031] 또한, 상기 제2 열에 인접한 제3 열을 기준으로 다수개의 제3 스캔 셀들이 배치되는 제3 스캔 셀 집합을 더 포함한다.

[0032] 도 2b를 참조하면, 상기 제2 스캔 셀(10)은, 경로 선택 가능한 스캔 플립플롭(path-selectable scan flip flop, PSFF)으로 구현되며, 상기 제1 스캔 셀이 인접한 상기 제2 열에 포함된 제2 스캔 셀들 중 하나를 선택하여 경로를 변경하도록 경로 선택터(path selector)(11)와 스캔 플립 플롭(SFF)(12)를 포함하는 구조이다.

[0033] 상기 제2 스캔 셀과 상기 제3 스캔 셀은 제어 신호 연결 알고리즘에 따라 멀티플렉서가 제어 신호와 연결된다.

[0034] 제1 스캔 셀 집합 내지 제3 스캔 셀 집합을 연결하는 복수개의 스캔 체인을 더 포함하며, 상기 제어 신호는, 상

기 스캔 체인의 개수에 따라 셀 간격을 조정하여 특정 스캔 셀에서 경로를 변경한다.

- [0035] 도 2a와 같이, 각 스캔 셀 SFF들을 도 2b와 같이 인접 스캔 체인으로의 경로 변경이 가능한 PSFF로 변경해 준 뒤 하기 도 3의 멀티플렉서 제어 신호 연결 알고리즘에 따라 다중 경로 스캔 구조의 각 열에 있는 PSFF들의 멀티플렉서를 제어 신호들과 연결해 준다. 멀티플렉서 제어 신호 연결의 경우 전체 스캔 체인의 개수가 N_{sc} 일 때, 0부터 1씩 증가하는 j 에 대하여 N_{sc}^j 의 배수 + 1번째 셀 마다 멀티플렉서 제어 신호 c_j 를 연결하여 N_{sc}^j 의 배수 번째 셀 뒤에서 경로 변경이 일어날 수 있도록 한다. 해당 알고리즘에 대한 예시는 도 5에 나타나 있으며, 스캔 체인 개수가 2개일 때 2^3 개 셀 간격으로 멀티플렉서 제어 신호 c_3 가, 2^2 , 2^1 및 2^0 개 셀 간격으로 c_2 , c_1 및 c_0 가 각 위치에서의 경로 변경을 담당하게 되는 것을 확인 할 수 있다.
- [0036] 기존의 하드웨어 기반 스캔 체인 고장 진단 방법들은 추가적인 하드웨어를 이용하여 고장 진단 시의 해상도를 극대화 할 수 있으나, 대부분 스캔 체인 내 단일 고장의 진단에 치중되어 왔다. 다중 고장에 대한 진단이 가능한 방법의 경우에도 진단 자체는 가능하지만, 구조 적용을 위하여 많은 추가 테스트 핀을 요구함에도 회로 내 고장 개수 증가에 따라 진단 해상도가 급격히 떨어지는 문제가 있었다. 실제 공정 안정화 이전의 초기 공정 단계에서는 수많은 고장이 발생하는데, 이러한 많은 수의 고장에 대한 높은 해상도로의 정확한 진단 방법 없이는 추후 진단된 고장 후보 위치들에 대한 물리적 분석에 소요되는 시간 및 비용이 크게 증가하게 된다.
- [0037] 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치는 이를 위해 적은 수의 테스트 핀으로도 많은 수의 스캔 체인 고장에 대하여 고해상도 진단이 가능한 장치 및 이를 이용한 진단 방법을 제안한다. 이 방법은 제안하는 장치를 이용하여 스캔 경로를 다양하게 변경시켜 가며 여러 경로로의 플러시 패턴 기반 테스트를 진행해 일차적으로 고장 후보군을 좁힌 뒤, 1차 진단된 고장 후보군들에 대한 추가적인 테스트를 통해 고장 후보군을 더욱 좁혀 나가는 방식으로 고해상도 고장 진단을 수행한다. 스캔 경로 변경을 위하여 사용되는 경로 제어 신호들의 경우 최적화된 제어 신호 연결 알고리즘을 통하여 추가 테스트 핀 사용을 최소화 할 수 있으며, 2단계로 진행되는 진단 테스트를 통해 회로 내 다수의 고장에 대해서도 고해상도 진단으로 정확한 고장 위치들을 추정하여 추후 고장 분석 비용을 크게 감소시킬 수 있다.
- [0038] 도 3은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치의 제어 신호 연결 알고리즘을 나타낸 도면이다.
- [0039] 도 3은 다중 경로 스캔 구조에서의 경로 변경을 위해 사용되는 멀티플렉서 제어 신호 연결 알고리즘을 나타낸다.
- [0040] 도 3에 나타난 멀티플렉서 제어 신호 연결 알고리즘에 따라 다중 경로 스캔 구조의 각 열에 있는 PSFF들의 멀티플렉서를 제어 신호들과 연결해 준다.
- [0041] 도 4는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 방법을 나타낸 흐름도이다.
- [0042] 도 4는 다중 경로 스캔 구조를 이용한 고장 진단 테스트의 전체적인 순서도를 나타낸다.
- [0043] 도 4는 제안하는 다중 경로 스캔 구조를 이용한 전체적인 진단 과정의 흐름도를 나타낸다. 우선 배치된 멀티플렉서 제어 신호 조작을 통해 확보된 다양한 스캔 경로로의 플러시 테스트를 통하여 1차 고장 진단을 진행하는데, 이 때 진단된 고장 후보군의 개수가 1개일 경우 회로 내 존재하는 고장이 하나일 경우로, 정확한 고장 위치의 진단이 완료된 것으로 간주하여 진단을 종료한다. 이후 고장 후보군의 개수가 2개 이상일 경우 회로 내 존재하는 고장이 다중 고장인 경우로, 다중 고장 진단 시의 해상도 향상을 위한 추가 테스트 진행에 앞서 존재하는 고장들의 유형을 우선 간단한 고장 유형 테스트를 통해 진행한 뒤 추가 테스트를 진행한다. 고장 유형 테스트의 경우 다음과 같이 먼저 모든 스캔 인(scan in) 포트에 0을 인가해 준 상태를 유지하며 스캔 체인 길이 만큼의 클락 사이클 동안의 쉬프팅(shifting)을 진행해 주며 스캔 아웃(scan out) 포트에서의 출력 결과를 확인 하고, 이후 모든 스캔 인(scan in) 포트에 1을 인가해 준 상태로 같은 동작을 수행하여 두 테스트 모두에서 출력 결과에 이상 없이 0, 1이 출력되었을 경우 회로 내 고착 결함은 존재하지 않는다고 판단하는 식으로 진행된다.
- [0044] 구체적으로, 도 4를 참조하면, 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 방법은 다중 경로 스캔 구조를 이용하며, 단계 S100에서 스캔 경로로의 플러시 테스트를 통하여 1차 고장 진단을 수행하여 고장 후보군의 개수를 식별한다.
- [0045] 단계 S200에서 상기 고장 후보군의 개수를 판단하여, 고장 후보군의 개수가 기 설정된 조건 이상일 경우 회로

내 존재하는 고장이 다중 고장인 경우로 판단하고, 단계 S300에서 고장 유형을 테스트한다.

- [0046] 단계 S400에서 상기 고장 유형 테스트 결과 고착 고장을 포함하지 않는다고 판단되는 경우, 단계 S500에서 1 비트 신호를 이용하여 제어 신호를 변경시켜 목표 셀을 하나씩 상기 고장 후보군에서 제외시킨다.
- [0047] 상기 고장 유형 테스트 결과 고착 고장을 포함한다고 판단되는 경우, 단계 S600에서 초기화 용 신호와 테스트 용 신호의 2 비트 신호를 함께 쉬프팅(shifting) 시키는 방식으로 진단 테스트를 시행한다.
- [0048] 도 5는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 단일 고장 진단을 예로 들어 도시한 것이다.
- [0049] 도 5는 다중 경로 스캔 구조를 이용한 1차 플러시 테스트 시의 단일 고장 진단 예시를 보여준다.
- [0050] 도 5는 다중 경로 스캔 구조를 이용한 1차 진단 과정인 플러시 패턴 테스트 과정에서의 단일 고장에 대한 예시를 나타낸다. 플러시 테스트의 경우 도 5와 같이 배치된 멀티플렉서 제어 신호를 조작하여 경로 변경의 주기가 긴 순서에서 짧은 순서로 점차 감소되도록 스캔 경로를 설정해 준 뒤, 해당 경로로 플러시 패턴 테스트를 진행하는 식으로 진행된다. 우선 모든 멀티플렉서 제어 신호를 끈 상태로 기본 스캔 경로로의 플러시 패턴 테스트를 진행한 뒤 각 멀티플렉서 컨트롤 신호 c_j 를 하나씩 켜 주며 플러시 패턴 테스트를 진행하게 되는데, 도 5에서와 같이 해당 테스트를 통하여 단일 고장에 대해서는 몇 회의 플러시 패턴 테스트만으로 고장 위치를 정확하게 진단해 내는 것이 가능하다.
- [0051] 도 6은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 다중 고장 진단을 예로 들어 도시한 것이다.
- [0052] 도 6은 다중 경로 스캔 구조를 이용한 1차 플러시 테스트 시의 다중 고장 진단 예시를 보여준다.
- [0053] 도 6는 다중 경로 스캔 구조를 이용한 1차 진단 과정인 플러시 패턴 테스트 과정에서의 다중 고장에 대한 예시를 나타낸다. 정확한 고장 위치만이 진단되었던 단일 고장에서의 경우와 달리, 다중 고장 존재 시 도 6에서와 같이 정확한 고장 이외에도 불필요한 고장 후보군들이 함께 진단된다. 도 6에서는 3개의 고장에 대하여 플러시 테스트 종료 이후 10개의 고장 후보군이 진단되고 있으며, 이러한 다중 고장에 대한 진단 시의 불필요한 고장 후보군을 감소시켜 진단 해상도를 향상시키기 위하여 고장 유형 테스트 이후 추가적인 테스트가 진행된다.
- [0054] 도 7은 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 고착 고장이 포함되지 않은 다중 고장에 대한 진단을 예로 들어 도시한 것이다.
- [0055] 도 7은 고착 고장이 포함되지 않은 다중 고장에 대한 진단 시, 1차 테스트 이후 진단 해상도 향상을 위해 추가로 적용되는 1 비트 신호 테스트의 예시를 보여준다.
- [0056] 도 7은 1차 플러시 패턴 테스트 결과 고장 후보군이 2개 이상으로 진단되어 다중 고장으로 판단되었으며, 고장 유형 테스트 결과 고착 고장을 포함하지 않는다고 판단되었을 때 적용 가능한 1 비트 테스트의 개념도를 나타낸다. 본 발명에서 고려하는 고장은 고착 고장 및 변이 지연 고장으로, 고착 고장이 없는 것으로 파악되어 변이 지연 고장들만이 있다고 파악되었을 경우 고장 유형 테스트에서와 같이 0 또는 1 값을 충분히 긴 시간 동안 쉬프팅(shifting) 시켜 회로 내 모든 셀(cell)들을 원하는 값으로 초기화 시켜주는 것이 가능하다. 이러한 초기화 과정 이후 도 7에서와 같이 초기화 시켜준 값과 반대 값을 1 비트 길이로 쉬프팅(shifting) 도중에도 멀티플렉서 제어 신호를 변경시켜 가며 고장 후보군으로 진단된 셀들을 피해 목표 셀에 인가해 준다면, 이후 목표 셀에 대한 패턴 인가 결과를 마찬가지로 외부로 출력시켜 정상 출력 결과를 보일 경우 목표 셀을 하나 씩 고장 후보군에서 제외시켜 줄 수 있다.
- [0057] 도 8 및 도 9는 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법에 따른 고착 고장이 포함된 다중 고장에 대한 진단을 예로 들어 도시한 것이다.
- [0058] 도 8은 고착 고장이 포함된 다중 고장에 대한 진단 시, 1차 테스트 이후 진단 해상도 향상을 위해 추가로 적용되는 2 비트 신호 테스트의 예시를 보여준다.
- [0059] 도 8은 1차 플러시 패턴 테스트 결과 다중 고장으로 판단되었으며, 고장 유형 테스트 결과 고착 고장을 포함하고 판단되었을 때 적용 가능한 2비트 테스트의 개념도를 나타낸다. 회로 내 고착 고장이 존재할 경우 긴 시간동안의 패턴 쉬프팅(shifting)을 통하여 셀을 초기화하는 것이 불가능하므로, 이 경우 초기화 용 신호와 테스트 용 신호의 2 비트 신호를 묶어 함께 쉬프팅(shifting)시키는 식으로 진단 테스트를 진행한다. 변이 지연 고장 없이 고착 고장만 존재할 경우 초기화가 필요하지 않으나, 본 발명에서 제안하는 고장 유형 테스트에서는 변이

지연 고장 유무를 파악할 수 없으므로 변이 지연 고장과 고착 고장이 함께 있음을 가정하고 2 비트 테스트를 진행한다. 도 8과 같이 가로 방향으로 이어진 2 비트 신호 또는 대각 방향으로 이어진 2 비트 신호를 이용한 테스트가 가능하며, 해당 방식을 통하여 고착 고장 존재 시에도 진단 해상도 향상을 위한 추가 테스트가 가능하다.

[0060] 도 9는 1 비트 신호 테스트로는 진단이 가능하나 2 비트 신호 테스트로는 진단이 불가능한 경우의 예시를 보여준다.

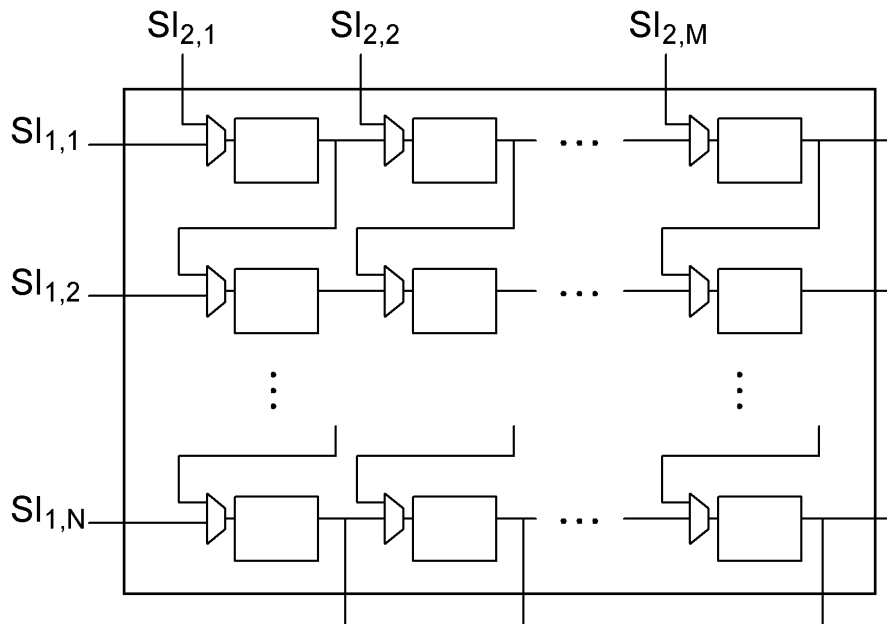
[0061] 도 9와 같이 1 비트 신호로는 테스트가 가능하지만 2 비트 신호로는 테스트가 불가능한 상황들이 발생하게 되므로, 고착 고장 존재 시에는 고장 후보군에서 제외시킬 수 있는 셀이 한정되어 최종 진단 이후의 해상도가 약간 감소하게 된다.

[0062] 본 발명의 일 실시예에 따른 스캔 체인 내 다중 고장을 진단하기 위한 장치 및 방법은 공정 안정화 이전의 초기 공정 단계에서 발생하는 수많은 고장들에 대하여 높은 해상도로 고장 위치를 진단해 낼 수 있게 됨에 따라, 실제 고장 발생 위치들에 대한 공정 개선을 통하여 공정 수율을 빠르게 개선할 수 있다. 또한 본 기술은 진단 시 로직 영역으로의 캡처 동작을 수반하지 않으므로, 로직 영역에의 고장 유무와 무관하게 정확도 높은 고장 진단을 수행해 낼 수 있다.

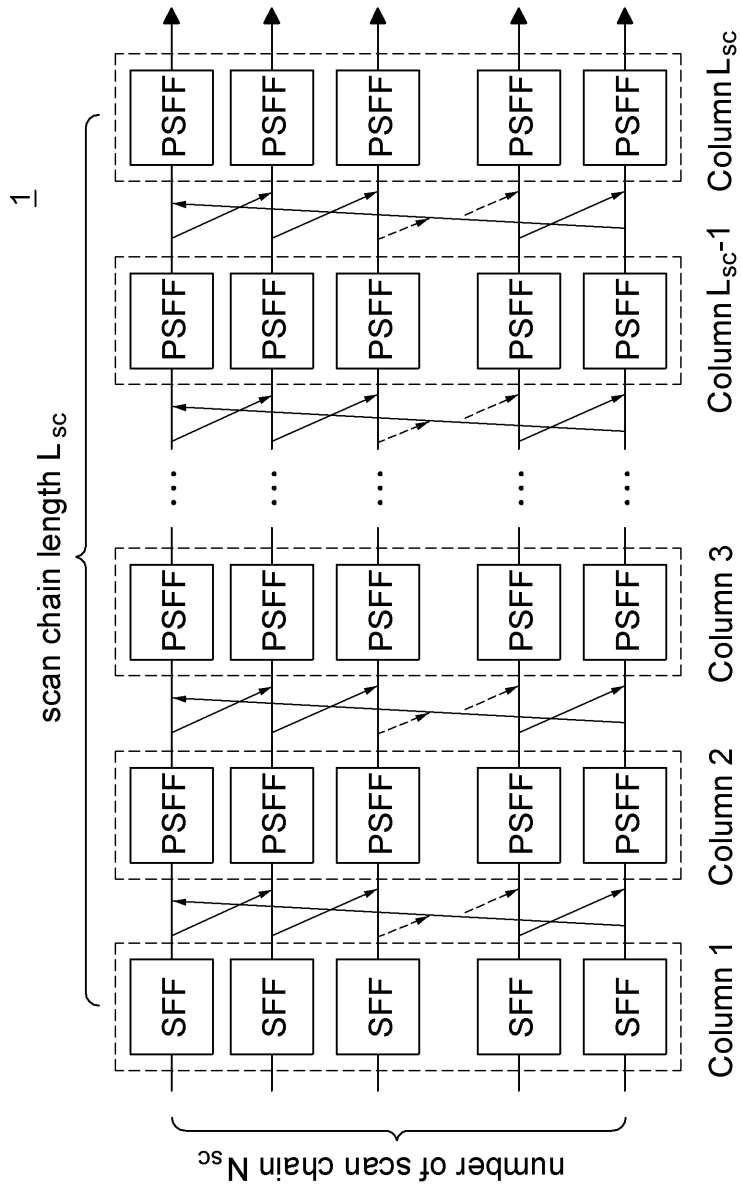
[0063] 이상의 설명은 본 발명의 일 실시예에 불과할 뿐, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 본질적 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현할 수 있을 것이다. 따라서 본 발명의 범위는 전술한 실시예에 한정되지 않고 특허 청구 범위에 기재된 내용과 동등한 범위 내에 있는 다양한 실시 형태가 포함되도록 해석되어야 할 것이다.

도면

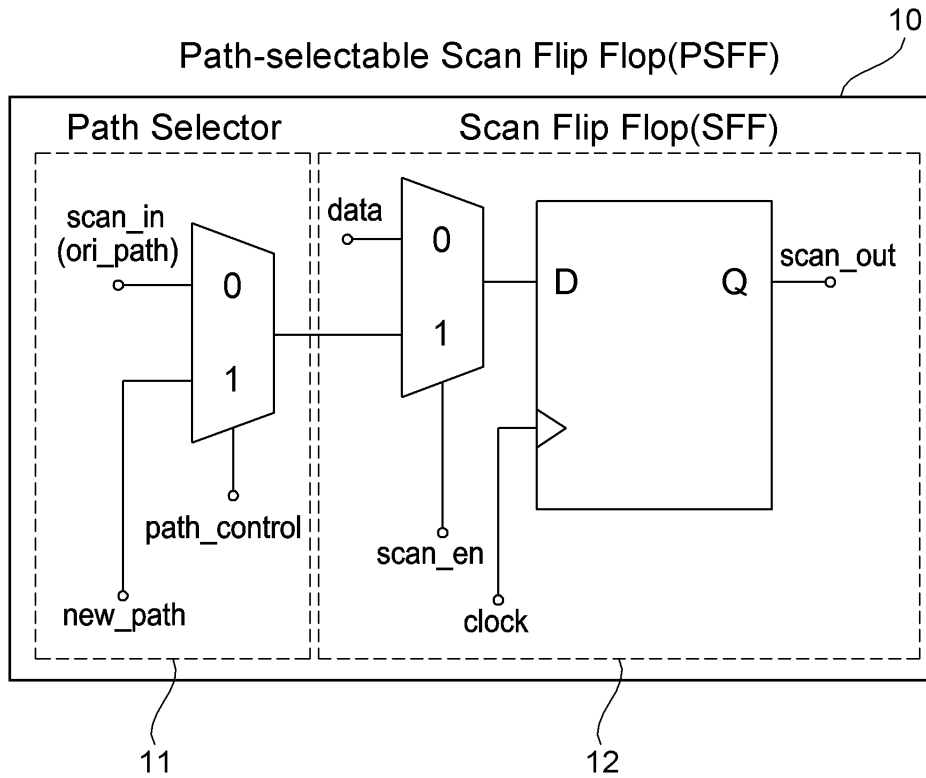
도면1



도면2a



도면2b



도면3

Multiplexer Control Signal Connection Algorithm

L_{sc} is length of the scan chain

N_{sc} is number of the scan chains

$$N_{mc} = \lceil \log_{N_{sc}}(L_{sc} - 1) \rceil + 1$$

for $i = 1$ to $L_{sc} - 1$ **do**

for $j = (N_{mc} - 1)$ to 0 **do**

if $i \bmod N_{sc}^j = 0$ **begin**

 Connect all the multiplexers of the PSFFs in the $(i + 1)^{th}$ column to the control signal c_j if no control signal is connected yet.

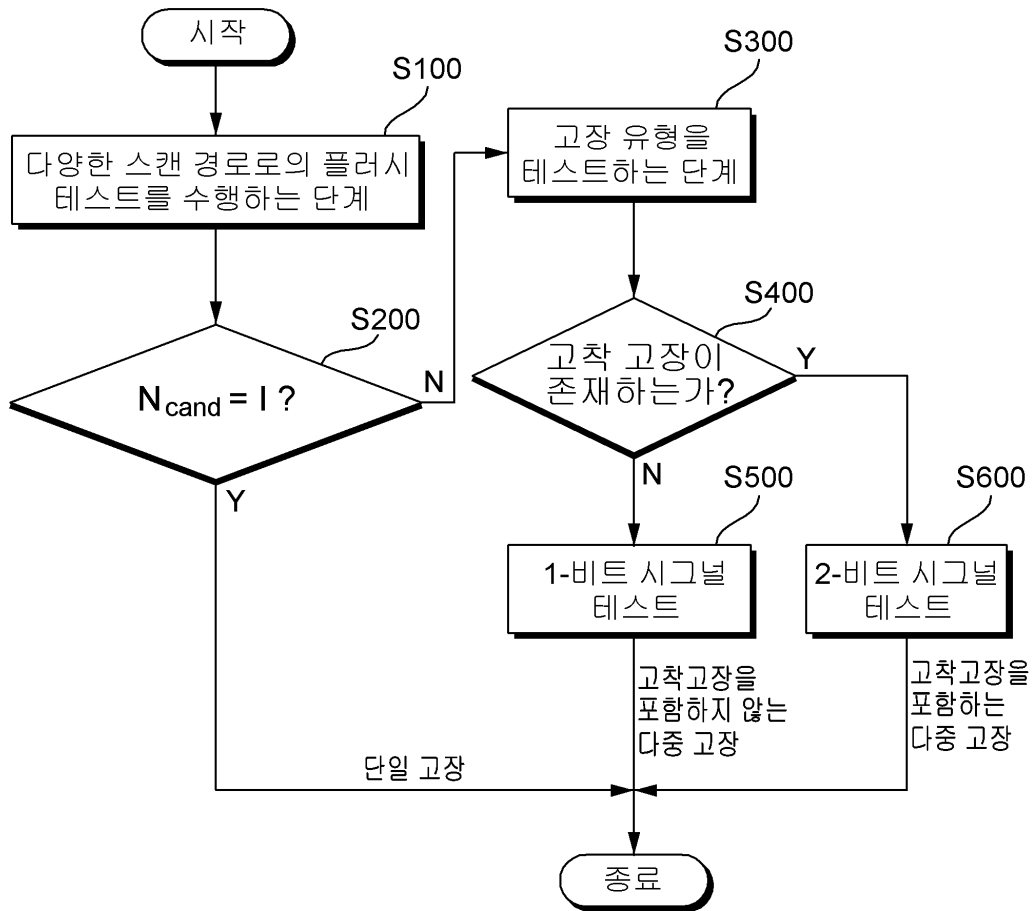
break

end

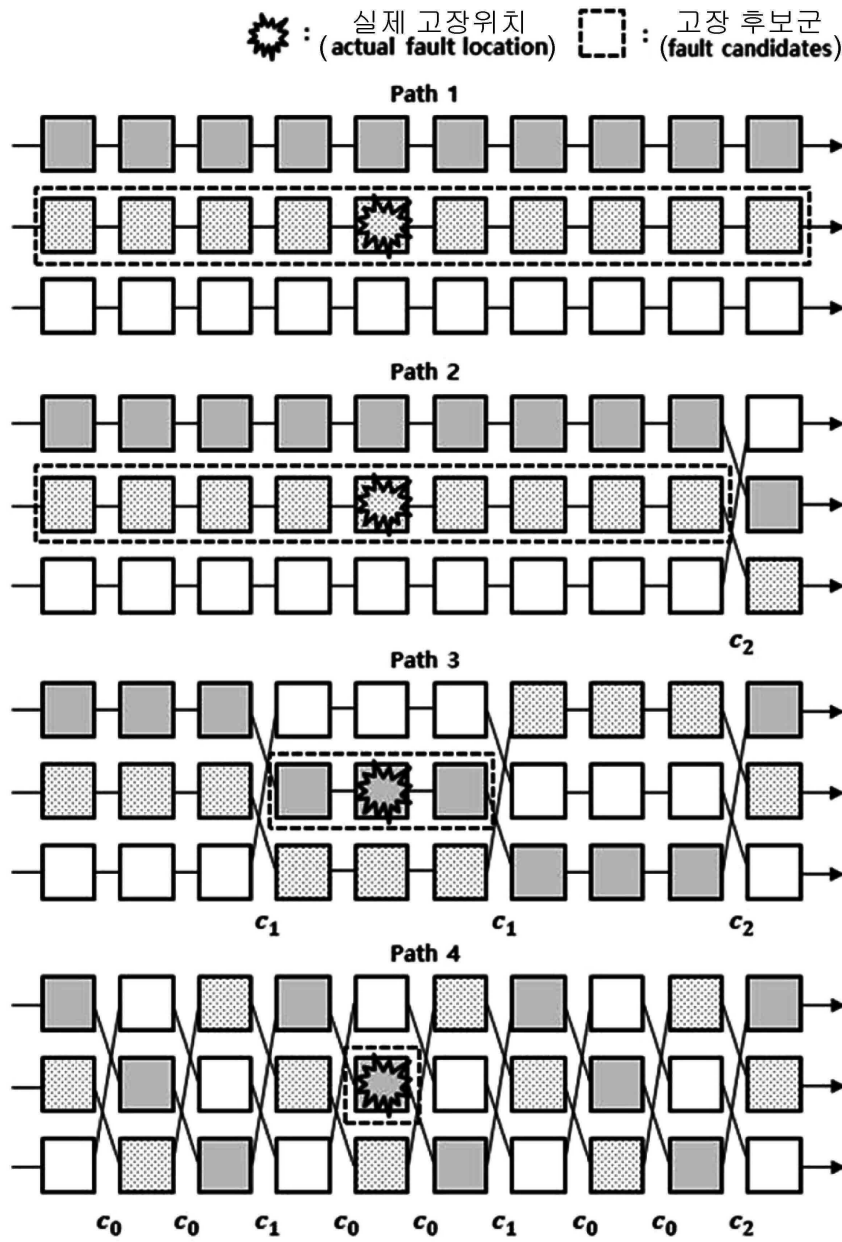
end for

end for

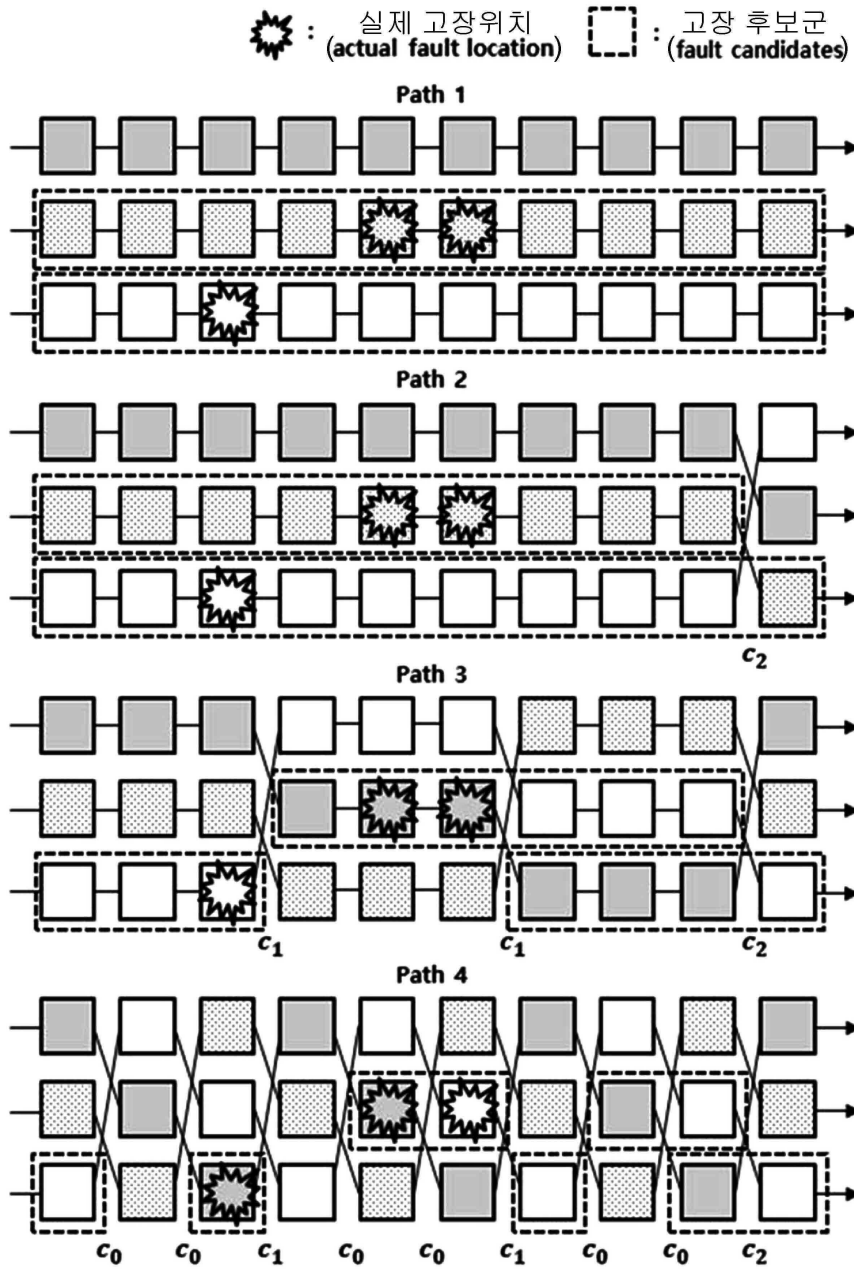
도면4



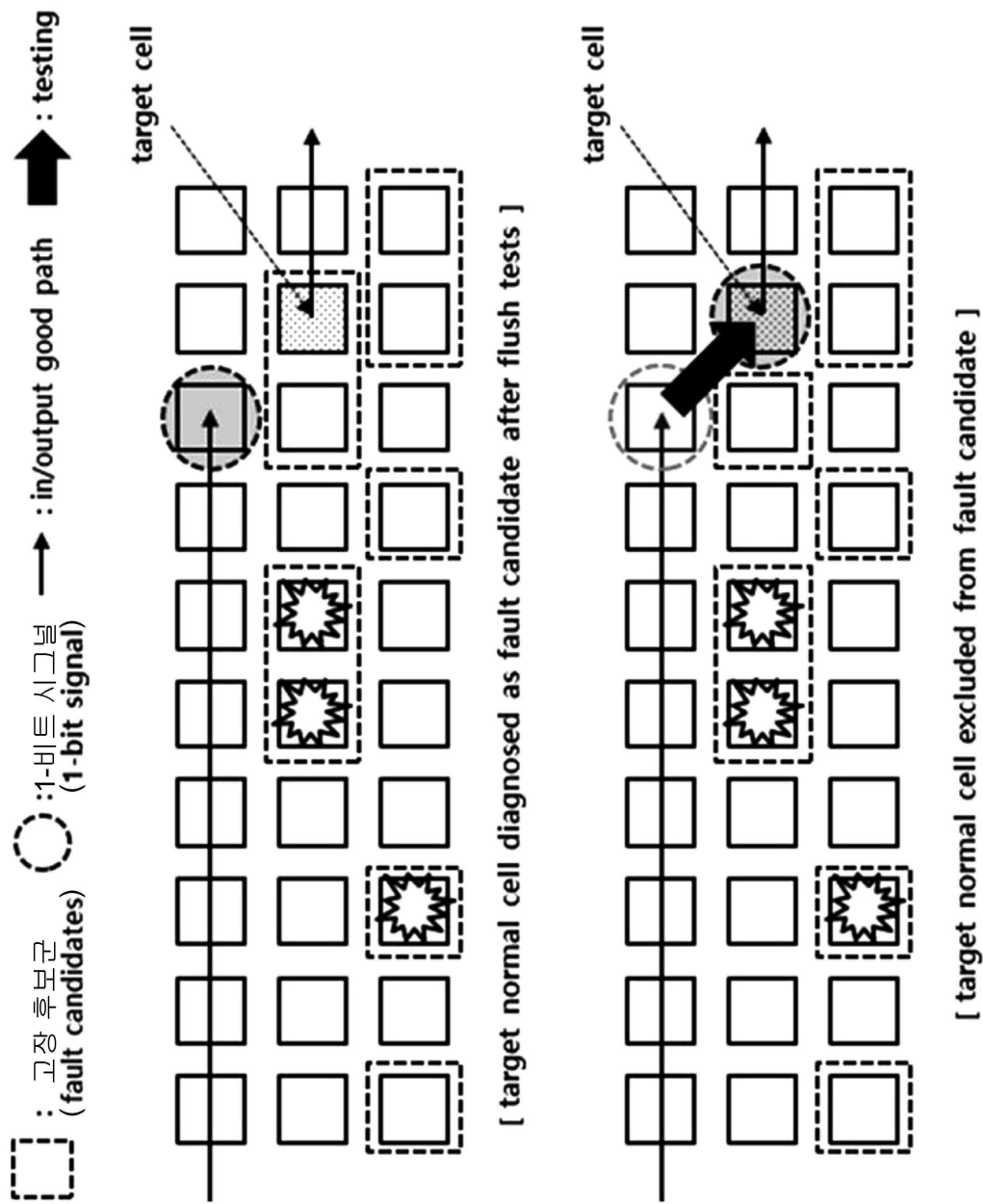
도면5



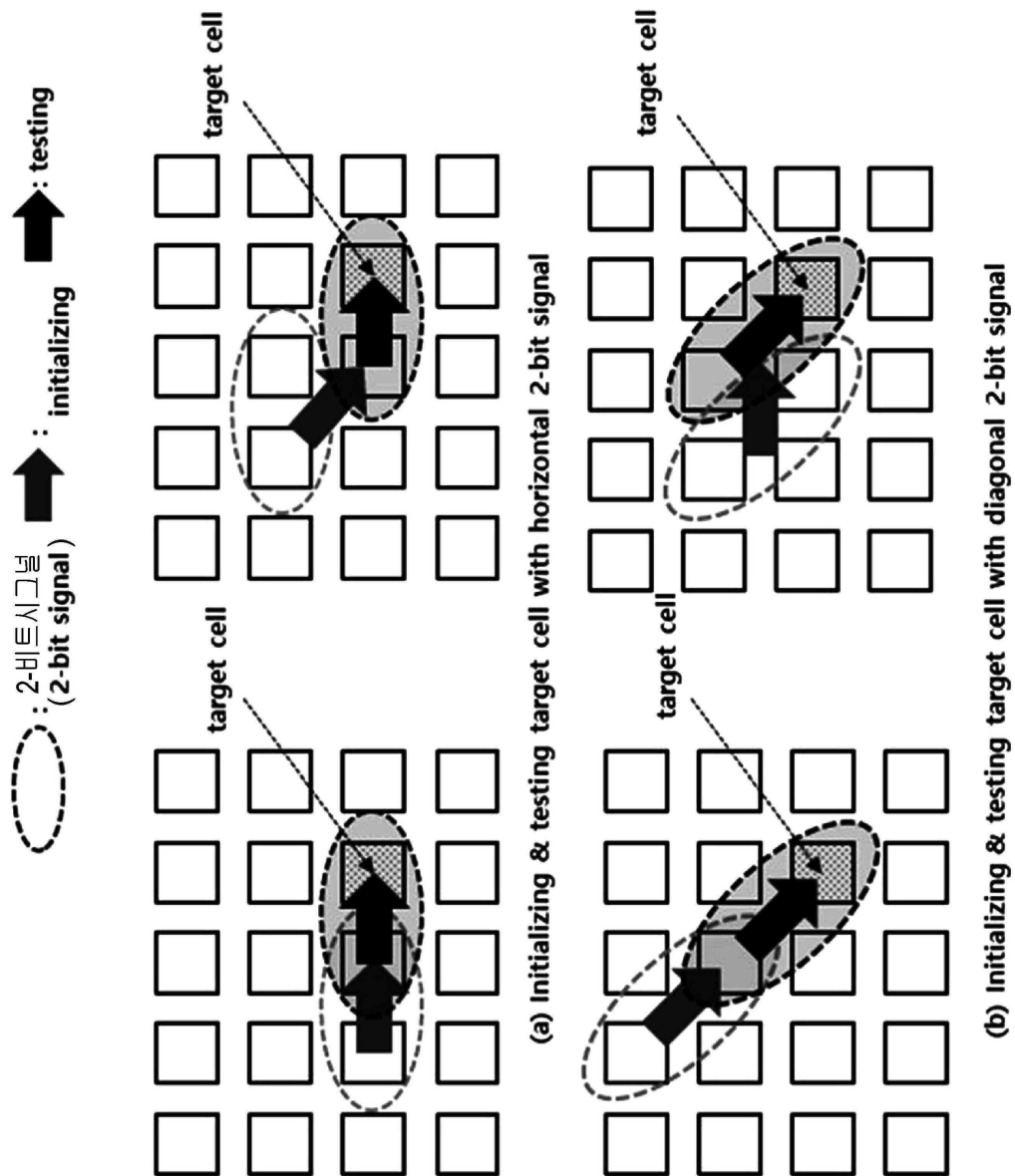
도면6



도면7



도면8



도면9

