



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월19일
(11) 등록번호 10-2205126
(24) 등록일자 2021년01월14일

(51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01) G01R 31/319 (2006.01)
G01R 31/3193 (2006.01)
(52) CPC특허분류
G01R 31/31725 (2013.01)
G01R 31/31922 (2013.01)
(21) 출원번호 10-2019-0169234
(22) 출원일자 2019년12월17일
심사청구일자 2019년12월17일
(56) 선행기술조사문헌
KR101957412 B1*
US20070046348 A1*
JP2011135492 A
JP2016062351 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
윤홍일
서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)
임태건
대전광역시 서구 청사로 254, 107동 903호(둔산동, 등지아파트)
(74) 대리인
특허법인우인

전체 청구항 수 : 총 4 항

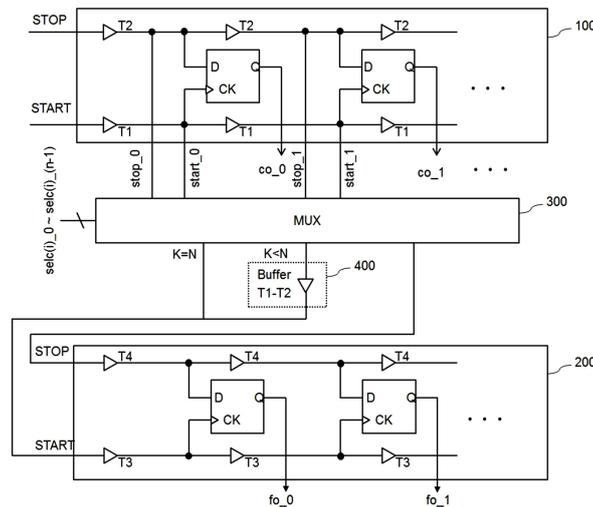
심사관 : 권민정

(54) 발명의 명칭 보스트용 버니어 지연 선을 이용한 저면적의 버퍼를 활용하는 효율적인 스쿼 측정 장치

(57) 요약

본 실시예들은 낮은 상세 수준의 지연선에서 높은 상세 수준의 지연선으로 신호를 전달할 때, 멀티플렉서를 통과시킨 K+1 번째의 낮은 상세 수준의 버니어 지연 선의 정지 신호에 낮은 상세 수준의 한 단의 시간 해상도만큼의 추가적인 버퍼를 인가하여 K+1 번째의 신호를 전달하되 K 번째의 두 신호 차이를 높은 상세 수준의 버니어 지연 선의 입력으로 전달하여, 시간 디지털 변환기의 면적을 감소시킨 스쿼 측정 장치를 제공한다.

대표도 - 도2



(52) CPC특허분류

G01R 31/31937 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711092411
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	차세대 반도체 테스트 핀 감소를 위한 built off self test (BOST) 기술 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.01 ~ 2019.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

제1 지연 시간으로 설정된 N(상기 N은 자연수) 단의 제1 지연선;

상기 제1 지연 시간보다 시간 해상도가 높은 제2 지연 시간으로 설정된 M(상기 M은 자연수) 단의 제2 지연선;
및

상기 제1 지연선에서 출력된 전기 신호를 상기 제2 지연선에 크로스하여 입력하는 멀티플렉서를 포함하며,

상기 멀티플렉서와 상기 제2 지연선 사이에 버퍼가 연결되며,

상기 제1 지연선에서 상기 N보다 작은 K(상기 K는 자연수) 번째 단에서 정지 신호와 시작 신호가 역전되면, 상기 멀티플렉서는 상기 버퍼를 이용하여 K+1 번째의 정지 신호를 상기 제1 지연 시간만큼 지연시킨 후 상기 제2 지연선에 전달하는 것을 특징으로 하는 스큐 측정 장치.

청구항 2

제1항에 있어서,

상기 버퍼는 상기 제1 지연 시간으로 설정되며, 상기 멀티플렉서를 통과한 신호가 상기 버퍼를 거쳐 상기 제2 지연선에 입력되는 것을 특징으로 하는 스큐 측정 장치.

청구항 3

제1항에 있어서,

상기 제1 지연선에서 상기 제1 지연선의 정지 신호와 상기 제2 지연선의 시작 신호가 역전되면, 상기 멀티플렉서는 상기 제1 지연선의 정지 신호를 상기 제2 지연선의 시작 신호로 입력하고, 상기 제1 지연선의 시작 신호를 상기 제2 지연선의 정지 신호로 입력하는 것을 특징으로 하는 스큐 측정 장치.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 제1 지연선에서 상기 N과 동일한 K 번째 단에서 정지 신호와 시작 신호가 역전되면, 상기 멀티플렉서는 상기 버퍼를 이용하지 않고 K 번째의 정지 신호를 상기 제2 지연선에 전달하는 것을 특징으로 하는 스큐 측정 장치.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 버니어 지연 선을 이용한 스큐 측정 장치에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 반도체 제조 테스트 분야에서 문제점 중 하나는 반도체 검사 장비의 동작 속도가 테스트 대상 회로에 비해 뒤쳐지는 점이다.

[0004] 반도체의 기술이 발달함에 따라 고 성능의 테스트 대상 회로(Device Under Test)의 성능 측정의 난이도가 점차

어려워졌다. 이를 해결하기 위해 보스트(Built-Off Self-Test)가 제안되었다. 보스트는 반도체 검사 장비와 테스트 대상 회로 사이의 성능격차에 따른 신뢰도 저하 문제를 해결하기 위한 장치이다. 보스트는 반도체 검사 장비와 테스트 대상 회로 사이에서 테스트 패턴의 전달과 그 응답을 받는 연결 고리 역할을 수행한다.

[0005] 신뢰성 있는 보스트를 위해서는, 테스트 전 보스트 모듈과 테스트 대상 회로 간 연결하는 핀들의 물리적 길이 차이로 인해 신호 간에 발생하는 스큐의 측정과 보상이 반드시 이루어져야 한다.

[0006] 이러한 스큐 측정은 시간 디지털 변환기에 의해 측정되며, 사용되는 시간 디지털 변환기의 회로는 버니어 지연선으로 구성되어 있다. 스큐의 넓은 범위와 좁은 범위를 측정하기 위해서는 낮은 상세 수준의 버니어 지연선과 높은 상세 수준의 버니어 지연선이 사용되며 기존의 방법은 낮은 상세 수준의 버니어 지연선에서 높은 상세 수준의 버니어 지연선으로 좁은 격차의 스큐를 온전하게 전달하기 위해서는 낮은 상세 수준의 버니어 지연선의 버퍼의 해상도만큼의 다수의 버퍼가 멀티플렉서의 입력단에 연결되며 이는 보스트 모듈의 면적 증가를 초래한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국등록특허공보 제10-1639064호 (2016.07.06)

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시예들은 낮은 상세 수준의 지연선에서 높은 상세 수준의 지연선으로 신호를 전달할 때, 멀티플렉서를 통과시킨 K+1 번째의 낮은 상세 수준의 버니어 지연선의 정지 신호에 낮은 상세 수준의 한 단의 시간 해상도만큼의 추가적인 버퍼를 인가하여 k+1 번째의 신호를 전달하되 K 번째의 두 신호 차이를 높은 상세 수준의 버니어 지연선의 입력으로 전달하여, 시간 디지털 변환기의 면적을 감소시키는 데 발명의 주된 목적이 있다.

[0009] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0010] 본 실시예의 일 측면에 의하면, 제1 지연 시간으로 설정된 N(상기 N은 자연수) 단의 제1 지연선, 상기 제1 지연 시간보다 시간 해상도가 높은 제2 지연 시간으로 설정된 M(상기 M은 자연수) 단의 제2 지연선, 및 상기 제1 지연선에서 출력된 전기 신호를 상기 제2 지연선에 크로스하여 입력하는 멀티플렉서를 포함하며, 상기 멀티플렉서와 상기 제2 지연선 사이에 버퍼가 연결되는 것을 특징으로 하는 스큐 측정 장치를 제공한다.

[0011] 상기 버퍼는 상기 제1 지연 시간으로 설정되며, 상기 멀티플렉서를 통과한 신호가 상기 버퍼를 거쳐 상기 제2 지연선에 입력될 수 있다.

[0012] 상기 제1 지연선에서 상기 제1 지연선의 정지 신호와 상기 제2 지연선의 시작 신호가 역전되면, 상기 멀티플렉서는 상기 제1 지연선의 정지 신호를 상기 제2 지연선의 시작 신호로 입력하고, 상기 제1 지연선의 시작 신호를 상기 제2 지연선의 정지 신호로 입력할 수 있다.

[0013] 상기 제1 지연선에서 상기 N보다 작은 K(상기 K는 자연수) 번째 단에서 정지 신호와 시작 신호가 역전되면, 상기 멀티플렉서는 상기 버퍼를 이용하여 K+1 번째의 정지 신호를 상기 제1 지연 시간만큼 지연시킨 후 상기 제2 지연선에 전달할 수 있다.

[0014] 상기 제1 지연선에서 상기 N과 동일한 K 번째 단에서 정지 신호와 시작 신호가 역전되면, 상기 멀티플렉서는 상기 버퍼를 이용하지 않고 K 번째의 정지 신호를 상기 제2 지연선에 전달할 수 있다.

발명의 효과

[0015] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 낮은 상세 수준의 지연선에서 높은 상세 수준의 지연선으로 신호를 전달할 때, 멀티플렉서를 통과시킨 K+1 번째의 낮은 상세 수준의 버니어 지연선의 정지 신호에

낮은 상세 수준의 한 단의 시간 해상도만큼의 추가적인 버퍼를 인가하여 K+1 번째의 신호를 전달하되 k 번째의 두 신호 차이를 높은 상세 수준의 버니어 지연선의 입력으로 전달하여, 시간 디지털 변환기의 면적을 감소시킬 수 있는 효과가 있다.

[0016] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 보스트 회로 장치를 예시한 블록도이다.

도 2는 본 발명의 다른 실시예에 따른 스큐 측정 장치를 예시한 도면이다.

도 3은 본 발명의 다른 실시예에 따른 스큐 측정 장치를 동작시킨 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

[0019] 도 1은 보스트 회로 장치를 예시한 블록도이다. 도 1에 도시된 바와 같이, 반도체 테스트 시스템은 자동 테스트 장비(Automatic Test Equipment, ATE), 하나 이상의 보스트(BOST) 회로 장치, 및 복수의 테스트 대상 회로(Device Under Test, DUT)를 포함한다.

[0020] 반도체 테스트 시스템은 자동 테스트 장비(ATE)와 테스트 대상 회로(DUT) 사이에 보스트 모듈을 삽입하여 테스트 I/O를 감소시키고 병렬성을 향상시킨다.

[0021] ATE는 DUT를 자동으로 검사하는 장비로 마이크로컴퓨터 또는 마이크로프로세서 기반의 시스템으로 구성된다. ATE는 테스트 헤더를 통해 BOST 회로 장치와 전기적으로 결합된다. ATE는 BOST 회로 장치를 통하여 DUT와 전기적으로 연결하고 테스트 패턴을 DUT에 입력하고 DUT의 출력과 기대값을 비교하여 DUT의 오류를 판정한다. DUT는 BOST 회로 장치의 소켓에 장착되어 전기적으로 결합될 수 있다.

[0022] ATE는 외부의 서버와 인터페이스를 사용하여 접속할 수 있다. 서버는 사용자 인터페이스를 제공하여 사용자가 테스트될 DUT의 특성에 맞는 테스트 프로그램을 작성할 수 있는 환경을 제공한다. 또한 서버는 ATE에 테스트 프로그램을 송신하며 ATE에서 테스트 결과를 송신 받아 분석할 수 있는 사용자 인터페이스를 제공할 수 있다. 서버는 임의의 타입의 프로세싱 디바이스일 수 있고, 종래의 퍼스널 컴퓨터(PC), 데스크 탑 디바이스, 또는 휴대용 디바이스, 마이크로프로세서 컴퓨터, 마이크로프로세서 기반 또는 프로그램가능 소비자 전자 디바이스, 미니-컴퓨터, 메인프레임 컴퓨터, 및/또는 개인용 모바일 컴퓨팅 디바이스를 포함하지만 이에 제한되지는 않는다.

[0023] BOST 회로 장치는 프린트 인젝터관으로 형성될 수 있고, ATE와 DUT를 전기적으로 연결하기 위한 다수의 도전패턴들이 형성될 수 있다. 다수의 도전패턴들은 입출력 테스트 신호 라인들, 클럭 신호 라인들, 전원 라인들을 포함할 수 있다. BOST 회로 장치는 테스트 보드 또는 하이픽스(High Fidelity Tester Access Fixture, HI FIX)를 포함할 수 있다.

[0024] SM(Skew Measurement) 모듈은 보스트 회로 장치와 테스트 대상 회로들 간에 연결된 채널들의 물리적 차이에 의한 신호의 지연 시간 격차를 측정한다. SK 모듈은 개방 회로(Open Circuit) 상태에서 채널들을 통해 주기적으로 신호를 전송하고 수신하여 지연 시간을 측정한다. BOST 회로 장치는 채널별로 측정된 지연 시간을 기반으로 채널별 송신 시간을 보정한다.

[0025] DUT는 SRAM, DRAM, SDRAM 등과 같은 휘발성 메모리 소자 또는 ROM, PROM, EPROM, EEPROM, 플래시 메모리, PRAM, MRAM, RRAM, FRAM 등과 같은 비휘발성 메모리 소자 및 이들을 포함하는 메모리 컴포넌트(Memory Component)일 수 있다. 또한, DUT는 메모리 소자 또는 메모리 패키지에 한정되지 않으며, 예를 들어 메모리 컴포넌트들이 조합되어 이루어진 메모리 모듈(Memory Module), 메모리 카드(Memory Card) 또는 메모리 스틱(Memory Stick)일 수 있다. 나아가 DUT는 메모리 소자를 포함하거나 포함하지 않는 ISP(Image Signal Processor), DSP(Digital Signal Processor)와 같은 칩들을 포함할 수 있다.

[0026] 도 2는 스큐 측정 장치를 예시한 도면이다.

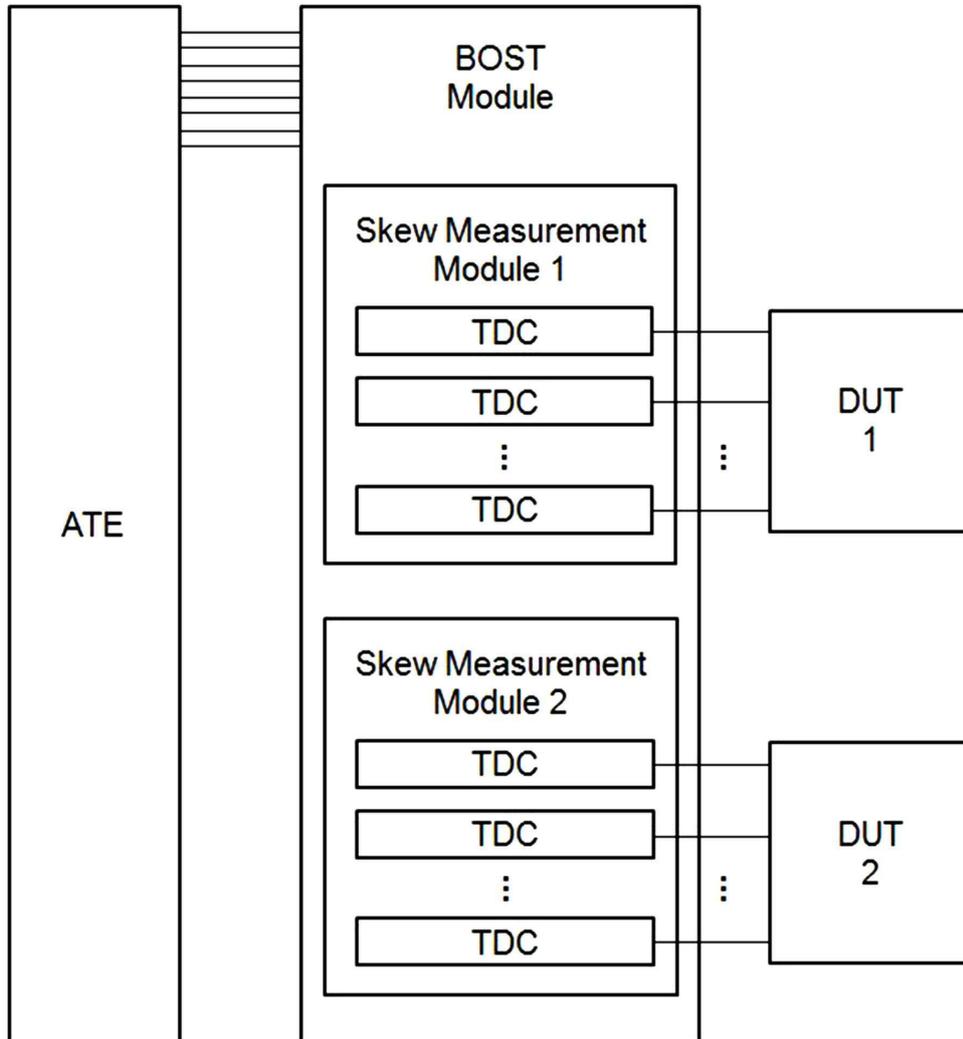
- [0027] 스큐 측정 장치는 시작 신호와 정지 신호의 간격을 측정하기 위해서, 제1 지연선(100)과 제2 지연선(200)을 포함한다. 제1 지연선은 CDL(Coarse Delay Line)이고, 제2 지연선은 FDL(Fine Delay Line)에 해당한다. 시간 디지털 변환기는 낮은 상세 수준의 지연 시간을 측정하기 위한 버니어 지연선과 높은 상세 수준의 지연 시간을 측정하기 위한 버니어 지연선을 각각 구비한다.
- [0028] 스큐 측정 장치는 낮은 수준의 지연 시간을 측정한 후, 높은 수준의 지연 시간을 측정하는 순차적인 방법으로 총 지연 시간을 측정하는 방식을 사용한다.
- [0029] CDL에서 정지 신호가 시작 신호보다 먼저 로직 하이(Logic High)되면, 해당하는 버니어 지연단의 출력은 1이 되고 제어 블록(Control Block)으로 입력된다. 제어 블록의 출력은 멀티플렉서 블록(MUX Block)의 동작을 제어한다.
- [0030] 멀티플렉서(300)는 CDL에서 시작 신호와 정지 신호를 전송하는 선을 FDL에서 시작 신호와 정지 신호로 연결한다. 제어 블록에서 받은 신호에 의해 어느 타이밍에 시작 신호와 정지 신호를 FDL로 넘겨주는지 판단한다. CDL에서 정지 신호가 시작 신호보다 먼저 로직 하이된 시점을 멀티플렉서 블록을 통해 연결된 부분으로 전송하여 CDL에서 시작 신호를 역전한 정지 신호는 FDL에서 시작 신호로, CDL에서 역전된 시작 신호는 FDL에서 정지 신호로 입력된다. CDL보다 상세한 버퍼 딜레이를 갖춘 FDL에서 두 신호의 격차 차이를 탐색한다.
- [0031] 도 2에 도시된 바와 같이, 버니어 지연선의 지연단은 하나의 플립플롭과 서로 다른 지연 시간을 가지는 두 개의 버퍼로 구성된다. 지연 시간 측정 시작 신호와 반사되어 되돌아오는 신호의 인가를 통해 생성된 버니어 지연단의 두 입력 신호(시작 신호와 정지 신호)가 각각에 연결된 버퍼를 통해 출력되고, 각 신호가 플립플롭에 입력된다.
- [0032] 정지 신호와 연결된 버퍼의 지연 시간(T2)이 시작 신호와 연결된 버퍼의 지연 시간(T1)보다 작은 값을 갖기 때문에 버니어 지연선을 지날수록 정지 신호와 시작 신호의 차이가 감소하게 된다. 시작 신호가 정지 신호에게 따라잡히면, 해당하는 버니어 지연단의 플립플롭의 출력이 1이 된다. 지연 시간 측정은 버니어 지연선의 플립플롭의 출력을 사용하며, N 단 버니어 지연선의 각 단의 플립플롭 출력을 N 개의 비트를 통해 총 지연 시간 측정 값을 계산한다. 멀티플렉서는 Q에 의해 조절될 수 있다.
- [0033] 제1 지연선에서 제1 지연선의 정지 신호와 제2 지연선의 시작 신호가 역전되면, 멀티플렉서(300)는 제1 지연선의 정지 신호를 제2 지연선의 시작 신호로 입력하고, 제1 지연선의 시작 신호를 제2 지연선의 정지 신호로 입력한다.
- [0034] 지연 시간 측정 단위는 각 지연단에 포함되어 있는 버퍼의 지연 시간 차이(T1-T2 or T3-T4)에 의해 결정된다. 버니어 지연선의 지연단에 해당하는 지연 시간들이 각 지연단마다 동일하다. 하나의 지연선인 CDL에서의 측정 가능한 지연 시간 범위는 $N * (T1-T2)$ 이고, 다른 지연선인 FDL에서의 측정 가능한 지연 시간 범위는 $M * (T3-T4)$ 이다.
- [0035] 버퍼(400)는 제1 지연 시간으로 설정되며, 멀티플렉서(300)를 통과한 신호가 버퍼를 거쳐 제2 지연선에 입력된다.
- [0036] 도 3은 본 발명의 다른 실시예에 따른 스큐 측정 장치를 동작시킨 타이밍도이다.
- [0037] 낮은 상세 수준의 버니어 지연 선 상에서 시작 신호가 정지 신호보다 늦게 논리적 '1'이 되는 순간에 해당하는 버니어 지연단을 K 번째라 가정하고 K 번째 플립플롭의 값을 스큐 측정 제어 회로가 감지하여 멀티플렉서에 선택 신호를 인가함으로써, 멀티플렉서가 K+1번째의 시작 신호와 정지 신호를 상세 수준의 버니어 지연 선으로 인가하도록 설정한다.
- [0038] K 번째 단의 플립플롭의 출력이 논리적 '1'이 되고 스큐 측정 제어 회로가 멀티플렉서를 설정할 시간에 높은 상세 수준의 버니어 지연 선에 인가하고자 하는 낮은 상세 수준의 버니어 지연 선상에 시작 신호와 정지 신호는 K 번째와 K+1번째 사이의 버퍼를 지나고 있는 상황이다. K 번째의 단에서 두 신호가 역전이 되었고 버퍼를 지나 K+1 번째의 두 신호의 차이는 시작 신호가 멈춤 신호보다 처음으로 뒤쳐진 K 번째의 차이보다 한 단의 해상도(T1-T2) 만큼 더 벌어진 상태이다. 출발 신호가 멈춤 신호보다 처음으로 늦게 논리적 '1'이 된 순간을 온전히 높은 상세 수준의 버니어 지연 선으로 인가하기 위해서는 K+1 번째의 단에서 K 번째의 단 내에서 벌어진 차이(T1-T2)를 다시 좁혀줄 필요가 있다.
- [0039] 멀티플렉서를 통과시킨 K+1 번째의 낮은 상세 수준의 버니어 지연 선의 정지 신호에 한 단의 해상도(T1-T2)만큼의 추가적인 버퍼를 인가하여 K+1 번째의 신호를 전달하되 K 번째의 두 신호 차이를 온전히 높은 상세 수준의

버니어 지연 선의 입력으로 전달할 수 있다. 제1 지연선에서 N보다 작은 K(K는 자연수) 번째 단에서 정지 신호와 시작 신호가 역전되면, 멀티플렉서는 버퍼를 이용하여 K+1 번째의 정지 신호를 제1 지연 시간의 차이만큼 지연시킨 후 제2 지연선에 전달한다.

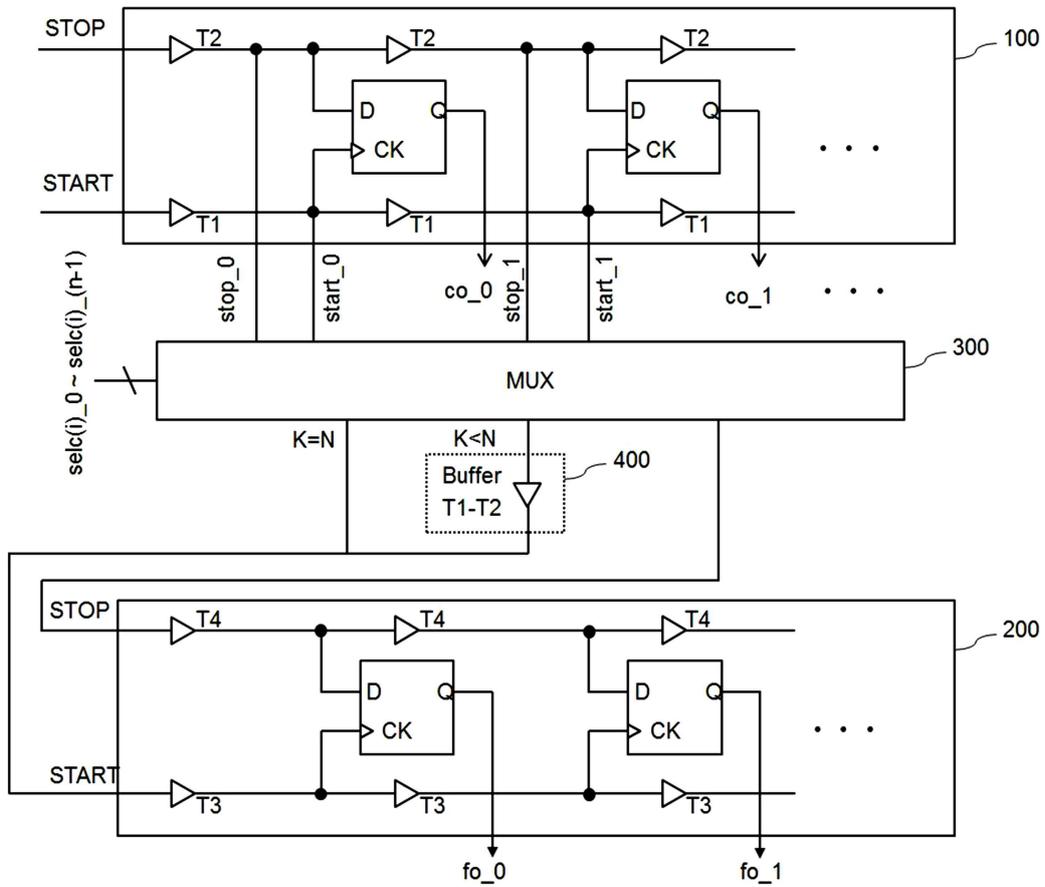
- [0040] 마지막 단에서 두 신호의 역전은 스큐 측정 제어회로가 두 신호에 추가적인 버퍼를 가하지 아니하고 높은 상세 수준의 버니어 지연 선에 인가하는 방식을 사용한다. 제1 지연선에서 N과 동일한 K 번째 단에서 정지 신호와 시작 신호가 역전되면, 멀티플렉서는 버퍼를 이용하지 않고 K 번째의 정지 신호를 제2 지연선에 전달한다.
- [0041] N 단의 낮은 상세 수준의 각 단의 해상도($T1-T2$) 만큼의 추가적인 버퍼($2*(n-1)*(T1-T2)$) 만큼의 버퍼가 요구되는 기존 회로와는 다르게 1단의 해상도($1*(T1-T2)$) 만큼의 버퍼가 요구되는 본 실시예에 따른 스큐 측정 장치는 스큐 탐색 범위($(N)*(T1-T2)$)와 동일한 탐색 시간 대비 적은 면적을 소요한다.
- [0042] 보스트 회로 장치는 복수의 스큐 측정 장치를 포함한다.
- [0043] 보스트 회로 장치에 포함된 복수의 스큐 측정 장치에 관하여는 실시예에 따른 스큐 측정 장치가 수행하는 동작에 관한 상세한 설명과 중복되는 설명은 생략하기로 한다.
- [0044] 보스트 회로 장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0045] 보스트 회로 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0046] 보스트 회로 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0047] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.
- [0048] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

도면1



도면2



도면3

