



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년06월03일
(11) 등록번호 10-2260970
(24) 등록일자 2021년05월31일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) G09F 9/30 (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/1248 (2013.01)
G09F 9/301 (2013.01)
(21) 출원번호 10-2020-0036635
(22) 출원일자 2020년03월26일
심사청구일자 2020년03월26일
(56) 선행기술조사문헌
KR1020160027907 A*
KR1020160038492 A*
KR1020180061723 A*
KR1020190046414 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김현재
서울특별시 마포구 마포대로 195, 402동 1101호(아현동, 마포 래미안 푸르지오)
정수진
서울특별시 마포구 월드컵북로 235, 13동 803호(성산동, 성산시영아파트)
(74) 대리인
(뒷면에 계속)
특허법인우인

전체 청구항 수 : 총 11 항

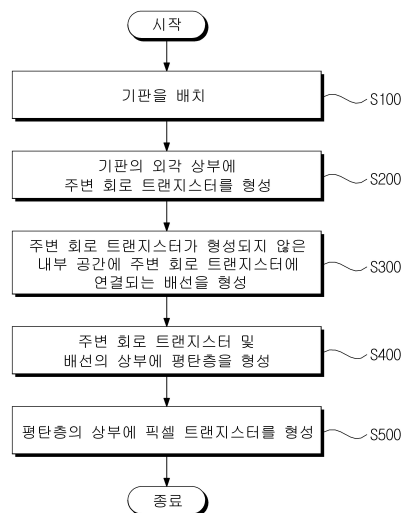
심사관 : 장영주

(54) 발명의 명칭 표시 영역 하부의 주변 회로 구조를 적용한 제로 베젤 디스플레이 장치 및 제조 방법

(57) 요약

본 실시예들은 기판의 외각 상부에 주변 회로를 증착하고, 중앙부에 배선을 증착하고, 주변 회로 및 배선의 상부에 평탄층을 증착하고, 평탄층에 픽셀 트랜지스터를 증착하여, 층간 절연막으로 구분된 최외각 픽셀 트랜지스터 및 주변 회로 트랜지스터의 수직 구조로 인하여 기생 커패시턴스를 최소화하고, 주변 회로층에서 주변 회로 트랜지스터가 차지하지 않는 영역에 형성된 배선의 폭을 확장시켜 저항 감소로 인한 전력 손실을 최소화하는 표시 장치 및 그 제조 방법을 제공한다.

대표도 - 도3



(52) CPC특허분류

H01L 27/1218 (2013.01)

H01L 27/1222 (2013.01)

H01L 27/124 (2013.01)

H01L 27/32 (2013.01)

(72) 발명자

강병하

서울특별시 동작구 장승배기로16길 134, 101동 60
1호(노량진동, 쌍용예가아파트)

이이삭

경기도 수원시 팔달구 중부대로223번길 102, 108동
109호(우만동, 주공1단지아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호 2018M3A7B407152113

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 한국연구재단-나노소재기술개발사업

연구과제명 굴곡표면상 3차원 구조 EHD 인쇄기술 개발

기 여 율 1/1

과제수행기관명 연세대학교 산학협력단

연구기간 2018.08.01 ~ 2023.07.31

명세서

청구범위

청구항 1

표시 장치의 제조 방법에 있어서,

기관을 배치하는 단계;

상기 기관의 외각 상부에 주변 회로 트랜지스터의 전극을 형성하는 단계;

상기 주변 회로 트랜지스터의 전극이 형성되지 않은 내부 공간에 상기 주변 회로 트랜지스터의 전극에 배선 연결부를 통해 연결되는 배선을 형성하는 단계;

상기 주변 회로 트랜지스터의 전극 및 상기 배선을 연결하는 상기 배선 연결부를 형성하는 단계;

상기 주변 회로 트랜지스터 및 상기 배선의 상부에 평탄층을 형성하는 단계;

상기 평탄층의 상부에 복수의 픽셀 트랜지스터를 포함하는 표시 영역을 형성하는 단계를 포함하며,

상기 주변 회로 트랜지스터의 전극은 소스 전극, 드레인 전극, 또는 이들이 조합된 전극을 포함하며,

상기 배선은 상기 기관과 상기 픽셀 트랜지스터 사이에 위치하며, 상기 배선은 상기 표시 장치의 중심부에 위치하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 주변 회로 트랜지스터는 상기 기관과 상기 픽셀 트랜지스터 사이에 위치하고, 최외각 픽셀 트랜지스터를 기준으로 수직인 방향에 위치하고, 층간 절연막에 의해 상기 복수의 픽셀 트랜지스터와 구분되고, 상기 복수의 픽셀 트랜지스터와 중첩 영역을 최소화하여, 상기 복수의 픽셀 트랜지스터 및 상기 주변 회로 트랜지스터 간의 상호 작용을 최소화하고 기생 커패시턴스를 최소화하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 주변 회로 트랜지스터가 형성되지 않은 내부 공간에서 상기 배선의 폭을 확장하여 전력 손실을 감소시키는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 5

표시 장치에 있어서,

기관;

기관의 외각 상부에 형성된 주변 회로 트랜지스터의 전극;

상기 주변 회로 트랜지스터의 전극이 형성되지 않은 내부 공간에 형성되며 상기 주변 회로 트랜지스터의 전극에 배선 연결부를 통해 연결되는 배선;

상기 주변 회로 트랜지스터의 전극 및 상기 배선을 연결하는 상기 배선 연결부;

상기 주변 회로 트랜지스터 및 상기 배선의 상부에 형성된 평탄층;

상기 평탄층의 상부에 형성된 복수의 픽셀 트랜지스터를 포함하는 표시 영역(active array)을 포함하며,

상기 주변 회로 트랜지스터의 전극은 소스 전극, 드레인 전극, 또는 이들이 조합된 전극을 포함하며,
상기 배선은 상기 기판과 상기 픽셀 트랜지스터 사이에 위치하며, 상기 배선은 상기 표시 장치의 중심부에 위치하는 것을 특징으로 하는 표시 장치.

청구항 6

제5항에 있어서,

상기 주변 회로 트랜지스터는 상기 기판과 상기 픽셀 트랜지스터 사이에 위치하고, 최외각 픽셀 트랜지스터를 기준으로 수직인 방향에 위치하고, 층간 절연막에 의해 상기 복수의 픽셀 트랜지스터와 구분되고, 상기 복수의 픽셀 트랜지스터와 중첩 영역을 최소화하여, 상기 복수의 픽셀 트랜지스터 및 상기 주변 회로 트랜지스터 간의 상호 작용을 최소화하고 기생 커패시턴스를 최소화하는 것을 특징으로 하는 표시 장치.

청구항 7

삭제

청구항 8

제5항에 있어서,

상기 주변 회로 트랜지스터가 형성되지 않은 내부 공간에서 상기 배선의 폭을 확장하여 전력 손실을 감소시키는 것을 특징으로 하는 표시 장치.

청구항 9

제5항에 있어서,

상기 주변 회로 트랜지스터는 게이트 구동(gate driver) 회로, ESD(electro static discharge) 보호 회로, 셀(cell) 점등 검사 회로, 멀티플렉서(MUX) 회로, DDI(display driver integrated circuit), 또는 이들의 조합을 포함하는 것을 특징으로 하는 표시 장치.

청구항 10

제5항에 있어서,

상기 표시 영역에 수직으로 적층되는 반도체는 이중의 반도체가 적용되는 것을 특징으로 하는 표시 장치.

청구항 11

제5항에 있어서,

상기 픽셀 트랜지스터는 산화물(oxide) 트랜지스터 또는 비정질 실리콘(a-Si) 트랜지스터를 포함하고, 상기 주변 회로 트랜지스터는 산화물(oxide) 트랜지스터 또는 다결정 실리콘 실리콘(LTPS) 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 12

제5항에 있어서,

상기 표시 장치는 LCD(Liquid Crystal Display), AMOLED, OLED(Organic Light-Emitting Diode), 마이크로 LED, 또는 E-Paper에 해당하는 것을 특징으로 하는 표시 장치.

청구항 13

제5항에 있어서,

상기 표시 장치는 플렉시블 소재로 구현된 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 표시 장치 및 제조 방법에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 기존 디스플레이 패널은 게이트 전압을 인가하는 게이트 드라이버(gate driver) 등과 같은 주변 회로(peripheral circuit)를 화면 가장자리에 배치하며, 디스플레이 패널의 주변 회로는 액티브 어레이(active array)에 수평적으로 위치한다. 픽셀 박막트랜지스터(pixel TFT)의 수평적 위치에 배치된 게이트 구동 회로로 인하여 베젤(bezel) 영역이 존재한다. 베젤(bezel)은 소비자가 요구하는 디자인에 대한 만족도를 하락시키며, 디스플레이 공간의 효율적인 활용을 제한한다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국공개특허공보 제10-2019-0068112호 (2019.06.18)

(특허문헌 0002) 한국공개특허공보 제10-2018-0081770호 (2018.07.17)

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 기관의 외각 상부에 주변 회로를 증착하고, 중앙부에 배선을 증착하고, 주변 회로 및 배선의 상부에 평탄층을 증착하고, 평탄층에 픽셀 트랜지스터를 증착하여, 층간 절연막으로 구분된 최외각 픽셀 트랜지스터 및 주변 회로 트랜지스터의 수직 구조로 인하여 기생 커패시턴스를 최소화하고, 주변 회로층에서 주변 회로 트랜지스터가 차지하지 않는 영역에 형성된 배선의 폭을 확장시켜 저항 감소로 인한 전력 손실을 최소화하는데 주된 목적이 있다.

[0006] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0007] 본 실시예의 일 측면에 의하면, 표시 장치의 제조 방법에 있어서, 기관을 배치하는 단계, 상기 기관의 외각 상부에 주변 회로 트랜지스터를 형성하는 단계, 상기 주변 회로 트랜지스터가 형성되지 않은 내부 공간에 상기 주변 회로 트랜지스터에 연결되는 배선을 형성하는 단계, 상기 주변 회로 트랜지스터 및 상기 배선의 상부에 평탄층을 형성하는 단계, 상기 평탄층의 상부에 복수의 픽셀 트랜지스터를 포함하는 표시 영역을 형성하는 단계를 포함하는 표시 장치의 제조 방법을 제공한다.

[0008] 상기 주변 회로 트랜지스터는 상기 기관과 상기 픽셀 트랜지스터 사이에 위치하고, 최외각 픽셀 트랜지스터를 기준으로 수직인 방향에 위치할 수 있다.

[0009] 상기 주변 회로 트랜지스터는 층간 절연막에 의해 상기 복수의 픽셀 트랜지스터와 구분되고, 상기 복수의 픽셀 트랜지스터와 중첩 영역을 최소화하여, 상기 복수의 픽셀 트랜지스터 및 상기 주변 회로 트랜지스터 간의 상호작용을 최소화하고 기생 커패시턴스를 최소화할 수 있다.

[0010] 상기 주변 회로 트랜지스터에 연결되는 배선은 상기 기관과 상기 픽셀 트랜지스터 사이에 위치하며, 상기 표시 장치의 가장자리 방향이 아닌 중심부 방향에 위치할 수 있다.

[0011] 상기 주변 회로 트랜지스터가 형성되지 않은 내부 공간에서 상기 배선의 폭을 확장하여 전력 손실을 감소시킬 수 있다.

[0012] 본 실시예의 다른 측면에 의하면, 표시 장치에 있어서, 기관, 기관의 외각 상부에 형성된 주변 회로 트랜지스터, 상기 주변 회로 트랜지스터가 형성되지 않은 내부 공간에 형성되며 상기 주변 회로 트랜지스터에

연결되는 배선, 상기 주변 회로 트랜지스터 및 상기 배선의 상부에 형성된 평탄층, 상기 평탄층의 상부에 형성된 복수의 픽셀 트랜지스터를 포함하는 표시 영역(active array)을 포함하는 표시 장치를 제공한다.

발명의 효과

- [0013] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 기관의 외각 상부에 주변 회로를 증착하고, 중앙부에 배선을 증착하고, 주변 회로 및 배선의 상부에 평탄층을 증착하고, 평탄층에 픽셀 트랜지스터를 증착하여, 층간 절연막으로 구분된 최외각 픽셀 트랜지스터 및 주변 회로 트랜지스터의 수직 구조로 인하여 기생 커패시턴스를 최소화하고, 주변 회로층에서 주변 회로 트랜지스터가 차지하지 않는 영역에 형성된 배선의 폭을 확장시켜 저항 감소로 인한 전력 손실을 최소화할 수 있는 효과가 있다.
- [0014] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0015] 도 1은 기존의 표시 장치의 배젤을 예시한 개념도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치의 배젤을 예시한 개념도이다.
- 도 3은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 예시한 흐름도이다.
- 도 4은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법에 의해 증착된 층을 예시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 표시 장치를 예시한 블록도이다.
- 도 6은 본 발명의 일 실시예에 따른 표시 장치의 픽셀 트랜지스터와 주변 회로 트랜지스터를 예시한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 표시 장치의 배선을 예시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0017] 표시 장치는 표시 패널의 게이트 라인들에 스캔 신호를 공급하는 게이트 구동 회로와 데이터 라인들에 데이터 전압을 공급하는 데이터 구동 회로를 이용하여 영상을 표시한다. 게이트 구동 회로는 다수의 게이트 드라이브 집적 회로(Integrated Circuit)를 실장한 인쇄회로기판(Printed Circuit Board)을 표시 패널에 부착하는 TAB(Tape Automated Bonding) 방식, 또는 게이트 드라이브 직접 회로를 표시 패널에 직접 형성하는 GIP(Gate Drive IC in Panel) 방식으로 형성될 수 있다.
- [0018] GIP 방식은 TAB 방식에 비해, 표시 장치의 슬림화가 가능하므로 외적 미관을 높일 수 있을 뿐만 아니라, 비용 절감이 가능하며, 픽셀의 구동 TFT(Thin Film Transistor)의 문턱 전압을 보상하기 위한 다수의 스캔 신호들을 표시 패널 메이커(Maker)가 직접 설계할 수 있는 장점이 있다. 최근에 게이트 구동 회로는 TAB 방식보다 GIP 방식으로 형성되고 있는 실정이다.
- [0019] GIP 구동 회로를 정상적으로 구동하기 위하여 소자들이나 배선들이 필요하다. 표시 장치의 배젤 영역을 효율적으로 설계하기가 쉽지 않다.
- [0020] 도 1은 기존의 표시 장치의 배젤을 예시한 개념도이다. 도 1을 참조하면 표시 영역(Active Area) 옆에 배치된 주변 회로로 인하여 넓은 배젤이 존재한다.
- [0021] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 배젤을 예시한 개념도이다.
- [0022] 본 실시예에 따른 표시 장치는 기관의 외각 상부에 주변 회로를 증착하고, 중앙부에 배선을 증착하고, 주변 회로 및 배선의 상부에 평탄층을 증착하고, 평탄층에 픽셀 트랜지스터를 증착하여, 층간 절연막으로 구분된 최외각 픽셀 트랜지스터 및 주변 회로 트랜지스터의 수직 구조로 인하여 기생 커패시턴스를 최소화하고, 주변 회로층에서 주변 회로 트랜지스터가 차지하지 않는 영역에 형성된 배선의 폭을 확장시켜 저항 감소로 인한 전력 손실을 최소화할 수 있다.

- [0023] 도 3은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법을 예시한 흐름도이다.
- [0024] 본 실시예에 따른 표시 장치의 제조 방법은 기관의 배면에 주변 회로를 접착제를 통해 부착하는 방식이 아닌 기관의 상부에 주변 회로를 직접 증착하는 방식을 적용한다.
- [0025] 표시 장치의 제조 방법은 기관을 배치하는 단계(S100), 기관의 외각 상부에 주변 회로 트랜지스터를 형성하는 단계(S200), 주변 회로 트랜지스터가 형성되지 않은 내부 공간에 주변 회로 트랜지스터에 연결되는 배선을 형성하는 단계(S300), 주변 회로 트랜지스터 및 배선의 상부에 평탄층을 형성하는 단계(S400), 평탄층의 상부에 복수의 픽셀 트랜지스터를 포함하는 표시 영역을 형성하는 단계(S500)를 포함한다.
- [0026] 도 4은 본 발명의 다른 실시예에 따른 표시 장치의 제조 방법에 의해 증착된 층을 예시한 도면이다.
- [0027] 기관을 배치하는 단계(S100)에서 유리, 폴리이미드(PI), 무기막 등을 포함하는 기관을 배치할 수 있다(S110).
- [0028] 주변 회로 트랜지스터를 형성하는 단계(S200)는 주변 회로 트랜지스터를 포함하는 주변 회로층을 증착한다. 주변 회로층을 증착하는 단계는 활성층을 증착하는 단계(S210), 게이트 절연체를 증착하는 단계(S220), 게이트를 증착하는 단계(S230), 층간 절연막을 증착하는 단계(S240), 소스/드레인 전극을 증착하는 단계(S250)를 포함할 수 있다.
- [0029] 배선을 형성하는 단계(S300)는 주변 회로층에 배선을 증착하는 단계(S310), 배선과 전극 간에 배선 연결부를 증착하는 단계(S320)를 포함할 수 있다. 배선을 형성하는 단계(S300)는 주변 회로층의 중앙부의 넓은 공간에 위치하도록 배선을 증착하고, 넓은 공간을 활용하여 배선의 폭을 증가시킬 수 있다.
- [0030] 평탄층을 형성하는 단계(S400)는 주변 회로 트랜지스터 및 배선의 상부에 층간 절연막을 일정 높이로 증착하여 평탄화를 수행한다(S410). 주변 회로 트랜지스터와 픽셀 트랜지스터는 층간 절연막으로 구분된다.
- [0031] 픽셀 트랜지스터를 포함하는 표시 영역을 형성하는 단계(S500)는 복수의 활성층을 증착하는 단계(S510), 게이트 절연체를 증착하는 단계(S520), 복수의 게이트를 증착하는 단계(S530), 층간 절연막을 증착하는 단계(S540), 복수의 소스/드레인 전극을 증착하는 단계(S550)를 포함할 수 있다. 최외각 픽셀 트랜지스터의 수직 하부 방향에 주변 회로 트랜지스터가 위치한다. 중앙 픽셀 트랜지스터의 수직 하부 방향에 배선이 위치한다.
- [0032] 표시 장치를 제조하는 과정에서 마스크 공정은 GIP 증착 과정에서 4 번의 마스크 공정이 적용되고 픽셀 회로 증착 과정에서 8 번의 마스크 공정이 적용될 수 있다. 마스크는 GIP 증착 과정에서 Active layer, Gate, Contact, Source/Drain에 적용될 수 있다. 마스크는 픽셀 회로 증착 과정에서 Active layer, Gate, TMI(Top Metal I), Contact, Source/Drain, Planarization layer, Pixel, Bank에 적용될 수 있다.
- [0033] 도 5는 본 발명의 일 실시예에 따른 표시 장치를 예시한 블록도이다.
- [0034] 표시 장치(1)는 기관(10), 주변 회로 트랜지스터(20), 배선(30), 평탄층(40), 및 픽셀 트랜지스터(50)를 포함한다. 표시 장치(1)는 다양한 층이 적층된 구조로 구현된다. 표시 장치(1)는 주변 회로 트랜지스터(20)를 포함하는 주변 회로층을 포함한다. 표시 장치(1)는 복수의 픽셀 트랜지스터(50)를 포함하는 표시 영역(Active Area)을 포함한다.
- [0035] 기관(10)은 다양한 소재가 적용될 수 있으며, 투명하거나 플렉시블한 소재로 구현될 수 있다.
- [0036] 주변 회로 트랜지스터(20)를 포함하는 주변 회로층이 기관(10)의 상부에 형성되며, 주변 회로 트랜지스터(20)는 기관(10)의 외각 상부에 형성된다.
- [0037] 배선(30)은 주변 회로층에서 주변 회로 트랜지스터(20)가 형성되지 않은 내부 공간에 형성되며 주변 회로 트랜지스터(20)에 연결된다.
- [0038] 평탄층(40)은 주변 회로 트랜지스터(20) 및 배선(30)의 상부에 형성된다. 층간 절연막이 일정 높이로 증착되어 평탄층(40)을 형성한다.
- [0039] 표시 영역은 평탄층(40)의 상부에 형성된 복수의 픽셀 트랜지스터(50)를 포함한다. 표시 영역은 복수의 반도체 층이 수직으로 적층된 구조로 구현될 수 있다.
- [0040] 주변 회로 트랜지스터(20)는 산화물(oxide) 트랜지스터 또는 다결정 실리콘 실리콘(LTPS) 트랜지스터를 포함할 수 있다. 주변 회로 트랜지스터(20)는 게이트 구동(gate driver) 회로, ESD(electro static discharge) 보호 회로, 셀(cell) 점등 검사 회로, 멀티플렉서(MUX) 회로, DDI(display driver integrated circuit), 또는 이들

의 조합을 포함할 수 있다.

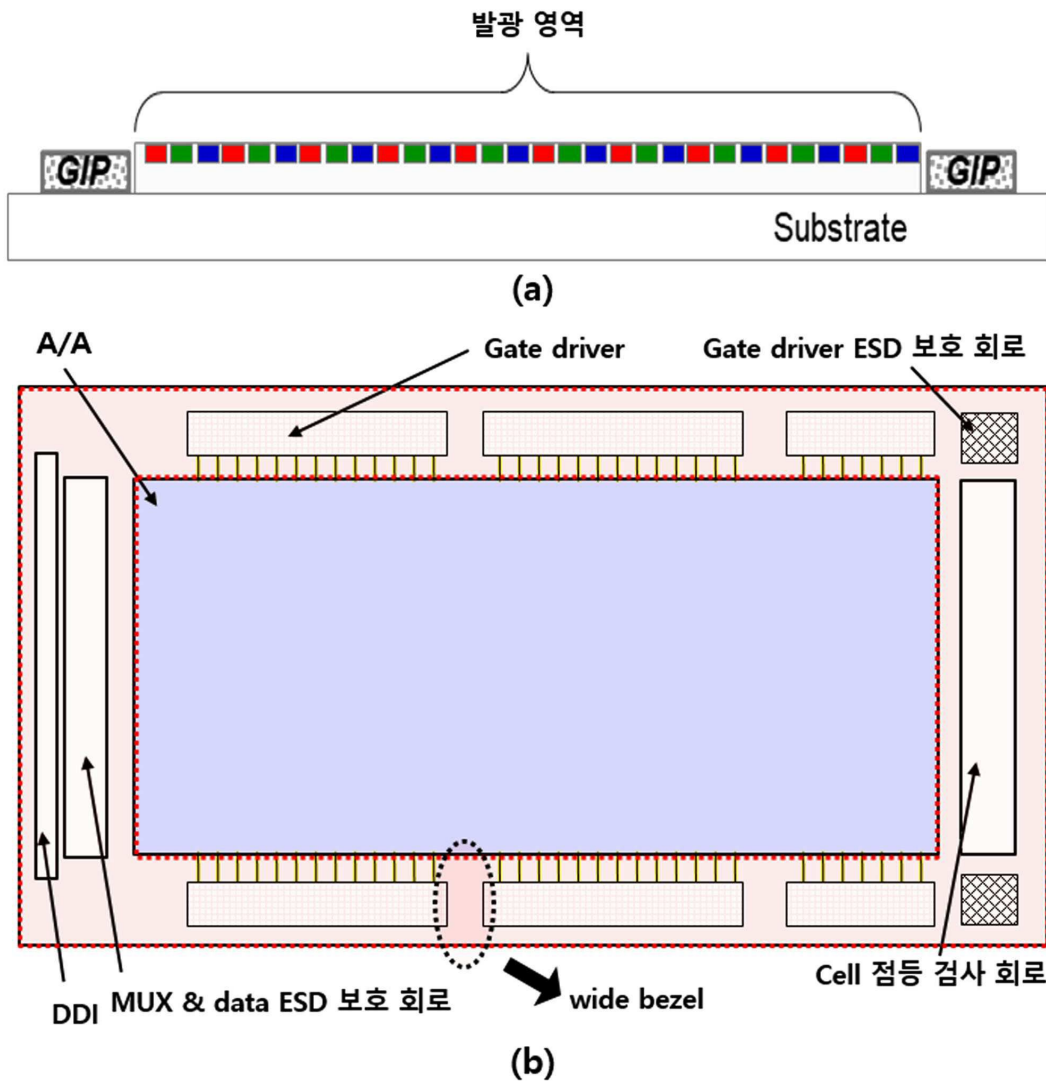
- [0041] 표시 영역에 수직으로 적층되는 반도체는 이중의 반도체가 적용될 수 있다. 이중의 반도체는 활성층을 구성하는 물질이 상이한 것을 의미한다. 픽셀 트랜지스터는 산화물(oxide) 트랜지스터 또는 비정질 실리콘(a-Si) 트랜지스터를 포함할 수 있다.
- [0042] 표시 장치는 LCD(Liquid Crystal Display), OLED(Organic Light-Emitting Diode), 또는 마이크로 LED에 해당할 수 있다. 표시 장치는 플렉시블 소재로 구현될 수 있다.
- [0043] 도 6은 본 발명의 일 실시예에 따른 표시 장치의 픽셀 트랜지스터와 주변 회로 트랜지스터를 예시한 도면이다.
- [0044] 주변 회로 트랜지스터는 기판과 픽셀 트랜지스터 사이에 위치하고, 최외각 픽셀 트랜지스터를 기준으로 수직한 방향에 위치한다. 층간 절연막에 의해 복수의 픽셀 트랜지스터와 구분되고, 복수의 픽셀 트랜지스터와 중첩 영역을 최소화하여, 복수의 픽셀 트랜지스터 및 주변 회로 트랜지스터 간의 상호 작용을 최소화하고 기생 커패시턴스를 최소화할 수 있다.
- [0045] 도 7은 본 발명의 일 실시예에 따른 표시 장치의 배선을 예시한 도면이다.
- [0046] 주변 회로 트랜지스터에 연결되는 배선은 기판과 픽셀 트랜지스터 사이에 위치하며, 표시 장치의 가장자리 방향이 아닌 중심부 방향에 위치한다. 배선은 픽셀 트랜지스터에 연결된 데이터 라인을 포함할 수 있다.
- [0047] 기존의 메시 구조로 배치된 배선이 다른 배선판의 간섭을 피하기 위해 얇게 형성된 것과 달리, 본 실시예에 따른 표시 장치는 주변 회로층에서 주변 회로 트랜지스터가 형성되지 않은 넓은 내부 공간을 활용하여 배선의 폭을 확장하여 전력 손실을 감소시킬 수 있다.
- [0048] 표시 장치는 타이밍 제어기, 데이터 드라이버, 게이트 드라이버, 및 픽셀 회로를 포함할 수 있다. 픽셀 회로는 백플레인 및 표시 영역을 포함할 수 있다.
- [0049] 타이밍 제어기는 수평 동기화 신호, 수직 동기화 신호, 데이터 인에이블 신호, 클럭 신호 및 이미지 데이터를 수신한다. 수직 동기화 신호는 일 프레임의 이미지가 표시되는데 요구되는 시간을 지시한다. 수평 동기화 신호는 이미지의 일 수평 라인, 즉 일 픽셀 라인을 표시하는데 요구되는 시간을 지시한다. 따라서, 수평 동기화 신호는 일 픽셀 라인에 포함되는 픽셀의 숫자와 동일한 숫자의 펄스들을 포함한다. 데이터 인에이블 신호는 유효한 이미지 데이터가 위치하는 구간을 지시한다.
- [0050] 타이밍 제어기는 게이트 제어 신호(Gate Control Signal)를 게이트 드라이버에 제공하고, 데이터 제어 신호(Data Control Signal)를 데이터 드라이버에 제공한다.
- [0051] 데이터 드라이버는 타이밍 제어기로부터 디지털 이미지 데이터를 수신한다. 데이터 드라이버는 데이터 제어 신호에 응답하여 데이터 전압을 생성한다. 데이터 드라이버는 디스플레이의 데이터 라인으로 데이터 전압을 게이트 드라이버로부터의 게이트 제어 신호와 동기화하여 공급할 수 있다.
- [0052] 게이트 드라이버는 타이밍 제어기로부터의 게이트 제어 신호 입력에 응답하여 픽셀 회로에서 박막 트랜지스터 어레이의 온/오프를 제어한다. 게이트 드라이버는 데이터 드라이버로부터 인가되는 데이터 전압이 적합한 픽셀 회로로 제공되도록 한다.
- [0053] 표시 영역 또는 픽셀 회로는 AMOLED, OLED(Organic Light Emitting Diode), E-Paper, LCD(Liquid Crystal Display), LED(Light Emitting Diode), 또는 이들의 조합 등으로 구현될 수 있다. 픽셀 회로를 구현하는 박막 트랜지스터 어레이, 커패시터들의 구성은 디스플레이 컴포넌트의 타입뿐만 아니라 픽셀을 활성화하는 구동 방법에 따라 다양하게 구현될 수 있다.
- [0054] 표시 장치에 포함된 구성요소들은 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0055] 표시 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로를 포함할 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

[0056] 표시 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.

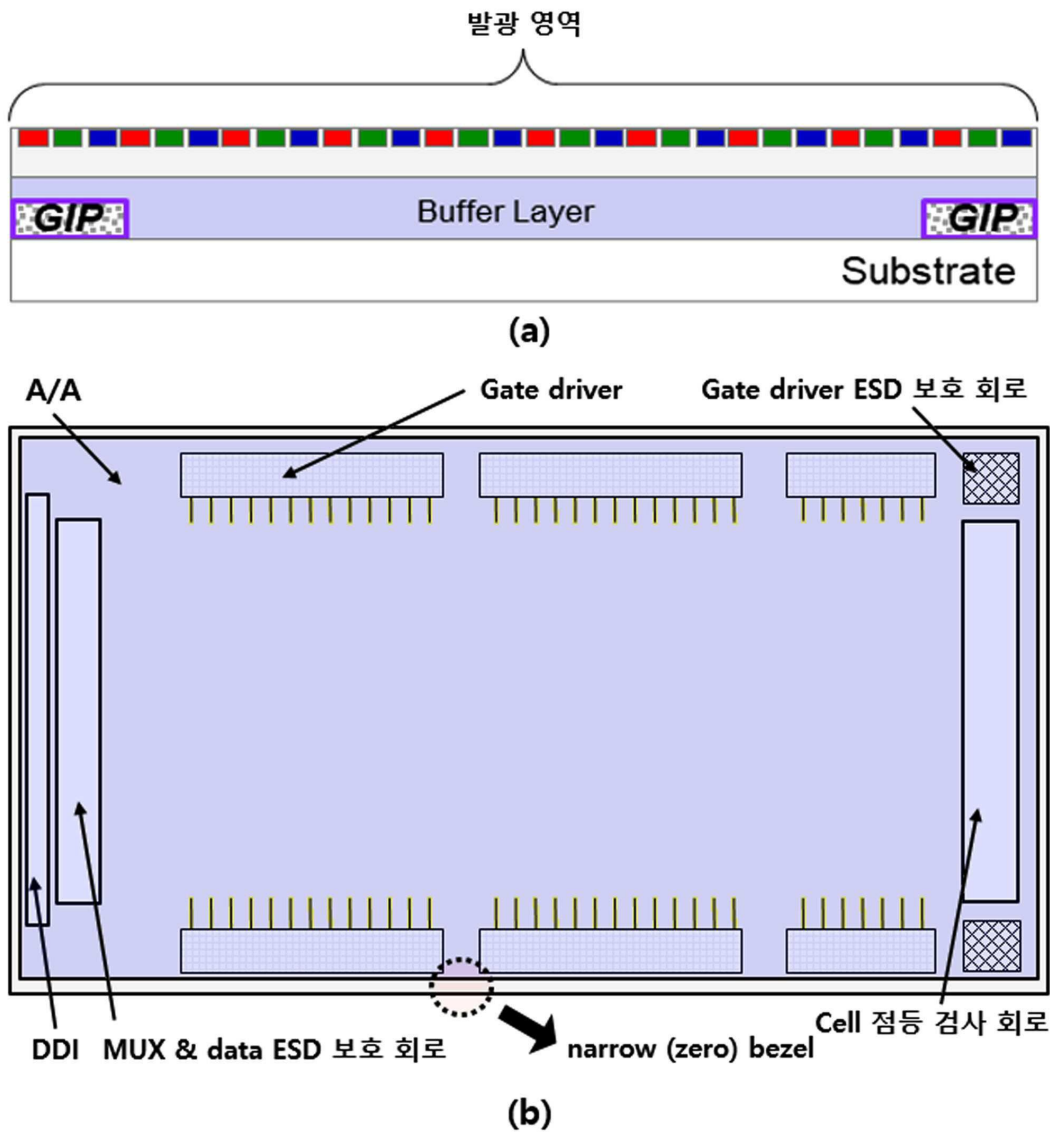
[0057] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

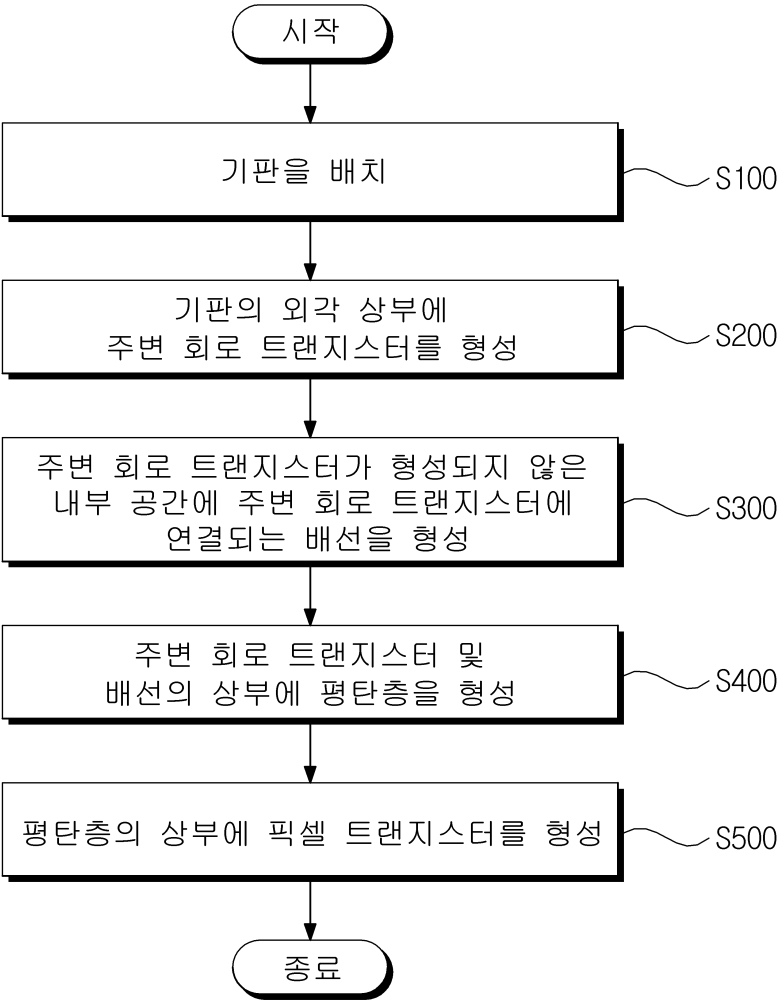
도면1



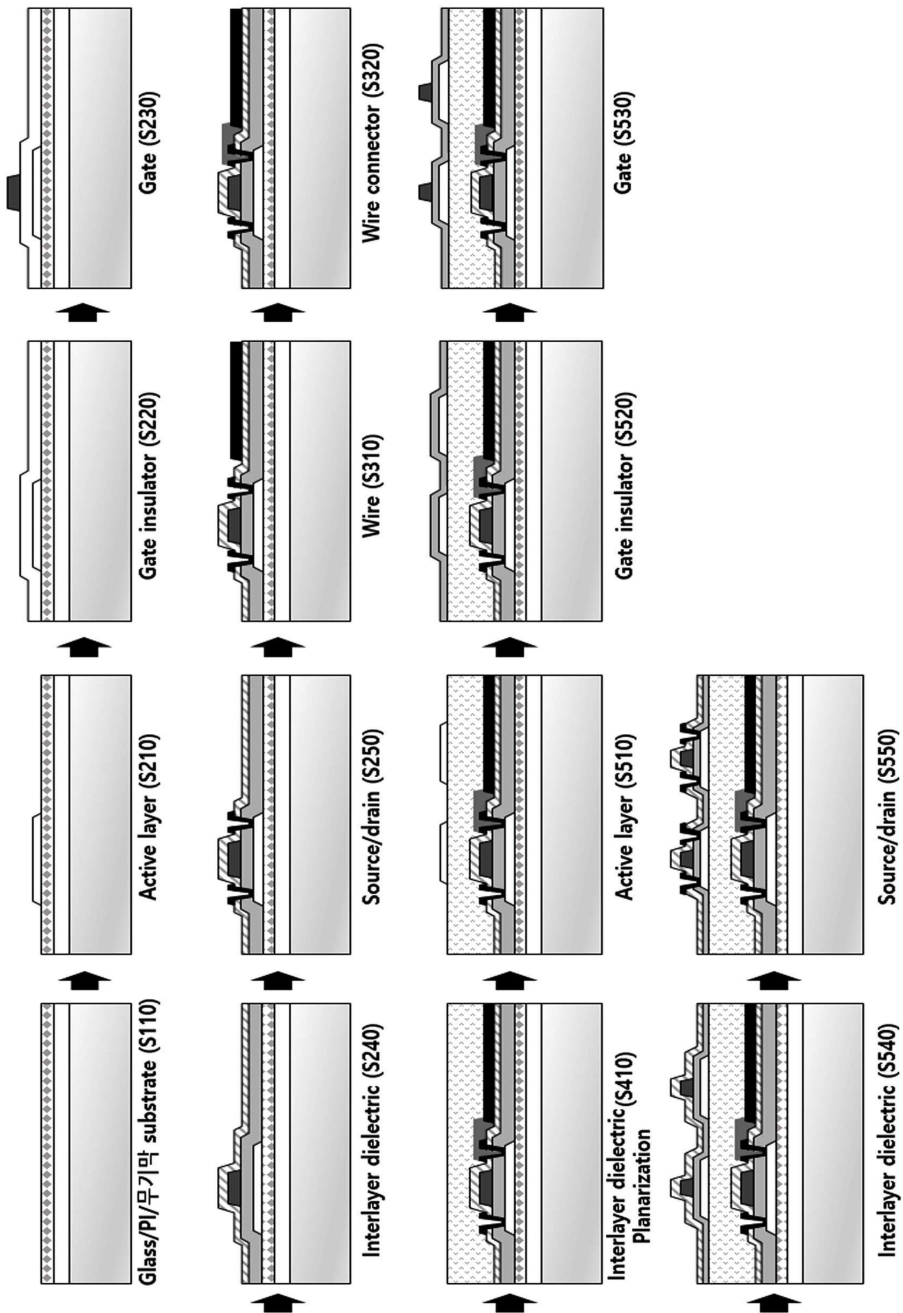
도면2



도면3



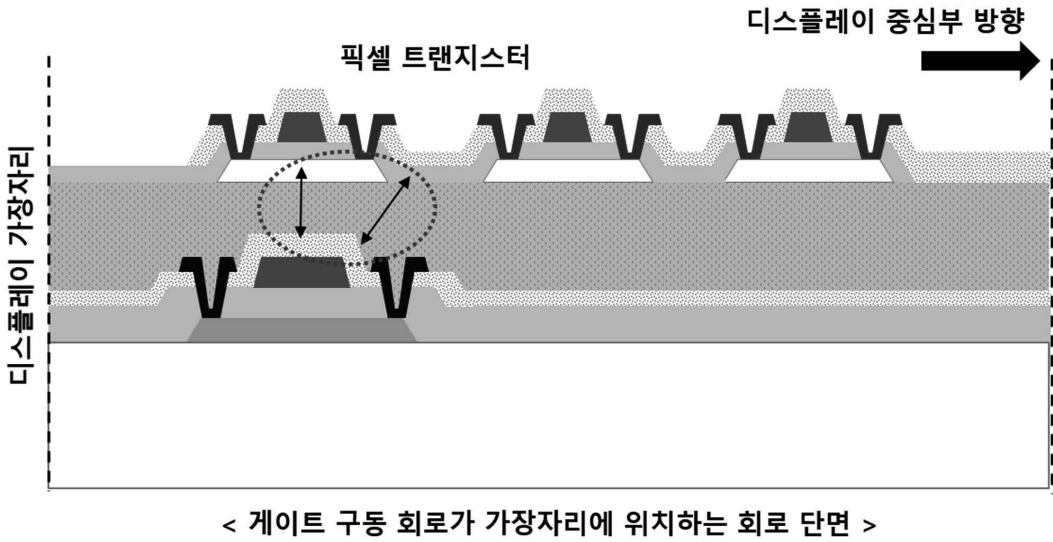
도면4



도면5



도면6



도면7

