



등록특허 10-2198343



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년01월04일

(11) 등록번호 10-2198343

(24) 등록일자 2020년12월28일

(51) 국제특허분류(Int. Cl.)

H05B 33/10 (2006.01) H05B 33/14 (2006.01)

(52) CPC특허분류

H05B 33/10 (2013.01)

H05B 33/14 (2013.01)

(21) 출원번호 10-2019-0064687

(22) 출원일자 2019년05월31일

심사청구일자 2019년05월31일

(65) 공개번호 10-2020-0137790

(43) 공개일자 2020년12월09일

(56) 선행기술조사문헌

KR1020070083520 A*

KR1020120065048 A*

KR1020120114901 A*

KR1020130098004 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

이관형

서울특별시 서대문구 독립문로8길 54 천연뜨란채 106-1501

권준영

서울특별시 서초구 신반포로 9 반포아파트 91동 402호

(74) 대리인

김권석

전체 청구항 수 : 총 15 항

심사관 : 서미란

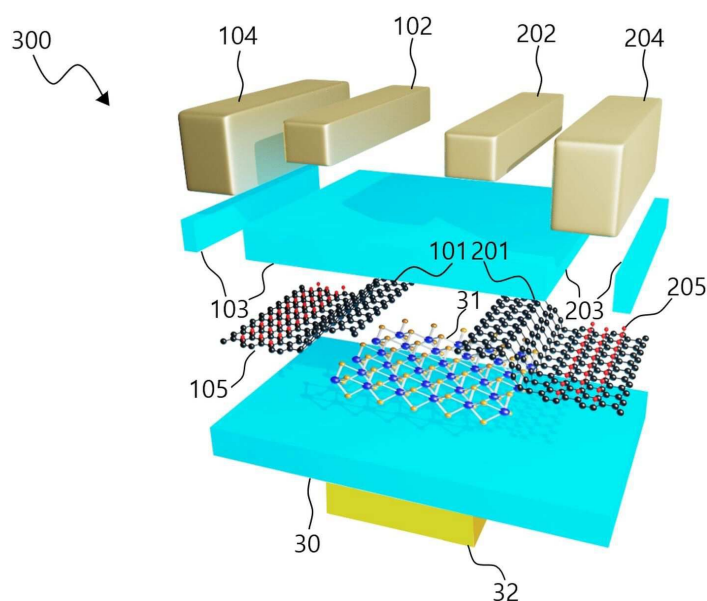
(54) 발명의 명칭 전계 제어 발광 소자

(57) 요약

본 발명은 전계 제어 발광 소자에 관한 것이다. 본 발명의 일 실시예에 따르면, 전계 제어 발광 소자는 채널 영역을 제공하는 활성 층; 상기 활성 층의 제 1 단부 상에 중첩되는 제 1 영역 및 상기 제 1 영역으로부터 상기 활성 층의 외부로 향하여 연장된 확장부를 갖는 제 1 그래핀 층; 및 상기 제 1 그래핀 층의 확장부에 결합하는 제

(뒷면에 계속)

대표도 - 도1a



1 금속 전극을 포함하는 제 1 소오스/드레인 전극; 상기 활성 층의 제 2 단부 상에 증착되는 제 2 영역 및 상기 제 2 영역으로부터 상기 활성 층의 외부를 향하여 연장된 확장부를 갖는 제 2 그래핀 층; 및 상기 제 2 그래핀 층의 확장부에 결합하는 제 2 금속 전극을 포함하는 제 2 소오스/드레인 전극; 상기 활성 층의 상기 제 1 단부와 상기 제 2 단부의 사이의 상기 채널 영역 상에 형성되는 제 1 유전 층 및 상기 제 1 유전 층 상의 메인 게이트 전극; 상기 제 1 그래핀 층의 상기 제 1 영역 상에 제 2 유전 층 및 상기 제 2 유전 층 상에 배치되는 제 1 제어 게이트 전극; 및 상기 제 2 그래핀의 상기 제 2 영역 상에 제 3 유전 층 및 상기 제 3 유전 층 상에 배치되는 제 2 제어 게이트 전극을 포함할 수 있다.

명세서

청구범위

청구항 1

채널 영역을 제공하는 활성 층;

상기 활성 층의 제 1 단부 상에 중첩되는 제 1 영역 및 상기 제 1 영역으로부터 상기 활성 층의 외부를 향하여 연장된 확장부를 갖는 제 1 그래핀 층; 및 상기 제 1 그래핀 층의 확장부에 결합하는 제 1 금속 전극을 포함하는 제 1 소오스/드레인 전극;

상기 활성 층의 제 2 단부 상에 중첩되는 제 2 영역 및 상기 제 2 영역으로부터 상기 활성 층의 외부를 향하여 연장된 확장부를 갖는 제 2 그래핀 층; 및 상기 제 2 그래핀 층의 확장부에 결합하는 제 2 금속 전극을 포함하는 제 2 소오스/드레인 전극;

상기 활성 층의 상기 제 1 단부와 상기 제 2 단부의 사이의 상기 채널 영역 상에 형성되는 제 1 유전 층 및 상기 제 1 유전 층 상의 메인 게이트 전극;

상기 제 1 그래핀 층의 상기 제 1 영역 상에 제 2 유전 층 및 상기 제 2 유전 층 상에 배치되는 제 1 제어 게이트 전극; 및

상기 제 2 그래핀 층의 상기 제 2 영역 상에 제 3 유전 층 및 상기 제 3 유전 층 상에 배치되는 제 2 제어 게이트 전극을 포함하고,

상기 제 1 및 제 2 그래핀 층은 상호 이격하여 배치되고, 상기 제 1 및 제 2 제어 게이트 전극은 상호 이격하여 배치되는 전계 제어 발광 소자.

청구항 2

제 1 항에 있어서,

상기 금속 전극들과 결합된 상기 그래핀 층들의 접촉 표면은 불화(fluorination)된 전계 제어 발광 소자.

청구항 3

제 1 항에 있어서,

상기 제 2 유전 층과 상기 제 3 유전 층은 동일한 유전 층이며, 상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극은 동일한 레벨을 갖는 전계 제어 발광 소자.

청구항 4

제 1 항에 있어서,

상기 메인 게이트 전극의 양 단부는 각각 상기 제 1 영역의 내측 단부와 상기 제 2 영역의 내측 단부로부터 상기 활성 층의 제 1 단부와 상기 제 2 단부쪽으로 오프셋된 전계 제어 발광 소자.

청구항 5

제 1 항에 있어서,

상기 제 1 소오스/드레인 전극 및 상기 제 2 소오스/드레인 전극은 상기 활성 층의 제 1 표면 상에 배치되며,

상기 메인 게이트 전극은 상기 활성 층의 상기 제 1 표면에 반대되는 제 2 표면 상에 배치되는 전계 제어 발광 소자.

청구항 6

제 1 항에 있어서,

상기 제 1 소오스/드레인 전극, 상기 제 2 소오스/드레인 전극 및 상기 메인 게이트 전극은 상기 활성 층의 동일 표면 상에 배치되는 전계 제어 발광 소자.

청구항 7

제 6 항에 있어서,

상기 제 1 내지 제 3 유전 층은 동일한 유전 층이며, 상기 제 1 제어 게이트 전극, 상기 제 2 제어 게이트 전극 및 상기 메인 게이트 전극은 동일한 레벨을 갖는 전계 제어 발광 소자.

청구항 8

제 1 항에 있어서,

상기 제 2 유전 층 및 상기 제 3 유전 층은 상기 제 1 및 제 2 그래핀 층 및 상기 활성 층을 봉지화하는 전계 제어 발광 소자.

청구항 9

제 1 항에 있어서,

상기 제 1 유전 층 내지 상기 제 3 유전 층 중 적어도 하나는 2차원 육방정계 질화붕소(hBN) 층을 포함하는 전계 제어 발광 소자.

청구항 10

제 1 항에 있어서,

상기 활성 층은 Mo, W, Nb, Ta, Zr, Hf, Tc, Re, Cu, Ga, In, Sn, Ge 및 Pb로 이루어진 군에서 선택되는 하나의 전이 금속을 갖는 전이금속 디칼코게나이드(Transition Metal di-chalcogenides)를 포함하는 전계 제어 발광 소자.

청구항 11

제 10 항에 있어서,

상기 전이금속 디칼코게나이드는 이셀레늄화텅스텐(WSe₂)인 전계 제어 발광 소자.

청구항 12

제 1 항에 있어서,

상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극에 동시에 양(positive) 전압을 인가하면, 상기 활성 층이 P 타입 도전체로 동작하고,

상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극에 동시에 음(negative) 전압을 인가하면, 상기 활성 층이 N 타입 도전체로 동작하는 전계 제어 발광 소자.

청구항 13

제 1 항에 있어서,

상기 제 1 및 제 2 그래핀 층은 단층 그래핀이 4층 내지 6층이 적층된 구조인 전계 제어 발광 소자.

청구항 14

제 1 항에 있어서,

상기 활성 층은 상기 제 1 제어 게이트 전극 및 제 2 제어 게이트 전극으로부터 주입되는 전자와 정공의 재결합에 의해 제공되는 발광 영역을 포함하는 전계 제어 발광 소자.

청구항 15

제 14 항에 있어서,

상기 메인 게이트 전극에 인가되는 전압에 의해 상기 발광 영역의 위치 또는 발광 파장이 제어되는 전계 제어 발광 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 전계 제어 발광 소자에 관한 것이다.

배경 기술

[0002] 최근에는 조명, 디스플레이 장치 및 광통신 산업이 점차 발달함에 따라 다기능을 가지는 발광 소자를 개발하려는 연구가 지속적으로 이루어지고 있다. 현재 많이 쓰이는 발광 소자는 직접 천이 밴드갭을 갖는 3-5족 반도체를 선택적으로 도핑하여 제조되는 무기물계 발광 다이오드 소자이다. 상기 무기물계 발광 다이오드 소자의 주입된 전자와 정공이 PN 접합에서 만나 재결합하여 발광하는 것이 기본적인 발광 원리이다.

[0003] 그러나, 무기물계 발광 다이오드 소자는 소재 자체의 물성으로 인해 투명하거나 유연하게 구현하는데 어려움이 있다. 이에 대한 대안으로서 유기물을 기반으로 하는 투명하고 유연한 유기물계 발광 다이오드 소자가 개발되고 있다. 그러나, 상기 유기물계 발광 다이오드 소자는 수분에 취약하여 수명이 길지 않은 불안정성을 가지고 있고, 기본적으로 발광 효율이 낮아 성능이 기존 무기물계 발광 소자에 비해 떨어지는 한계가 있다.

[0004] 또한, 일반적으로 디스플레이 장치에서 사용되는 하나의 서브 픽셀은 한 개의 발광 다이오드 소자와 이를 제어하는 한 개의 트랜지스터로 구성되어 있다. 이러한 구조는 효율, 회로 제작, 그리고 집적도 측면에서 약점으로 작용하여 대면적 및 고해상도 디스플레이 장치의 구현에 장애가 된다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명이 해결하고자 하는 기술적 과제는, 유연성과 투명성을 가지면서, 긴 수명이 확보되고 안정적인 발광 효율이 높고, 제어 회로를 단순화하여 회로 제작 공정이 용이하고 회로의 집적도가 높아 대면적 및 고해상도화가 가능한 디스플레이 장치를 구현할 수 있는 전계 제어 발광 소자를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따르면, 전계 제어 발광 소자는 채널 영역을 제공하는 활성 층; 상기 활성 층의 제 1 단부에 중첩되는 제 1 영역 및 상기 제 1 영역으로부터 상기 활성 층의 외부로 향하여 연장된 확장부를 갖는 제 1 그래핀 층; 및 상기 제 1 그래핀 층의 확장부에 결합하는 제 1 금속 전극을 포함하는 제 1 소오스/드레인 전극; 상기 활성 층의 제 2 단부에 중첩되는 제 2 영역 및 상기 제 2 영역으로부터 상기 활성 층의 외부로 향하여 연장된 확장부를 갖는 제 2 그래핀 층; 및 상기 제 2 그래핀 층의 확장부에 결합하는 제 2 금속 전극을 포함하는 제 2 소오스/드레인 전극; 상기 활성 층의 상기 제 1 단부와 상기 제 2 단부의 사이의 상기 채널 영역 상에 형성되는 제 1 유전 층 및 상기 제 1 유전 층 상의 메인 게이트 전극; 상기 제 1 그래핀 층의 상기 제 1 영역 상에 제 2 유전 층 및 상기 제 2 유전 층 상에 배치되는 제 1 제어 게이트 전극; 및 상기 제 2 그래핀 층의 상기 제 2 영역 상에 제 3 유전 층 및 상기 제 3 유전 층 상에 배치되는 제 2 제어 게이트 전극을 포함할 수 있다. 상기 제 1 및 제 2 그래핀 층은 상호 이격하여 배치될 수 있고, 상기 제 1 및 제 2 제어 게이트 전극은 상호 이격하여 배치될 수 있다. 상기 금속 전극들과 결합된 상기 그래핀 층들의 접촉 표면은 불화(fluorination)될 수 있다. 상기 제 2 유전 층과 상기 제 3 유전 층은 동일한 유전 층이며, 상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극은 동일한 레벨을 가질 수 있다. 상기 메인 게이트 전극의 양 단부는 각각 상기 제 1 영역의 내측 단부와 상기 제 2 영역의 내측 단부로부터 상기 활성 층의 제 1 단부와 상기 제 2 단부쪽으로 오프셋될 수 있다. 상기 제 1 소오스/드레인 전극 및 상기 제 2 소오스/드레인 전극은 상기 활성 층의 제 1 표면 상에 배치되며, 상기 메인 게이트 전극은 상기 활성 층의 상기 제 1 표면에 반대되는 제 2 표면 상에 배치될 수 있다. 상기 제 1 소오스/드레인 전극, 상기 제 2 소오스/드레인 전극 및 상기 메인 게이트 전극은 상기 활성 층의 동일 표면 상에 배치될 수 있다. 상기 제 1 내지 제 3 유전 층은 동일한 유전 층이며, 상기 제 1 제어 게

이트 전극, 상기 제 2 제어 게이트 전극 및 상기 메인 게이트 전극은 동일한 레벨을 가질 수 있다. 상기 제 2 유전 층 및 상기 제 3 유전 층은 상기 제 1 및 제 2 그래핀 층 및 상기 활성 층을 봉지화할 수 있다. 상기 제 1 유전 층 내지 상기 제 3 유전 층 중 적어도 하나는 2차원 육방정계 질화붕소(hBN) 층을 포함할 수 있다. 상기 활성 층은 Mo, W, Nb, Ta, Zr, Hf, Tc, Re, Cu, Ga, In, Sn, Ge 및 Pb로 이루어진 군에서 선택되는 하나의 전이 금속을 갖는 전이금속 디칼코게나이드(Transition Metal di-chalcogenides)를 포함할 수 있다. 상기 전이금속 디칼코게나이드는 이셀레늄화텅스텐(WSe₂)일 수 있다. 상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극에 동시에 양(positive) 전압을 인가하면, 상기 활성 층이 P 타입 도전체로 동작하고, 상기 제 1 제어 게이트 전극 및 상기 제 2 제어 게이트 전극에 동시에 음(negative) 전압을 인가하면, 상기 활성 층이 N 타입 도전체로 동작할 수 있다. 상기 제 1 및 제 2 그래핀 층은 단층 그래핀이 4층 내지 6층이 적층된 구조일 수 있다. 상기 활성 층은 상기 제 1 제어 게이트 전극 및 제 2 제어 게이트 전극으로부터 주입되는 전자와 정공의 재결합에 의해 제공되는 발광 영역을 포함할 수 있다. 상기 메인 게이트 전극에 인가되는 전압에 의해 상기 발광 영역의 위치 또는 발광 파장이 제어될 수 있다.

발명의 효과

[0007]

본 발명의 실시예에 따르면, 활성 층의 양 단부 제 1 및 제 2 그래핀 층이 중첩되는 영역 상에 위치한 제 1 및 제 2 제어 게이트 전극이 2차원 반도체와 그래핀의 계면에 전계를 가하여 페르미 준위를 조절하고, 상기 페르미 준위의 변화에 의해 쇼트키 장벽의 높이를 조절함으로써, 무기계 소자여서 수분에 내성을 가져 긴 수명이 확보되고 안정적이며 발광 효율이 높으며, 그래핀 전극에 의한 유연성과 투명성을 갖는 단일 전자소자로 발광 및 제어를 담당함으로써 회로 제작 공정이 용이하고 회로의 집적도가 높으며, 디스플레이 장치의 픽셀에 적용시 대면적화와 고해상도가 가능한 전계 제어 발광 소자가 제공될 수 있다.

도면의 간단한 설명

[0008]

도 1a는 본 발명의 일 실시예들에 따른 전계 제어 발광 소자의 분해 사시도이다.

도 1b 및 도 1c는 도 1a에 도시된 전계 제어 발광 소자의 부분 확대도이다.

도 2a 및 도 2b는 각각 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 같은 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 동작 설명을 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 같은 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 전도 특성을 나타내는 그래프이다.

도 4는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 동작 설명을 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극에 각각 서로 다른 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 동작 설명을 위한 3차원 다이어그램이다.

도 6는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극에 각각 서로 다른 부호의 전압이 동시 인가될 때 전류 특성을 보여주는 전류-전압 그래프이다.

도 7은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극에 각각 서로 다른 부호의 전압이 동시 인가될 때 전계 제어 발광 소자에서 발생하는 광을 촬영한 광학 현미경 사진이다.

도 8은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때 방출되는 광의 EL 스펙트럼과 PL 스펙트럼을 나타내는 그래프이다.

도 9는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 드레인-소스 전압의 변화에 따른 EL 스펙트럼을 비교하여 나타내는 그래프이다.

도 10은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 드레인-소스 전압과 전류밀도의 관계를 나타내는 그래프이다.

도 11은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 전류밀도와 EL 피크 영역(EL peak area) 간의 관계를 나타내는 그래프이다.

도 12는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될

때, 드레인-소스 전압과 EL 피크 영역(EL peak area) 간의 관계를 나타내는 그래프이다.

도 13은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 메인 게이트 전극에 인가되는 전압과 전류 간의 관계를 나타내는 그래프이다.

도 14a 내지 14c는 도 13에 도시된 영역 I (Region I) 내지 III (Region III)의 전계 제어 발광 소자의 동작 설명을 위한 도면이다.

도 15는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 도 13에 도시된 영역 I의 발광 특성을 보여주는 그래프이다.

도 16은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들에 각각 서로 다른 부호의 전압이 동시 인가될 때, 도 13에 도시된 영역 I의 EL 피크 영역(EL peak area) 및 전류 밀도를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0010] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0011] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0012] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0013] 본 명세서에서 기관 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기관 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기관 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.
- [0014] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다. 또한, 본 명세서에서, 사용되는 "이차원 물질"은 여러 개의 원자 배열이 한 층을 이루고 이 층들이 적어도 하나 이상의 층으로 배열돼 있는 이차원 구조의 모든 물질을 지칭한다.
- [0015] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.
- [0016] 본 명세서에서 '그래핀'은 단층 그래핀 뿐만 아니라, 적은 수의 단층 그래핀들(few monolayers)이 적층된 것을 지칭할 수 있다. 일 예로, 상기 적은 수는 1 내지 6의 범위 내 일 수 있다.
- [0017] 도 1a는 본 발명의 일 실시예에 따른 전계 제어 발광 소자의 분해 사시도이다. 도 1b 및 도 1c는 도 1a에 도시된 전계 제어 발광 소자의 부분 확대도이다. 도 1c에, 그래핀 층(101, 201)의 내측 단부와 메인 게이트 전극(32)의 양 단부의 상대적 위치 관계를 일점 쇄선 및 점선으로 나타내었다.
- [0018] 도 1a 및 도 1b를 참조하면, 일 실시예에 따른 전계 제어 발광 소자(300)는 제 1 유전 층(30), 제 1 유전 층(30) 상에 배치되어 채널 영역을 제공하는 활성 층(31), 제 1 그래핀 층(101) 및 제 1 금속 전극(104)을 포함하

는 제 1 소오스/드레인 전극, 제 2 그래핀 층(201) 및 제 1 금속 전극(204)을 포함하는 제 2 소오스/드레인 전극, 제 1 유전 층(30) 및 제 1 유전 층(30) 상의 메인 게이트 전극(32), 제 2 유전 층(103) 및 제 2 유전 층(103) 상의 제 1 제어 게이트 전극(102) 및 제 3 유전 층(203) 및 제 3 유전 층(203) 상의 제 2 제어 게이트 전극(202)을 포함할 수 있다. 활성 층(31)은 서로 이격된 제 1 단부(도 1c의 31e(1)) 및 제 2 단부(도 1c의 31e(2))를 가질 수 있다.

[0019] 상기 제 1 및 제 2 금속 전극들(104, 204)은 각각 제 1 그래핀 층(101) 및 제 2 그래핀 층(201)에 결합될 수 있다. 금속 전극들(104, 204)의 소재에 관하여는, 후술될 제어 게이트 전극(102, 202)에 관한 예를 참조할 수 있다. 금속 전극들(104, 204) 및 후술될 메인 게이트 전극(32)은 동일 물질로 형성될 수 있다. 전술한 실시예는 예시적인 것일 뿐 본 발명이 이에 한정되는 것은 아니다.

[0020] 일 실시예에 따르면, 활성 층(31)은 2차원 반도체 물질을 포함할 수 있다. 상기 2차원 반도체 물질은 흑린(black phosphorus), 전이 금속 칼코게나이드(Transition Metal chalcogenides) 물질 중 어느 하나 또는 이의 조합(예를 들면, 적층 구조, 이들 사항의 혼합물 또는 화합물)을 포함할 수 있다. 전이 금속 칼코게나이드는 Mo, W, Nb, Ta, Zr, Hf, Tc, Re, Cu, Ga, In, Sn, Ge, Pb 중 하나의 금속 원소와 S, Se, Te 중 하나의 칼코젠 원소를 포함할 수 있다. 예를 들어, 전이 금속 칼코게나이드는 전이 금속 다이칼코게나이드(Transition Dichalcogenides)로서 MoS_2 , MoSe_2 , MoTe_2 , WSe_2 , WTe_2 , WS_2 , ZrS_2 , ZrSe_2 , HfS_2 , HfSe_2 및 NbSe_2 중 어느 하나를 포함할 수 있다. 일부 실시예에서, 금속 칼코게나이드계 물질은 MoS_2 , MoSe_2 , MoTe_2 , WSe_2 , WTe_2 또는 WS_2 을 포함하는 제 1 금속 칼코게나이드 물질과 ZrS_2 , ZrSe_2 , HfS_2 , HfSe_2 또는 NbSe_2 을 포함하는 제 2 금속 칼코게나이드 물질이 서로 공유 결합 또는 금속 결합에 의해 생성된 반응 화합물을 포함할 수 있다. 일 실시예에 따르면, 상기 활성 층(31)에 포함된 2차원 반도체 물질은 단일층(monolayer)으로 구성된 물질일 수 있다.

[0021] 상기 2차원 반도체 물질은 전자와 정공을 모두 구동전하로 활용하는 양극성 반도체일 수 있다. 활성 층(31)은 양극성 반도체를 포함함으로써, 인가되는 전계 제어 전압의 극성에 따라 n타입 또는 p타입으로 소자 특성이 변할 수 있으며, 상기 소자 특성의 변화에 대해서는 도 2a 내지 도 2b를 참조하여 후술하기로 한다. 상기 양극성 반도체는 흑린, MoS_2 , WS_2 , NbS_2 , TaS_2 , ZrS_2 , HfS_2 , TcS_2 , ReS_2 , CuS_2 , GaS_2 , InS_2 , SnS_2 , GeS_2 , PbS_2 , MoSe_2 , WSe_2 , NbSe_2 , TaSe_2 , ZrSe_2 , HfSe_2 , TcSe_2 , ReSe_2 , CuSe_2 , GaSe_2 , InSe_2 , SnSe_2 , GeSe_2 , PbSe_2 , MoTe_2 , WTe_2 , NbTe_2 , TaTe_2 , ZrTe_2 , HfTe_2 , TcTe_2 , ReTe_2 , CuTe_2 , GaTe_2 , InTe_2 , SnTe_2 , GeTe_2 및 PbTe_2 중 적어도 하나를 포함할 수 있다.

[0022] 상기 2차원 반도체는 발광층으로서 기능할 수 있다. 발광층으로서 바람직하게는 상기 이차원 반도체는 양극성 2차원 반도체일 수 있다. 상기 발광층에서 발광이 일어나는 원리에 대해서는 도 4를 참조하여 자세히 후술하기로 한다.

[0023] 활성 층(31) 상에 제 1 유전 층(30)이 배치될 수 있다. 제 1 유전 층(30)은 활성 층(31)의 제 1 단부(31e(1)) 및 제 2 단부(31e(2)) 사이의 상기 채널 영역 상에 형성될 수 있다. 발명의 일 실시예에 따르면, 제 1 유전 층(32)은 전계 제어 발광 소자(300)의 기판 역할을 할 수 있다. 제 1 유전 층(30)은 그 위에 용액법이나 기상 증착법과 같은 성막법에 의해 박막 형성이 가능한 다양한 물질들 중에서 선택될 수 있으며, 예를 들어 실리콘, 실리콘-게르마늄, 실리콘 탄화물(SiC), 또는 유리(glass)로 형성될 수 있다. 다른 실시예에서, 제 1 유전 층(30)은 유연한 전계 제어 발광 소자(300)를 구현하기 위하여 유연한 물질로 형성될 수 있다. 예를 들어, 유연한 물질은 폴리에스터계 고분자, 실리콘계 고분자, 아크릴계 고분자, 폴리올레핀계 고분자, 이들의 공중합체 또는 육방정계 질화붕소(hBN)군에서 하나로 선택될 수 있다. 바람직하게는, 제 1 유전 층(30)은 상기 육방정계 질화붕소(hBN)로 형성될 수 있다.

[0024] 상기 육방정계 질화붕소는 붕소와 질소가 1:1 비율로 구성된 화합물 중 육방정계 결정구조를 가지는 물질을 지칭하며, 그래핀과 유사하게 붕소와 질소 원자가 육각벌집 모양의 평평한 결정구조를 가진다. 즉, 유연성을 가지는 상기 그래핀과 결정구조가 유사하여 상기 육방정계 질화붕소도 유연성을 가질 수 있다. 또한, 상기 육방정계 질화붕소는 상기 그래핀과 달리 6eV 정도의 띠 간격을 가지므로 절연층으로서의 성능이 우수하다. 또한 붕소와 질소가 강한 공유결합으로 결합되어 있어 물리적 및 화학적 안정성이 높아 후술하는 것과 같이 봉지층으로서 이용될 수 있다.

[0025] 제 1 유전 층(30) 상에 메인 게이트 전극(32)이 배치될 수 있다. 메인 게이트 전극(32)은 후술될 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)과 물리적으로 이격될 수 있다. 메인 게이트 전극(32)의 소재에 관하여는, 후술될 제어 게이트 전극(102, 202)에 관한 예를 참조할 수 있다.

- [0026] 그래핀 층(101, 201)을 구성하는 그래핀은 투명하고 유연한 물질이면서 2차원 물질 중 높은 전도도를 가져 도체로서 우수한 성질을 가지므로 웨어러블 전자소자에 플렉시블 전극으로서 사용가치가 크다. 또한, 상기 그래핀은 매우 얇은 두께를 가지는 2차원 물질이므로 가리움 효과가 없어 벌크(bulk) 소재와 달리 모든 전하가 전계의 영향을 받을 수 있다. 따라서 전계에 의해 그래핀의 2차원 물질로서의 특성이 효과적으로 제어 가능하다.
- [0027] 그래핀 층(101, 201)은 단층 그래핀들이 약 4층 내지 6층으로 적층된 구조일 수 있다. 그래핀 층(101, 201)은 적층된 층의 수 및 형상에 따라 다양한 전기적 특성을 나타내며, 복층 그래핀은 적층된 층 수가 2층 내지 3층으로 적을 경우 상대적으로 반도체에 가까운 전기적 성질을 가질 수 있다. 반대로 4층 이상 적층된 복층 그래핀인 경우, 상기 복층 그래핀은 금속에 가까운 전기적 성질을 가질 수 있다.
- [0028] 도 1c를 참조하면, 제 1 그래핀 층(101) 및 제 2 그래핀 층(201)은 각각 활성 층(31)의 제 1 단부(31e(1)) 상에 중첩되는 제 1 영역 및 제 2 단부(31e(2)) 상에 중첩되는 제 2 영역을 가질 수 있다. 일 실시예에 따르면, 메인 게이트 전극(32)의 양 단부는 각각 상기 제 1 영역의 내측 단부(도 1c의 101e)와 상기 제 2 영역의 내측 단부(도 1c의 201e)로부터 상기 활성 층의 제 1 단부(31e(1))와 제 2 단부(31e(2))쪽으로 오프셋(offset)될 수 있다.
- [0029] 제 1 영역 및 제 2 영역 상에 배치될 수 있는 제어 게이트 전극들(102, 202)에 대해서는 후술할 것이다. 일 실시예에 따르면, 제 1 그래핀 층(101) 및 제 2 그래핀 층(201)은 상기 제 1 영역 및 상기 제 2 영역으로부터 활성 층(31)의 외부로 더 연장된 확장부(105, 205)를 가질 수 있다. 확장부(105, 205)는 제 1 유전 층(30), 제 2 유전 층(103) 또는 제 3 유전 층(203) 상에 위치할 수 있다. 그래핀 층(101, 201)이 확장부(105, 205)를 가지는 경우, 상기 제 1 및 제 2 금속 전극들(104, 204)은 확장부(105, 205)에 결합될 수 있다.
- [0030] 발명의 일 실시예에 따르면, 그래핀 층(101, 201)의 적어도 일부는 그래핀이 불화(fluorination)되어 형성된 불화 그래핀(fluorographene, 도 1b의 FG)을 포함할 수 있다. 상기 불화 그래핀은 그래핀 층(101, 201)이 제 1 금속 전극(104) 또는 상기 제 2 금속 전극(204)과 결합하기 위한 접촉 표면으로서 기능할 수 있다. 상기 불화 그래핀이 그래핀 층(101, 201)의 상기 접촉 표면에 배치될 경우, 금속 전극들(104, 204)이 2차원 반도체 표면과 직접적으로 반응하는 것을 막아주어 페르미 준위 고정 현상을 방지하며, 불소가 그래핀과 금속 간 전하 이동의 매개 역할을 하여 전하 이동 효율을 증대시킬 수 있다. 따라서 금속에서 2차원 반도체로 전하가 효과적으로 주입될 수 있으며, 저항이 낮은 계면을 형성하여 2차원 반도체 소자의 전극저항을 낮출 수 있다. 또한, 불화 그래핀이 봉지층의 역할을 수행하게 되어 소자의 특성 및 안정성을 향상시킬 수 있다.
- [0031] 일 실시예에서, 그래핀 층(101, 201)의 2차원 물질과 활성 층(31)의 2차원 물질이 적층된 이중접합 구조를 가지므로써, 수 나노미터 두께 범위 내에서 다양한 전자 소자 및 회로를 구성할 수 있으며, 종래 실리콘 기반 전자 소자로 구현하기 어려운 유연하고 투명한 웨어러블 전자소자의 구현이 용이할 수 있다. 또한, 2차원 물질을 기반으로 한 전자 소자는 높은 유연성 및 투명도를 가지며 그 외에도 높은 전하 이동도와 전계제어 특성을 가지고 있어 소자의 활용가치를 높일 수 있다. 2차원 물질 중 매우 높은 전도도를 갖는 그래핀은 투명하고 유연한 전극으로 사용되며, 다른 물질과 적층되어 이중접합 구조를 형성할 경우, 독특한 밴드 구조로 인해 전계에 의한 도핑이 가능하다.
- [0032] 일 실시예에서, 제 1 제어 게이트 전극(102)과 제 2 제어 게이트 전극(202)은 각각 제 1 그래핀 층(101)의 상기 제 1 영역 및 제 2 그래핀 층(201)의 상기 제 2 영역 상에 배치될 수 있다. 제어 게이트 전극들(102, 202)은 반도체와 그래핀 전극의 계면에 전계를 인가하여 상기 제 1 영역 및 상기 제 2 영역의 전기적 특성을 제어할 수 있다. 제어 게이트 전극들(102, 202)은 활성 층(31)과 그래핀 층(101, 201)의 계면에 전계를 인가함으로써 그래핀 층(101, 201)에 포함된 그래핀의 페르미 준위가 변하여 쇼트키 장벽의 높이가 조절될 수 있다. 일 실시예에 따르면, 두 개의 제어 게이트 전극들(102, 202)은 그래핀 층(101, 201)과 활성 층(31)이 접촉하는 영역인 상기 제 1 영역 및 상기 제 2 영역만 제어하도록 구성될 수 있고, 활성 층(31)이 제공하는 채널 영역은 메인 게이트 전극(32)으로 제어하여 채널 영역 내의 전하 농도(도핑)를 제어할 수 있다.
- [0033] 제어 게이트 전극(102, 202)은 금속을 포함할 수 있다. 예를 들어 제어 게이트 전극(102)은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈륨(Ta), 텔루르(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 또는 지르코늄(Zr) 중의 적어도 하나를 포함할 수 있다. 제어 게이트 전극(102, 202)은 도전성을 가지는 비금속일 수 있다. 예를 들어 제어 게이트 전극(102, 202)은 폴리 실리콘, 또는 ITO(indium-tin oxide)를 포함할 수 있다. 전술한 실시예는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

- [0034] 제 2 유전 층(103)은 제 1 제어 게이트 전극(102)과 제 1 그래핀 층(101) 사이에 위치할 수 있다. 제 3 유전 층(203)은 제 2 제어 게이트 전극(202)과 제 2 그래핀 층(201) 사이에 위치할 수 있다.
- [0035] 일 실시예에 따르면, 상기 제 1 소오스/드레인 전극 및 상기 제 2 소오스/드레인 전극은 활성 층(31)의 제 1 표면 상에 배치될 수 있다. 이 때, 제 2 유전 층(103)과 제 3 유전 층(203)은 서로 물리적으로 연결되어 동일한 유전 층으로 제공될 수 있다. 동일한 유전 층으로 제공되는 제 2 유전 층(103)과 제 3 유전 층(203) 상에 각각 배치된 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)은 동일한 공정 스텝에서 형성되어 동시에 형성되도록 동일한 레벨을 가질 수 있다. 일 실시예에 따르면, 상기 제 1 및 제 2 소오스/드레인 전극이 활성 층(31)의 제 1 표면 상에 배치될 경우, 메인 게이트 전극(30)은 활성 층(31)의 상기 제 1 표면에 반대되는 제 2 표면 상에 배치될 수 있다.
- [0036] 도 1a 및 도 1b에 미도시된 다른 실시예에 따르면, 상기 제 1 소오스/드레인 전극, 제 2 소오스/드레인 전극 및 메인 게이트 전극(32)은 활성 층(31)의 동일 표면 상에 배치될 수 있다. 이 때, 제 2 유전 층(103), 제 3 유전 층(203) 및 전술한 제 1 유전 층(30)은 서로 물리적으로 연결되어 동일한 유전 층을 구성할 수 있다. 동일한 유전 층으로 제공되는 제 1 유전 층(30) 내지 제 3 유전 층(203) 상에 각각 배치된 제 1 제어 게이트 전극(102), 제 2 제어 게이트 전극(203) 및 메인 게이트 전극(32)은 상기 동일한 레벨을 가질 수 있다.
- [0037] 도 1a 및 도 1b에 미도시된, 발명의 다른 실시예에 따르면, 제 2 유전 층(103)과 제 3 유전 층(203)은 서로 물리적으로 이격될 수 있다. 전술한 실시예는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.
- [0038] 일 실시예에 따르면, 제 2 유전 층(103) 또는 제 3 유전 층(203)은 그래핀 층(101, 201)과 활성 층(31)을 봉지화할 수 있다. 제 2 유전 층(103) 또는 제 3 유전 층(203)이 봉지층(Encapsulation Layer) 역할을 함으로써 소자의 안정성이 향상된다.
- [0039] 제 2 유전 층(103) 및 제 3 유전 층(203)은 2차원 절연체를 포함할 수 있다. 상기 2차원 절연체는 단일 층(monolayer)일 수 있다. 발명의 일 실시예에 따르면 2차원 절연체는 산화 그래핀, 2차원 산화물(예를 들어, $Ti_{0.8}O_2$ 및 $LaNb_2O_7$) 또는 육방정계 질화붕소(hBN) 중 적어도 하나를 포함할 수 있다. 바람직하게는 제 2 유전 층(103) 및 제 3 유전 층(203)은 육방정계 질화붕소(hBN) 층을 포함할 수 있다. 상기 육방정계 질화붕소가 유전 층 및 봉지 층으로서 성능이 우수한 것은 전술한 바와 같다.
- [0040] 도 2a 및 도 2b는 각각 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들(102, 202)에 서로 같은 부호의 전압(양전압 및 음전압)이 동시 인가될 때 전계 제어 발광 소자의 동작 설명을 위한 도면이다.
- [0041] 도 2a 및 도 2b를 참조하면, 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 동일하게 플러스(양, positive) 전압(NI)을 인가하게 되면 전계 효과에 의해 양 그래핀 층(101, 201)의 페르미 준위가 상승하여 전자에 대한 쇼트키 장벽(Schottky Barriers)이 낮아지기 때문에 활성 층(31) 내의 전자의 농도가 높아지게 된다. 일측 금속 전극(도 1a의 104)과 전기적으로 연결된 그래핀 층(101)에서 전자만 선택적으로 주입되고, 타측 금속 전극(도 1a의 204)과 전기적으로 연결된 그래핀 층(201)에서 정공이 주입되지 못하므로, 활성 층(31) 내 전자의 농도가 높아져 활성 층(31)은 n타입의 반도체 소자 특성을 보인다. 반대로 제 1 제어 게이트 전극(201) 및 제 2 제어 게이트 전극(202)에 동일하게 마이너스(음, negative) 전압(PI)을 걸어주는 경우, 그래핀과 WSe_2 의 페르미 준위가 내려가면서 정공에 대한 쇼트키 장벽(Schottky Barriers)이 낮아져서 정공에 대한 전도도는 증가하며, 전자에 대한 전도도는 감소하게 된다. 일측 금속 전극(204)과 전기적으로 연결된 그래핀 층(201)에서 정공만 선택적으로 주입되고, 타측 금속 전극(104)과 전기적으로 연결된 그래핀 층(101)에서는 전자가 주입되지 못하므로 활성 층(31) 내 정공의 농도가 높아져 활성 층(31)은 p타입의 반도체 소자 특성을 보인다. 따라서, 활성 층(31)에 어떠한 물리적, 화학적 도핑 없이 전극 영역의 제어 게이트 전극(32)의 전압을 조절함으로써 각 전계 제어 발광 소자(300)가 p타입 또는 n타입의 특성을 보이는, 전계 제어 발광 소자(300) 복수 개가 배치된 회로 구성이 가능하다.
- [0042] 도 3은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극(102, 202)에 각각 서로 같은 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 전도 특성을 나타내는 그래프이다. 메인 게이트 전극(32)의 전압(V_{bg}), 상기 두 개의 제어 게이트 전극(102, 202)에 인가되는 전압(V_{tg1} , V_{tg2}) 및 전류 밀도(J_{ds})는 달라질 수 있으며, 상기 그래프는 비제한적인 실험예일 뿐이고, 다양한 실시예는 특정 실험 조건으로 제한되지 않는다.
- [0043] 도 3을 참조하면, 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 어떤 전압도 인가하지 않은 경우 메인 게이트 전극(32)에 강한 양전압을 걸수록 전도도가 증가하는 바, 기본적으로 n타입의 반도체 소자 특성

을 가짐을 알 수 있다. 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 양전압(NI)을 인가한 경우, 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 어떤 전압도 인가하지 않은 경우보다 전도도가 더 많이 증가함을 볼 수 있다. 즉, n타입 반도체 소자 특성이 더 심화된다. 반대로 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 음전압(PI)을 인가한 경우, 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 어떤 전압도 인가하지 않은 경우와 달리 메인 게이트 전극(32)에 강한 음전압을 걸수록 전도도가 증가함을 볼 수 있다. 즉, p타입 반도체 소자 특성이 더 심화된다.

[0044] 도 4 및 도 5는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극들(102, 202)에 각각 서로 다른 부호의 전압이 동시 인가될 때 전계 제어 발광 소자의 동작 설명을 위한 도면 및 3차원 다이어그램이다.

[0045] 도 4 및 도 5를 참조하면, 본 발명의 일 실시예에 따른 전계 제어 발광 소자는 그래핀 층 - 중첩 영역 - 활성 층 - 중첩 영역 - 그래핀 층의 다섯 영역의 계단식 에너지 밴드 구조를 갖는다. 제 1 제어 게이트 전극(도 1의 102) 및 제 2 제어 게이트 전극(도 1의 202)에 각각 플러스 전압(NI)과 마이너스 전압(PI), 또는 마이너스 전압(PI)과 플러스 전압(NI)을 가한다. 이 경우 전계 효과에 의해 플러스 전압이 가해진 상기 제어 게이트 전극 하에 형성된 일측의 그래핀 층의 페르미 준위가 상승하면서 전자가 상기 그래핀 층으로 주입되고, 마이너스 전압이 가해진 제어 게이트 전극 하에 형성된 타측의 그래핀 층에서 그래핀 층의 페르미 준위가 하강하면서 상기 그래핀 층으로 정공이 주입된다. 양극성 반도체(예를 들어, 이셀레늄화텅스텐(WSe_2))를 포함하는 활성 층의 페르미 준위가 조절됨으로써 활성 층의 정공과 전자의 밀도가 변화하고, 변화된 정공과 전자의 밀도가 최적으로 맞춰지면 전자 및 정공이 재결합하면서 상기 전자 및 정공을 포함하는 활성 층(31)이 발광하게 된다. 이 때, 메인 게이트 전극(32)을 이용하여 활성 층(31)의 페르미 준위를 조절할 수 있다. 상기 메인 게이트 전극(32)으로 가해지는 전계를 조절하면 활성 층(31)의 도핑 레벨과 전자와 정공에 대한 전도도가 변하게 되어 정공과 전자가 결합하는 위치를 제어할 수 있다. 즉, 전자와 정공이 재결합하는 영역을 미세 제어함으로써 상기 활성 층 내 발광 포인트를 제어할 수 있다.

[0046] 주입되는 전자와 정공의 밀도를 조절하면, 트라이온(trion)의 형성 및 엑시톤(exciton)의 종류 및 밀도를 제어하여 발광파장도 조절할 수 있다. 엑시톤이란 음전하를 띤 전자와 양전하를 띤 정공이 쿨롱(coulomb) 인력으로 결합된 준입자 상태를 말하며 광을 조사하였을 때 생성되어 엑시톤이 바닥상태로 되돌아 감으로써 발광에 기여한다. 트라이온이란 엑시톤에 추가적인 전자나 정공이 붙은 전하를 띤 준입자 상태를 말하며 3차원 반도체에서는 불안정하여 발광에 기여하지 못하나 2차원 반도체에서는 강한 쿨롱(coulomb) 인력에 의해 상온에서도 안정한 상태로 존재할 수 있어 발광에 기여할 수 있다.

[0047] 도 6은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극에 각각 서로 다른 부호의 전압이 동시 인가될 때 정류 특성을 보여주는 전류-전압 그래프이다. 그래핀 층(101, 201)과 접촉하는 활성 층(31)의 물질은 달라질 수 있으며, 상기 그래프는 비제한적인 실험예일 뿐이고, 다양한 실시예는 특정 실험 조건으로 제한되지 않는다.

[0048] 도 6을 참조하면, 인가되는 소오스/드레인 전압(V_{ds})의 변화에 대해 소오스/드레인 전류(I_{ds})가 선형적으로 변하지 않음을 알 수 있다. 상기 실험예에 따르면, 상기 전계 제어 발광 소자(300)는 두 개의 제어 게이트 전극에 서로 다른 부호의 전압이 동시 인가될 때 단방향 전기 전도성을 갖는 정류 특성을 가짐을 보여준다. 상기 정류 특성은 제 1 제어 게이트 전극(102) 및 제 2 제어 게이트 전극(202)에 걸리는 전압의 부호가 서로 다를 때 발생한다. 예를 들어, 제 2 제어 게이트 전극(202)에 마이너스 전압(V_{tg2} 가 음의 값, PI)이 인가된 경우, 제 2 그래핀 층(201)의 정공 농도가 상승하고 전자 농도는 감소한다. 이 때, 제 1 그래핀 층(101)의 정공 농도는 감소하고 전자 농도는 증가한다. 따라서 제 1 그래핀 층(101)에서는 전자가 선택적으로 채널에 주입되고 제 2 그래핀 층(201)에서는 정공이 선택적으로 주입될 수 있다. 이 때, 제 2 그래핀 층(201)과 전기적으로 연결된 제 2 금속 전극(204)에서 플러스 전압이 인가된 경우에는 정공이 제 2 그래핀 층(201)으로 주입되어 전류가 흐를 수 있다. 반대로, 제 2 금속 전극(204)에서 마이너스 전압이 인가된 경우에는 제 1 그래핀 층(101)에서 정공이, 제 2 그래핀 층(201)에서는 전자가 주입되어야 전류가 흐를 수 있으나, 제 1 그래핀 층(101)에서는 정공의 농도가 낮고, 제 2 그래핀 층(201)에서는 전자의 농도가 낮기 때문에 제 1 그래핀 층(101)으로부터 정공이 주입되지 않고, 제 2 그래핀 층(201)으로부터 전자가 주입되지 않기 때문에 전류가 흐르지 않는다.

[0049] 반대로, 제 2 제어 게이트 전극(202)에 플러스 전압(V_{tg2} 가 양의 값, NI) 인가된 경우, 제 2 그래핀 층(201)의 전자 농도가 상승하고 정공 농도는 감소한다. 이 때, 제 1 그래핀 층(101)의 전자 농도는 감소하고 정공 농도는 증가한다. 따라서 제 1 그래핀 층(101)에서는 정공이 선택적으로 채널에 주입되고, 제 2 그래핀 층(201)에서는 전자가 선택적으로 주입될 수 있다. 이 때, 제 2 그래핀 층과 전기적으로 연결된 제 2 금속 전극(204)에서 마

이너스 전압이 인가된 경우에는 정공이 제 2 그래핀 층으로 주입되어 전류가 흐를 수 있다. 반대로, 제 2 소오스/드레인 전극(204)에서 플러스 전압이 인가된 경우에는 제 1 그래핀 층(101)에서 정공이, 제 2 그래핀 층(201)에서는 전자가 주입되어야 전류가 흐를 수 있으나, 제 1 그래핀 층(101)에서는 정공 농도가 낮고, 제 2 그래핀 층(201)에서는 전자의 농도가 낮기 때문에 전류가 흐르지 않는다.

[0050] 도 7 및 도 8은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극(102, 202)에 각각 서로 다른 부호의 전압이 동시 인가될 때 전계 제어 발광 소자에서 발생하는 광을 촬영한 광학 현미경 사진 및 방출되는 광의 EL 스펙트럼과 PL 스펙트럼을 나타내는 그래프이다. 소스-드레인 전압(V_{ds}) 또는 인가되는 광의 파장 또는 세기는 달라질 수 있으며, 상기 그래프는 비제한적인 실험예일 뿐이고, 다양한 실시예는 특정 실험 조건으로 제한되지 않는다.

[0051] 원자나 분자가 에너지를 흡수하는 현상을 바닥상태로부터 들뜬 상태로의 전자의 여기로 표현할 수 있으며, 들뜬 상태에서 일정시간이 지나면 전자는 바닥상태로 되돌아오게 된다. 발광체에서 이러한 전이를 하는 동안에 에너지의 일부 또는 전부를 광으로 방출하게 된다. 이때 광에 의하여 여기하였다가 방출되는 광은 광 발광(Photoluminescence, PL)이라 하고, 전계에 의하여 여기하였다가 방출되는 광은 전계 발광(electroluminescence, EL)이라 한다. 도 7 및 도 8을 참조하면, 본 발명의 일 실시예에 따른 전계 제어 발광 소자에서 방출한 전계 발광 및 광 발광의 스펙트럼의 형태와 발광 파장이 실질적으로 동일함이 확인될 수 있다.

[0052] 도 9 내지 도 12는 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극(102, 202)에 각각 서로 다른 부호의 전압이 동시 인가될 때, 드레인-소스 전압의 변화에 따른 EL 스펙트럼을 비교하여 나타내는 그래프, 드레인-소스 전압과 전류밀도의 관계를 나타내는 그래프, 전류밀도와 EL 피크 영역(EL peak area) 간의 관계를 나타내는 그래프 및 드레인-소스 전압과 EL 피크 영역간의 관계를 나타내는 그래프이다.

[0053] 도 9 및 도 12를 참조하면, 소스-드레인 전극에 인가되는 전압(V_{ds})이 증가할수록 EL 강도(intensity) 및 EL 피크 영역(peak area)이 증가하는 비례관계임이 확인될 수 있다. V_{ds} 값이 각각 -1.0 V, -2.0 V, -2.5 V, -3.0 V, -3.5 V 및 -4.0 V 인 경우의 광의 스펙트럼은 각각 P_0 , P_1 , P_2 , P_3 , P_4 , 및 P_5 에 해당한다. V_{ds} 값이 증가하더라도 광(전계 발광)의 강도는 증가하나, 방출되는 광의 평균 파장은 달라지지 않음을 알 수 있다. 도 10을 참조하면, 소스-드레인 전극에 인가되는 전압(V_{ds}) 값(-4.0V 내지 -2.0 V)에 대응되는 전류 밀도 값을 도출할 수 있다. EL 스펙트럼이 각각 P_1 , P_2 , P_3 , P_4 , 및 P_5 일 때 도출된 전류 밀도 값과 EL 피크 영역(peak area)의 관계를 도 11에 나타내었다. 이에 따르면 전류 밀도와 EL 피크 영역(peak area)이 양의 상관관계에 있음이 확인될 수 있다. 또한, 전류 밀도와 EL 피크 영역의 관계 및 소스-드레인 전압(V_{ds})과 EL 피크 영역의 관계는 양의 기울기를 갖는 1차 함수의 형태이며, 이러한 특성으로부터 발광 소자를 실제로 응용할 때 발광 특성의 제어가 용이함을 알 수 있다.

[0054] 도 13은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극(102, 202)에 각각 서로 다른 부호의 전압이 동시 인가될 때, 메인 게이트 전극에 인가되는 전압과 전류 간의 관계를 나타내는 그래프이다. 도 14a 내지 도 14는 및 도 13에 도시된 영역 I(Region I) 내지 III(Region III)의 전계 제어 발광 소자의 동작 설명을 위한 도면이다.

[0055] 도 13을 참조하면, 메인 게이트 전극에 인가되는 전압(V_{bg}) 값이 변함에 따라 광과 전류의 흐름이 달라지는 것을 볼 수 있다. 본 발명의 일 실시예에 따른 전계 제어 발광 소자(300)는 일반적인 소자와 달리 동작 특성이 영역(Region) I, 영역 II 및 영역 III으로 뚜렷이 구분되는 거동을 갖는다. 영역 I은 전류가 흐르면서 광이 방출되는 동작 영역이다. 영역 II는 전류도 흐르지 않고, 광도 방출되지 않는 동작 영역이다. 그리고 영역 III은 광은 방출되지 않고 전류만 흐르는 영역이다.

[0056] 전술한 바와 같이(도 4 및 도 5의 설명 참조), 메인 게이트 전극(32)을 이용하면 활성 층(31)의 페르미 준위를 조절할 수 있으며, 메인 게이트 전극(32)으로 가해지는 전계를 조절하면 정공과 전자가 만나는 위치 및 활성 층(31) 내 발광 포인트를 제어할 수 있다.

[0057] 도 14a 내지 도 14c를 참조하면, 메인 게이트 전극(32, 도 14a 내지 도 14c에 생략됨)에 인가되는 전압(V_{bg})이 음에서 양으로 증가할수록, 활성 층(31)의 페르미 준위가 상승하면서 활성 층(31)으로 전자가 주입되어 정공 농도는 감소하고 전자 농도는 증가한다. 영역 I에서는, 활성 층(31)에서 전자 농도가 높은 영역과 정공 농도가 높은 영역이 존재하므로 상기 활성 층의 일부가 각각 p타입과 n타입 특성을 가져 pn접합 형태가 될 수 있다.

따라서 활성 층(31) 내에서 전자와 정공이 만나게 되어 활성 층(31) 영역에서 방출되는 광을 관찰할 수 있다. 영역 I의 최대 전류 값 및 후술될 최대 광 강도(EL intensity)는 정공과 전자 농도가 균형을 이루는 영역에서 확인된다. 영역 I에서 최대 전류 수치를 갖는 V_{bg} 값이 0V 미만으로 치우친 이유는 n타입 반도체 특성을 가지는 활성 층(31)을 이용하였기 때문이며, 활성 층(31)의 종류에 따라 최대 전류 값을 갖는 V_{bg} 값은 달라질 수 있다. 영역 II에서는, 활성 층(31)이 공핍 영역을 형성한다. 활성 층(31) 내로 전자는 주입되지만 채널이 전도성을 가지기에는 부족하고, 정공에 대한 에너지 장벽이 높아져 정공이 더 이상 주입되지 못하므로 전류가 흐르지 않고, 발광현상도 발생하지 않는다. 영역 III에서는, 활성 층(31)의 전자 농도가 더 상승하여 활성 층(31)이 n타입 특성을 보이는 것을 확인할 수 있다. 따라서 활성 층(31)의 정공 농도가 희박해져 정공이 활성 층(31) 내에서 구동 전하로 작동하지 못한다. 따라서 활성 층(31)내 전자와 정공의 결합이 발생하지 않고, 전자의 이동에 의해 전류만 흐르고 발광현상은 발생하지 않는다.

[0058] 도 15 및 도 16은 본 발명의 일 실시예에 따른 2 개의 제어 게이트 전극(102, 202)에 각각 서로 다른 부호의 전압이 동시 인가될 때, 도 13에 도시된 영역 I의 발광 특성을 보여주는 그래프 및 EL 피크 영역(EL peak area) 및 전류 밀도를 나타내는 그래프이다.

[0059] 도 15 및 16을 참조하면, 영역 I에서, EL 피크 영역(peak area) 또는 EL 강도(intensity)가 도 13에 도시된 전류 값과 유사한 분포를 가진다. EL peak area 값과 EL intensity 값은 전류 밀도와 마찬가지로 드레인-소스 전극에 인가되는 전압(V_{bg})에 의해 조절됨을 알 수 있다. 도 15에 나타내어진 발광 특성에 따르면, V_{bg} 값이 변화하더라도 발광하는 빛의 강도는 변하나, 방출되는 광의 평균 파장은 변하지 않음을 확인할 수 있다.

[0060] 본 발명은 기본적인 트랜지스터 구조에서 주입되는 전하의 종류를 제어하여 발광 소자를 구현한 것으로서, 두 개의 제어 게이트 전압을 통해 n 타입 발광 다이오드 또는 p 타입 발광 다이오드를 구현할 수 있다. 또한, 추가적으로 메인 게이트 전압을 제어하여 채널 영역을 발광 영역으로 구현할 수 있다.

[0061] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

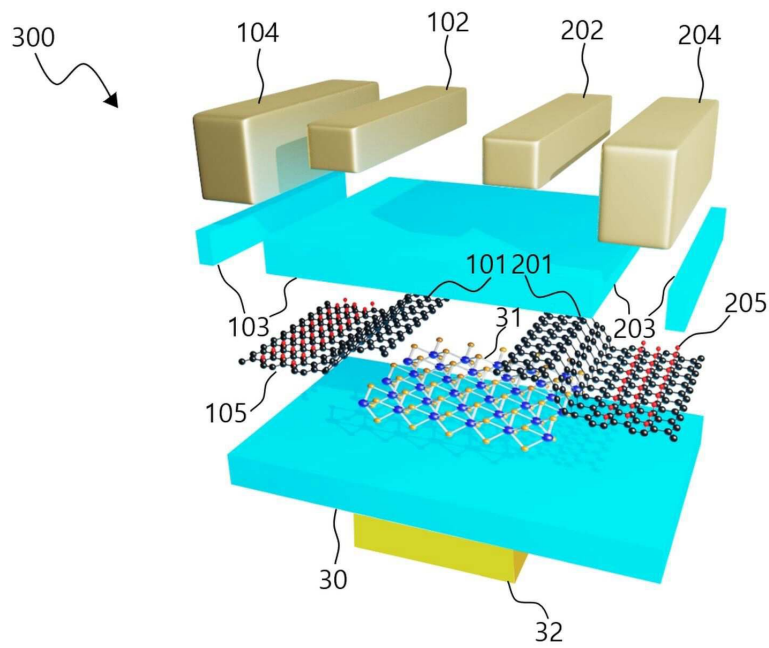
부호의 설명

[0062] 30: 제 1 유전 층
31: 활성 층
31e(1), 31e(2): 각각 활성 층의 제 1 및 제 2 단부
32: 메인 게이트 전극
101: 제 1 그래핀 층
101e: 제 1 영역의 내측 단부
102: 제 1 제어 게이트 전극
103: 제 2 유전 층
104: 제 1 금속 전극
105: 제 1 영역의 확장부
201: 제 2 그래핀 층
201e: 제 2 영역의 내측 단부
202: 제 2 제어 게이트 전극
203: 제 3 유전 층
204: 제 2 금속 전극
205: 제 2 영역의 확장부

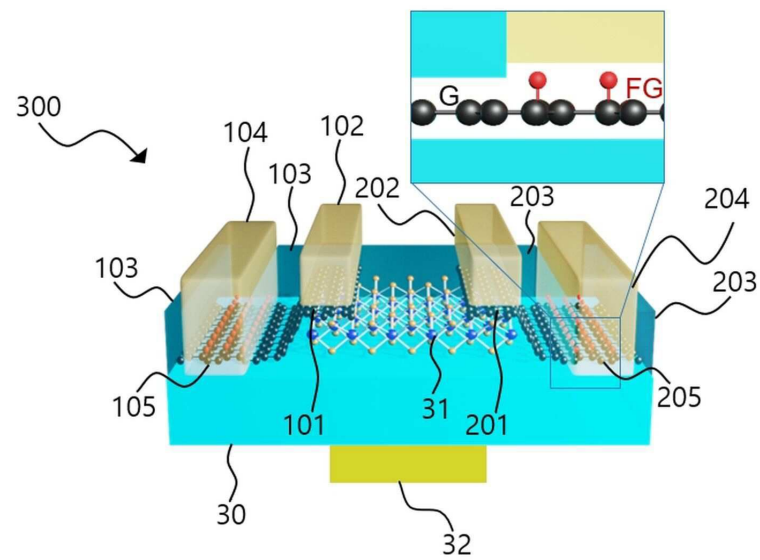
300: 전계 제어 발광 소자

도면

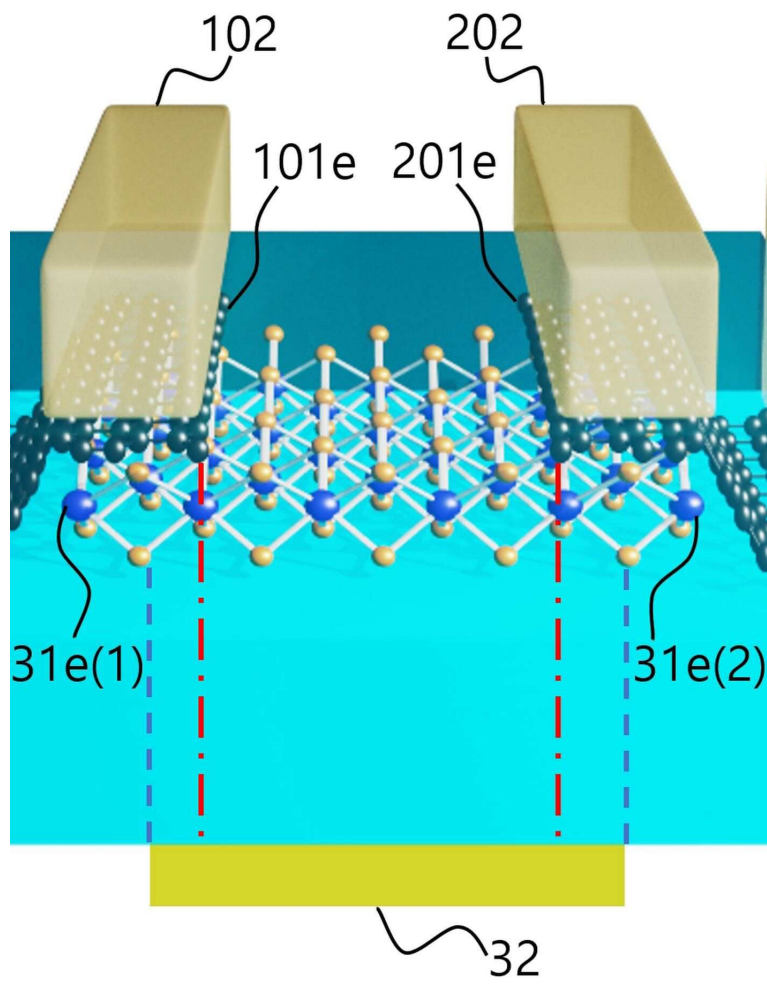
도면1a



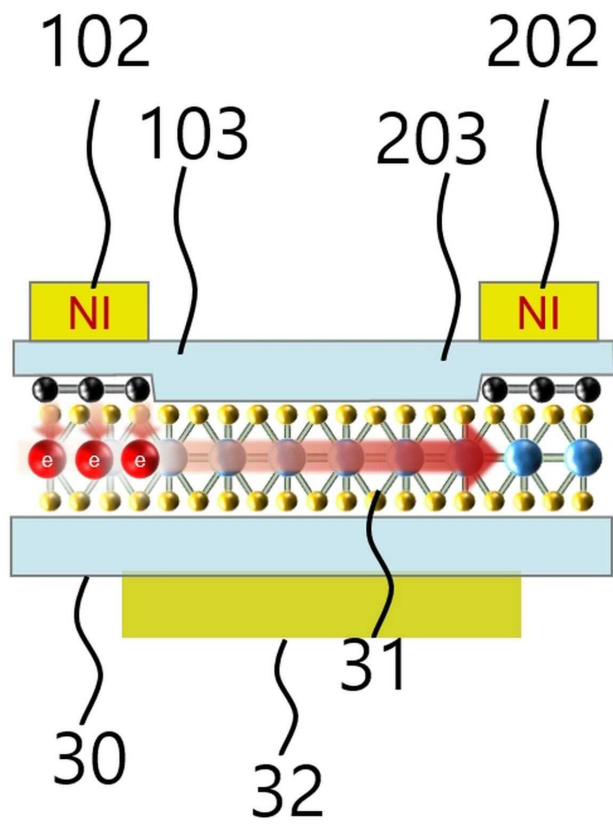
도면1b



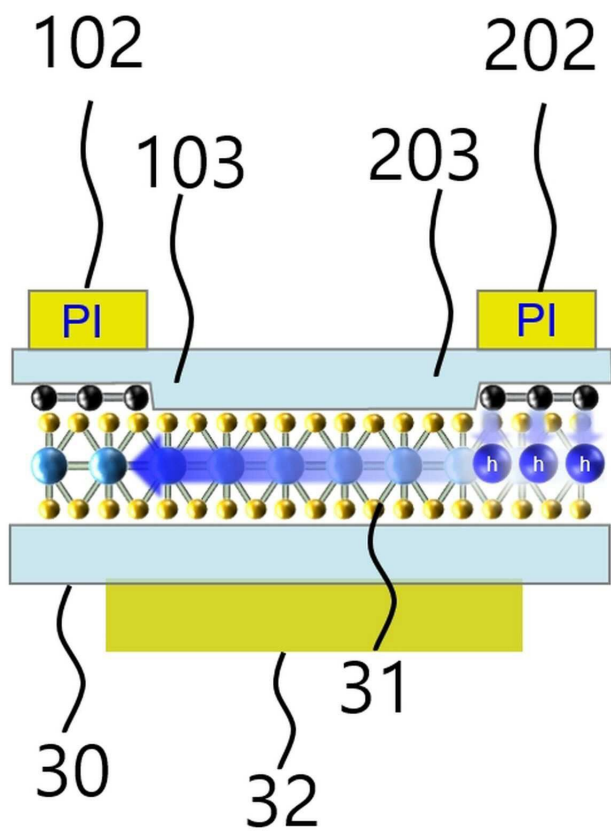
도면1c



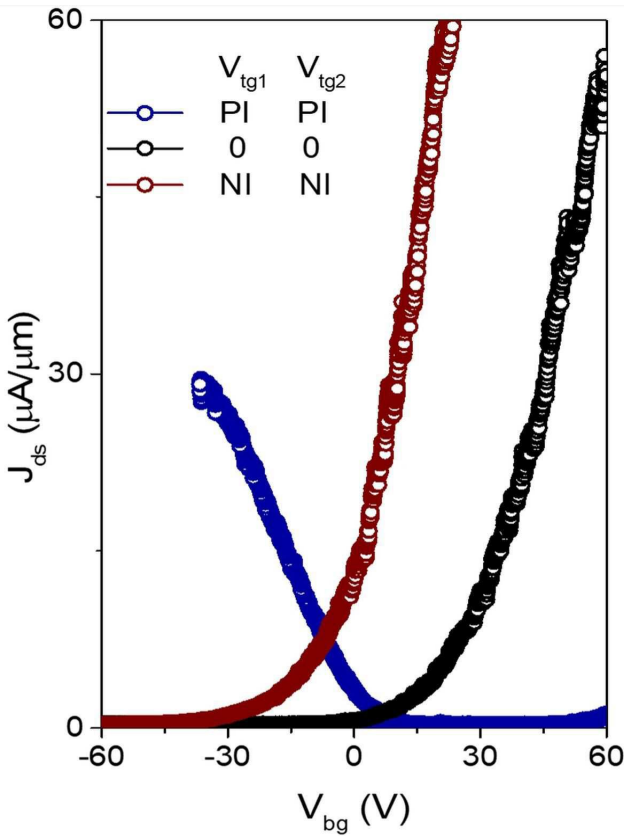
도면2a



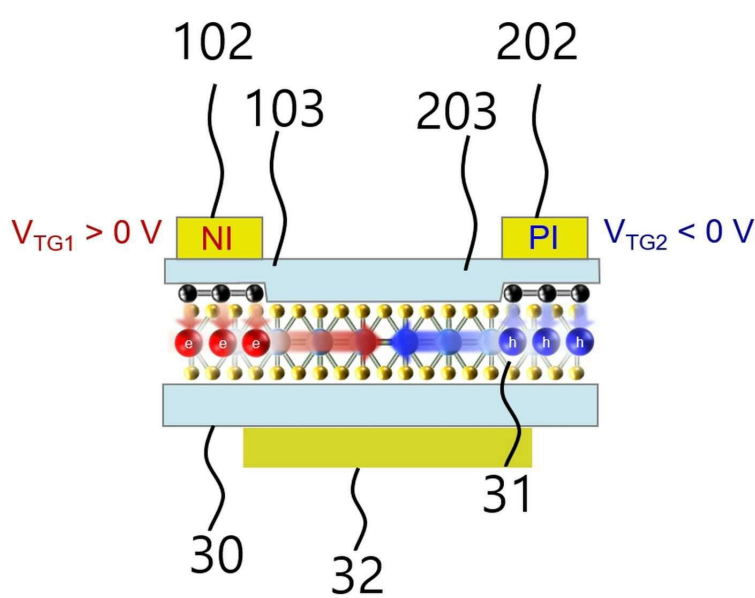
도면2b



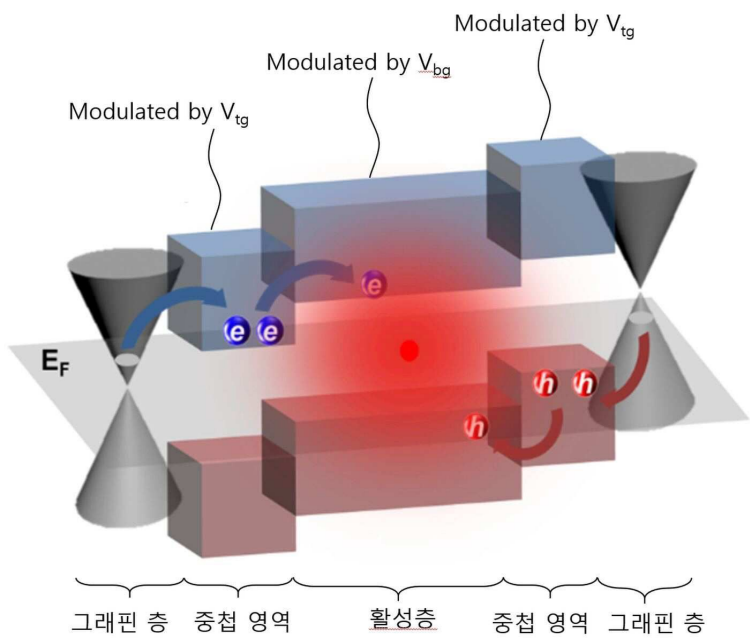
도면3



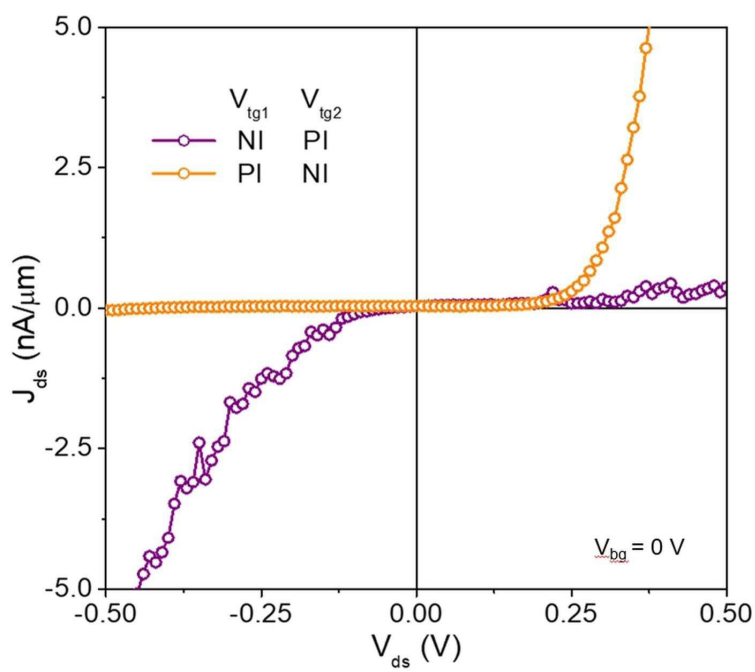
도면4



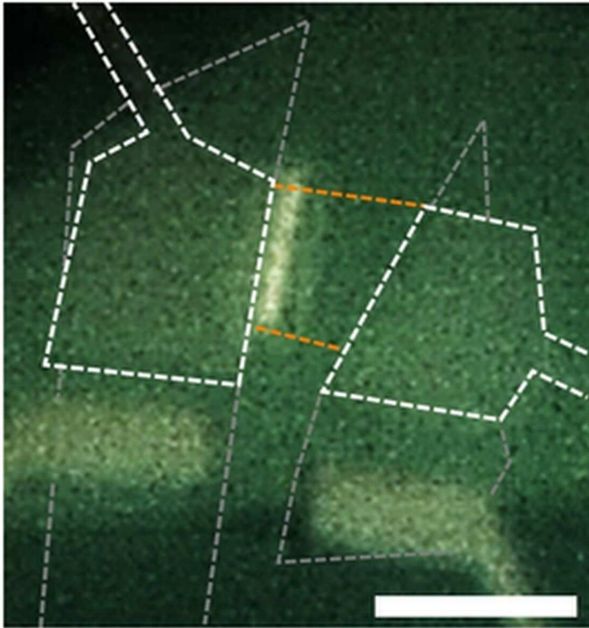
도면5



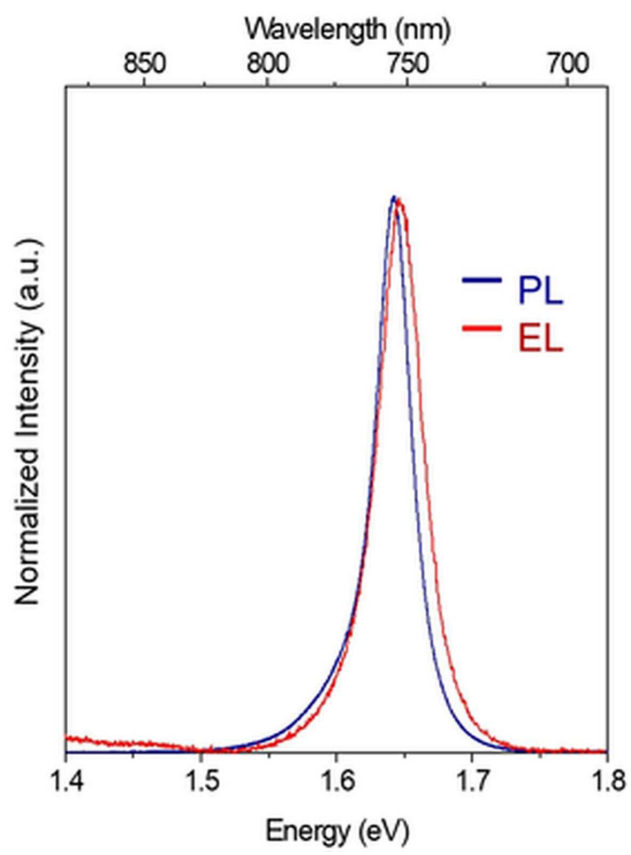
도면6



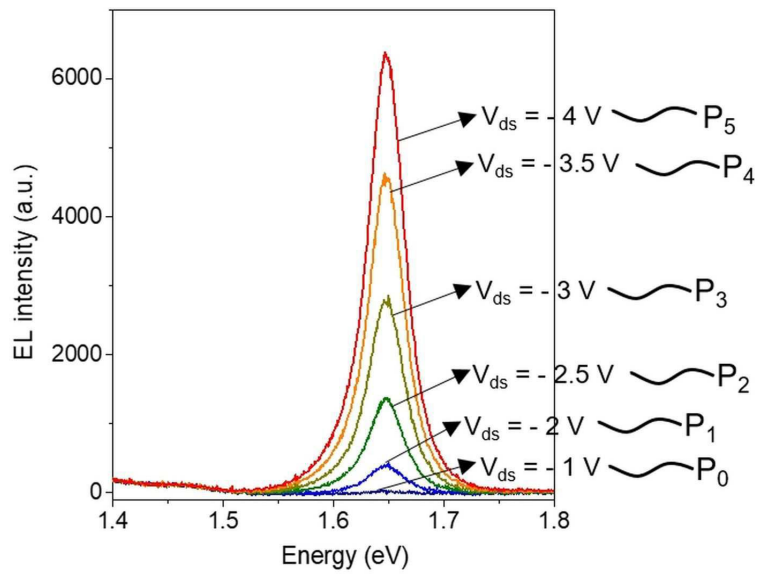
도면7



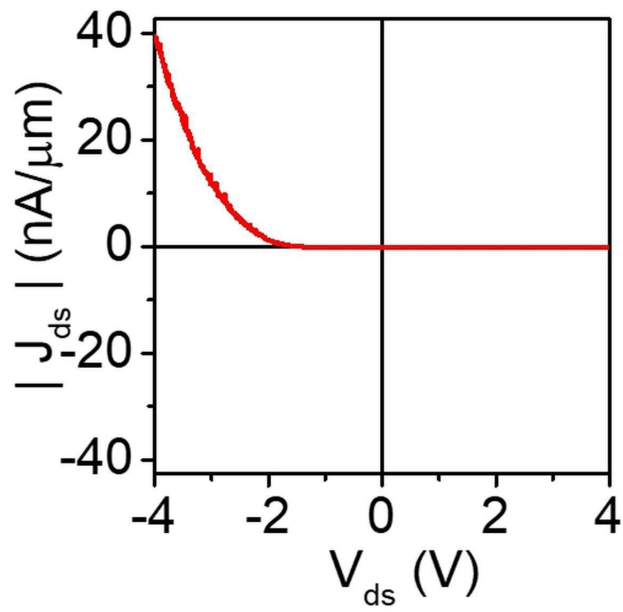
도면8



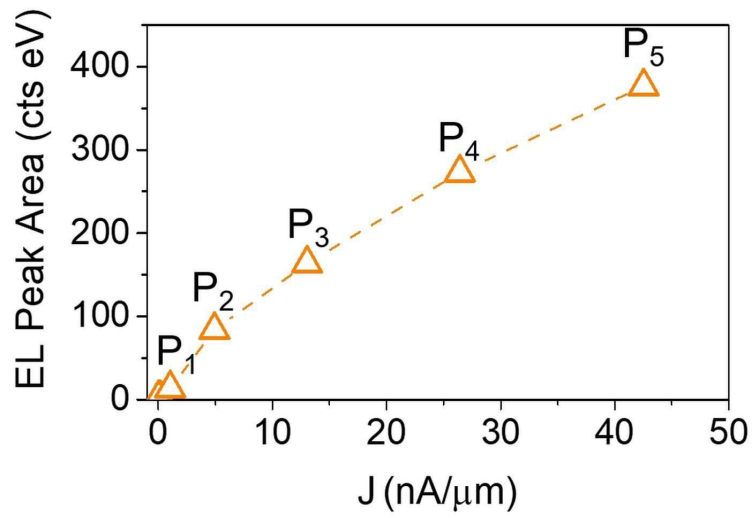
도면9



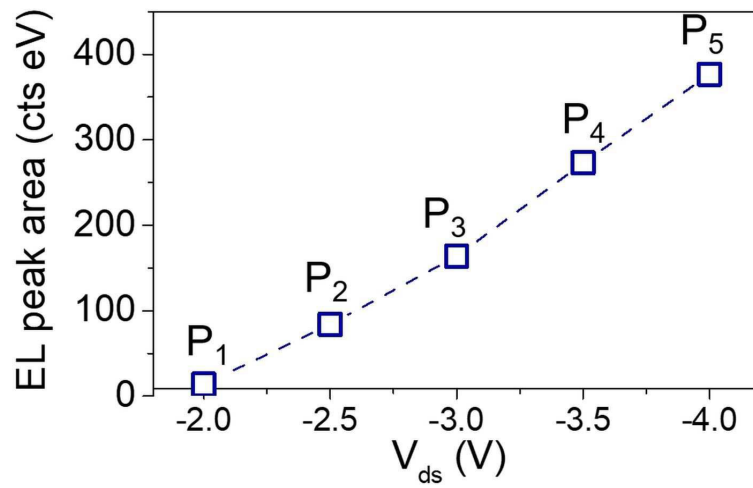
도면10



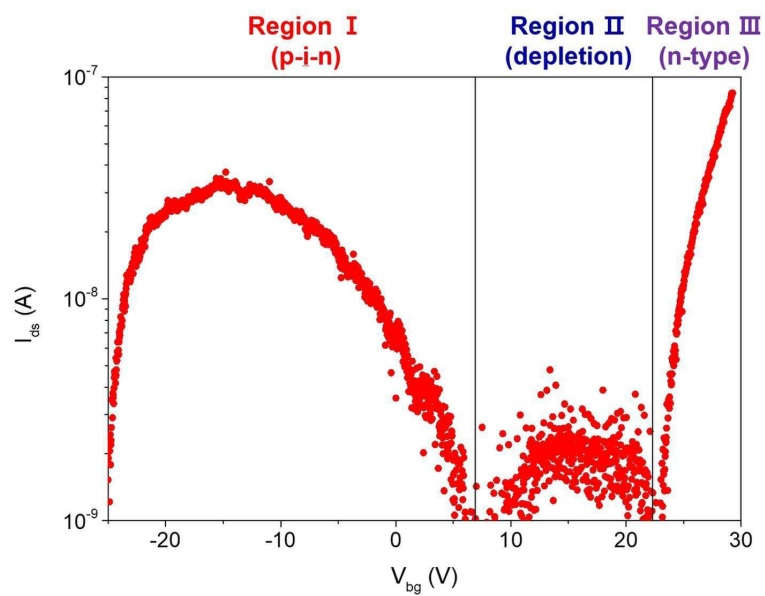
도면11



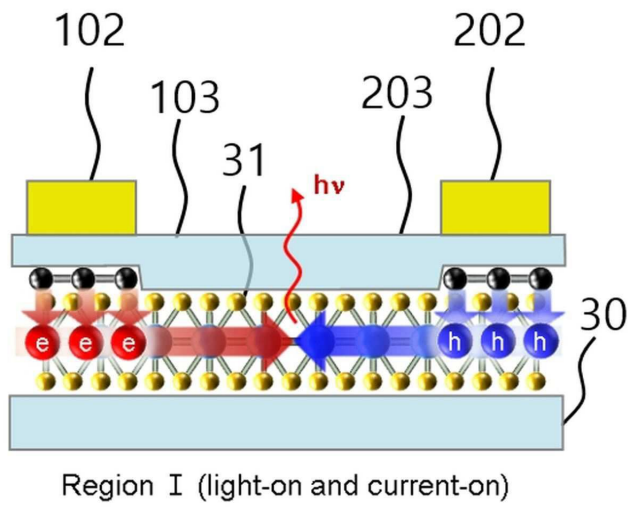
도면12



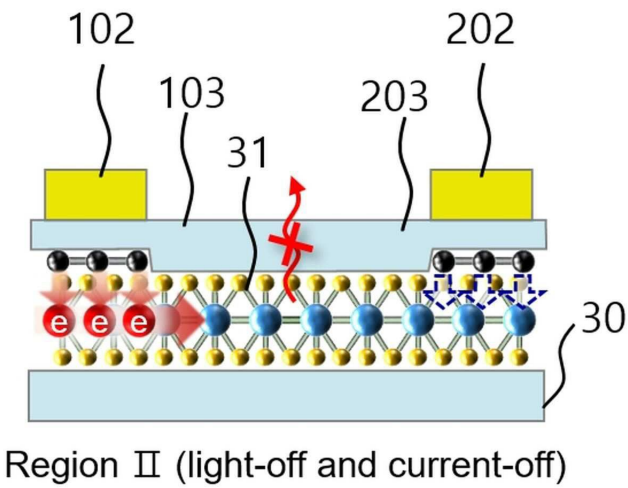
도면13



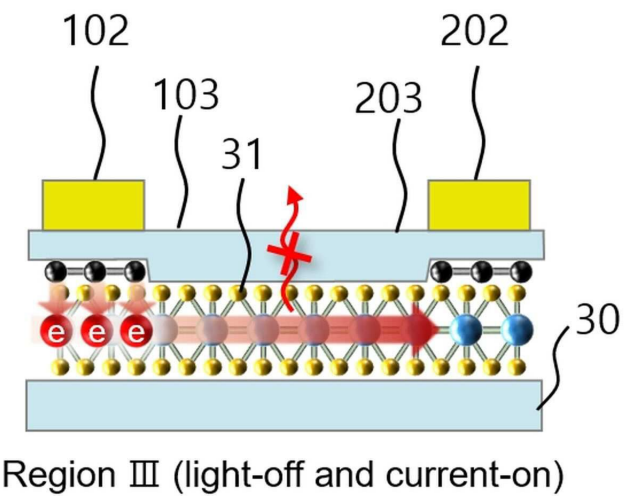
도면14a



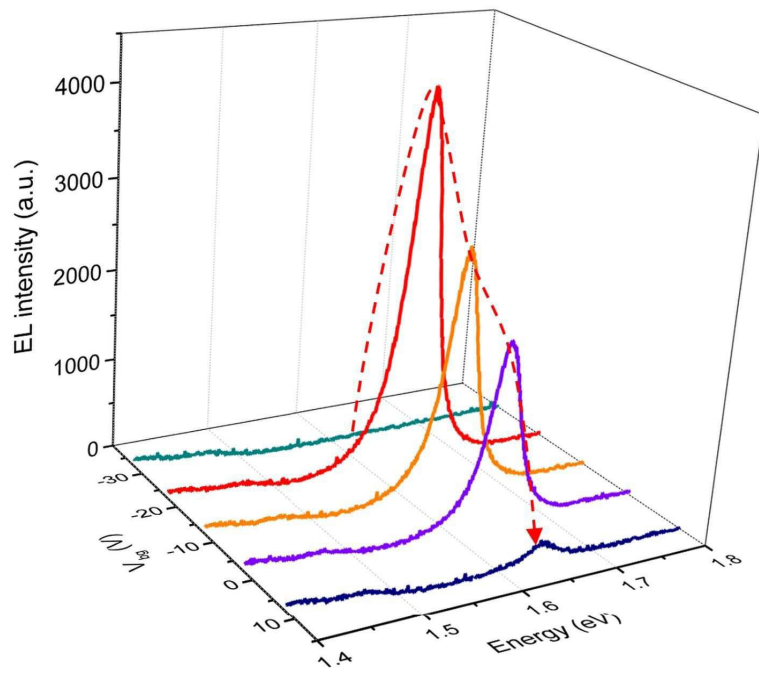
도면14b



도면14c



도면15



도면16

