



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월19일
(11) 등록번호 10-2218375
(24) 등록일자 2021년02월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 27/085 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/1251 (2013.01)
H01L 27/085 (2013.01)
(21) 출원번호 10-2019-0109710
(22) 출원일자 2019년09월04일
심사청구일자 2019년09월04일
(56) 선행기술조사문헌
KR1020170061531 A
(뒷면에 계속)

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김현재
서울특별시 마포구 마포대로 195, 402동 1101호
(아현동, 마포 래미안 푸르지오)
홍성환
인천광역시 남동구 논고개로68번길 49, 101동
3102호(논현동, 힐스테이트아파트)
(뒷면에 계속)
(74) 대리인
특허법인우인

전체 청구항 수 : 총 10 항

심사관 : 고연화

(54) 발명의 명칭 LTPO 기술을 이용한 3차원 인버터

(57) 요약

본 실시예들은 상보적으로 동작하는 제1 트랜지스터의 활성층과 제2 트랜지스터의 활성층을 수직으로 배치하여, 입력 신호를 반전시켜 출력 신호를 출력하는 인버터의 면적을 최소화한 3차원 인버터를 제공한다.

대표도 - 도1



- | | |
|--|---|
| <p>(52) CPC특허분류
 H01L 27/1218 (2013.01)
 H01L 29/78672 (2013.01)
 H01L 29/7869 (2013.01)</p> <p>(72) 발명자
 김중철
 경기도 파주시 가온로 256, 1101동 1904호(와동동, 가람마을11단지 동문굿모닝힐아파트)
 정주성
 경기도 성남시 분당구 발이봉로7번길 4(수내동)
 이이삭
 경기도 수원시 팔달구 중부대로223번길 102, 108동 109호(우만동, 주공1단지아파트)
 정수진
 서울특별시 마포구 월드컵북로 235, 13동 803호(성산동, 성산시영아파트)</p> | <p>(56) 선행기술조사문헌
 KR1020100083322 A
 KR1020160018825 A
 KR1020150101407 A*
 US20060220134 A1
 WO2019133220 A1
 *는 심사관에 의하여 인용된 문헌</p> |
|--|---|

이 발명을 지원한 국가연구개발사업

과제고유번호	K_G011006303804
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	[RCMS]유연기판 손상 최소화를 위한 in-situ 광소결 서브마이크로급 패터닝 기술 개발(4/4)
기여율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.01 ~ 2019.12.31

명세서

청구범위

청구항 1

입력 신호를 반전시켜 출력 신호를 출력하는 3차원 인버터에 있어서,
 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터가 연결되며,
 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치되며,
 상기 제1 트랜지스터는 제1 활성층을 포함하고 상기 제1 활성층의 일측에 하나의 소스 전극이 직접 연결되고,
 상기 제1 활성층의 타측에 하나의 출력 전극이 직접 연결되고,
 상기 제2 트랜지스터는 제2 활성층을 포함하고 상기 제2 활성층의 일측에 하나의 드레인 전극이 직접 연결되고,
 상기 제2 활성층의 타측에 상기 하나의 출력 전극이 직접 연결되고,
 상기 제1 활성층 및 상기 제2 활성층이 수직으로 배치되며,
 상기 제1 활성층 및 상기 제2 활성층 간에 직접 연결된 상기 하나의 출력 전극이 상기 3차원 인버터의 측면에 배치되는 것을 특징으로 하는 3차원 인버터.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 제1 활성층이 다결정 실리콘 반도체이고 상기 제2 활성층이 산화물 반도체이거나,
 상기 제1 활성층이 산화물 반도체이고 상기 제2 활성층이 다결정 실리콘 반도체인 것을 특징으로 하는 3차원 인버터.

청구항 4

제1항에 있어서,
 상기 3차원 인버터를 수직인 방향에서 바라볼 때, 상기 제1 활성층의 영역과 상기 제2 활성층의 영역이 중첩되는 것을 특징으로 하는 3차원 인버터.

청구항 5

제1항에 있어서,
 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 게이트 전극을 공유하며, 상기 제1 활성층은 게이트 전극에 의해 상태가 전환되고, 상기 제2 활성층은 상기 게이트 전극에 의해 상태가 전환되는 것을 특징으로 하는 3차원 인버터.

청구항 6

제5항에 있어서,
 상기 공유된 게이트 전극에 연결된 입력 전극을 포함하는 것을 특징으로 하는 3차원 인버터.

청구항 7

삭제

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 제1 트랜지스터의 제1 활성층의 폭이 상기 제2 트랜지스터의 제2 활성층의 폭보다 큰 것을 특징으로 하는 3차원 인버터.

청구항 10

제1항에 있어서,

상기 제1 트랜지스터에 P형 반도체가 적용되고 상기 제2 트랜지스터에 N형 반도체가 적용되거나,

상기 제1 트랜지스터에 N형 반도체가 적용되고 상기 제2 트랜지스터에 P형 반도체가 적용되는 것을 특징으로 하는 3차원 인버터.

청구항 11

제1항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 탑 게이트 구조 또는 바텀 게이트 구조로 형성되는 것을 특징으로 하는 3차원 인버터.

청구항 12

전기 신호에 따라 시각 정보를 표시하는 화소를 갖는 표시부; 및

상기 전기 신호를 제어하는 3차원 인버터를 포함하며,

상기 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며,

상기 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치되며,

상기 제1 트랜지스터는 제1 활성층을 포함하고 상기 제1 활성층의 일측에 하나의 소스 전극이 직접 연결되고, 상기 제1 활성층의 타측에 하나의 출력 전극이 직접 연결되고,

상기 제2 트랜지스터는 제2 활성층을 포함하고 상기 제2 활성층의 일측에 하나의 드레인 전극이 직접 연결되고, 상기 제2 활성층의 타측에 상기 하나의 출력 전극이 직접 연결되고,

상기 제1 활성층 및 상기 제2 활성층이 수직으로 배치되며,

상기 제1 활성층 및 상기 제2 활성층 간에 직접 연결된 상기 하나의 출력 전극이 상기 3차원 인버터의 측면에 배치되는 것을 특징으로 하는 디스플레이.

청구항 13

적어도 하나의 전기 신호를 발생시키는 전자 회로; 및

상기 전자 회로에 연결된 3차원 인버터를 포함하며,

상기 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며,

상기 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치되며,

상기 제1 트랜지스터는 제1 활성층을 포함하고 상기 제1 활성층의 일측에 하나의 소스 전극이 직접 연결되고, 상기 제1 활성층의 타측에 하나의 출력 전극이 직접 연결되고,

상기 제2 트랜지스터는 제2 활성층을 포함하고 상기 제2 활성층의 일측에 하나의 드레인 전극이 직접 연결되고, 상기 제2 활성층의 타측에 상기 하나의 출력 전극이 직접 연결되고,

상기 제1 활성층 및 상기 제2 활성층이 수직으로 배치되며,

상기 제1 활성층 및 상기 제2 활성층 간에 직접 연결된 상기 하나의 출력 전극이 상기 3차원 인버터의 측면에 배치되는 것을 특징으로 하는 전자 장치.

발명의 설명

기술 분야

[0001] 본 발명이 속하는 기술 분야는 CMOS 인버터 및 디스플레이에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] LTPO(Low Temperature Poly-Si & Oxide)는 디스플레이 백플레인에 다결정 실리콘(Low Temperature Polycrystalline Silicon, LTPS) 트랜지스터와 산화물 (Oxide) 트랜지스터를 함께 사용하는 기술이며, 특히 픽셀 회로에서 스위칭 트랜지스터를 산화물 트랜지스터로 사용하는 추세이다.

[0004] CMOS 인버터에서 PMOS 트랜지스터와 NMOS 트랜지스터가 상호적 동작하며, CMOS 인버터는 풀업(Pullup) 동작과 풀다운(Pulldown) 동작을 수행한다. 기존의 CMOS 인버터는 PMOS 트랜지스터와 NMOS 트랜지스터가 동일 평면에 수평하게 배치된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국등록특허공보 제10-1056678호 (2011.08.08)

(특허문헌 0002) 한국등록특허공보 제10-1153824호 (2012.05.31)

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 입력 신호를 반전시켜 출력 신호를 출력하는 3차원 인버터로, 상보적으로 동작하는 제1 트랜지스터의 활성층과 제2 트랜지스터의 활성층을 수직으로 배치함으로써, 인버터의 면적을 최소화하는 데 발명의 주된 목적이 있다.

[0007] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0008] 본 실시예의 일 측면에 의하면, 입력 신호를 반전시켜 출력 신호를 출력하는 3차원 인버터에 있어서, 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터가 연결되며, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치된 것을 특징으로 하는 3차원 인버터를 제공한다.

[0009] 상기 제1 트랜지스터는 소스 전극 및 드레인 전극 간에 채널을 형성하는 제1 활성층을 포함할 수 있다. 상기 제2 트랜지스터는 상기 소스 전극 및 상기 드레인 전극 간에 채널을 형성하는 제2 활성층을 포함할 수 있다. 상기 제1 활성층 및 상기 제2 활성층이 수직으로 배치될 수 있다.

[0010] 상기 제1 활성층이 다결정 실리콘 반도체이고 상기 제2 활성층이 산화물 반도체일 수 있다. 상기 제1 활성층이 산화물 반도체이고 상기 제2 활성층이 다결정 실리콘 반도체일 수 있다.

[0011] 상기 3차원 인버터를 수직한 방향에서 바라볼 때, 상기 제1 활성층의 영역과 상기 제2 활성층의 영역이 중첩될 수 있다.

[0012] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 게이트 전극을 공유하며, 상기 제1 활성층은 게이트 전극에 의

해 상태가 전환되고, 상기 제2 활성층은 상기 게이트 전극에 의해 상태가 전환될 수 있다.

- [0013] 상기 3차원 인버터는 상기 공유된 게이트 전극에 연결된 입력 전극을 포함할 수 있다.
- [0014] 상기 3차원 인버터는 상기 제1 활성층 및 상기 제2 활성층에 연결된 출력 전극을 포함할 수 있다.
- [0015] 상기 출력 전극의 양측에 상기 소스 전극 및 상기 드레인 전극이 대칭하여 위치하지 않고, 상기 출력 전극의 일측에 상기 소스 전극 및 상기 드레인 전극이 위치할 수 있다.
- [0016] 상기 제1 트랜지스터의 제1 활성층의 폭이 상기 제2 트랜지스터의 제2 활성층의 폭보다 크게 설정될 수 있다.
- [0017] 상기 제1 트랜지스터에 P형 반도체가 적용되고 상기 제2 트랜지스터에 N형 반도체가 적용될 수 있다. 상기 제1 트랜지스터에 N형 반도체가 적용되고 상기 제2 트랜지스터에 P형 반도체가 적용될 수 있다.
- [0018] 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 탑 게이트 구조 또는 바텀 게이트 구조로 형성될 수 있다.
- [0019] 본 실시예의 다른 측면에 의하면, 전기 신호에 따라 시각 정보를 표시하는 화소를 갖는 표시부, 및 상기 전기 신호를 제어하는 3차원 인버터를 포함하며, 상기 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며, 상기 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치된 것을 특징으로 하는 디스플레이를 제공한다.
- [0020] 본 실시예의 또 다른 측면에 의하면, 적어도 하나의 전기 신호를 발생시키는 전자 회로, 및 상기 전자 회로에 연결된 3차원 인버터를 포함하며, 상기 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며, 상기 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치된 것을 특징으로 하는 전자 장치를 제공한다.

발명의 효과

- [0021] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 상보적으로 동작하는 제1 트랜지스터의 활성층과 제2 트랜지스터의 활성층을 수직으로 배치함으로써, 입력 신호를 반전시켜 출력 신호를 출력하는 인버터의 면적을 최소화할 수 있는 효과가 있다.
- [0022] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0023] 도 1 및 도 2는 본 발명의 실시예들에 따른 3차원 인버터를 예시한 블록도이다.
 도 3은 기존 인버터의 회로도 및 평면도이다.
 도 4는 기존 인버터의 단면도이다.
 도 5는 본 발명의 일 실시예에 따른 3차원 인버터의 회로도 및 평면도이다.
 도 6은 본 발명의 일 실시예에 따른 3차원 인버터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0025] 본 실시예에 따른 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터의 활성층과 제2 트랜지스터의 활성층을 수직으로 배치함으로써, 인버터의 면적을 최소화할 수 있다.
- [0026] 도 1 및 도 2는 본 발명의 실시예들에 따른 3차원 인버터를 예시한 블록도이다.
- [0027] 3차원 인버터(100)는 입력 신호를 반전시켜 출력 신호를 출력하며, 3차원 인버터(100)는 제1 트랜지스터(200) 및 제2 트랜지스터(300)를 포함한다. 3차원 인버터(100)는 CMOS(Complementary Metal Oxide Semiconductor) 인버터일 수 있고, PMOS 트랜지스터와 NMOS 트랜지스터로 구현될 수 있다.
- [0028] 제1 트랜지스터(200) 및 제2 트랜지스터(300)는 전기적으로 연결되며, 제1 트랜지스터(200) 및 제2 트랜지스터

(300)는 수직으로 배치된다. 제1 트랜지스터(200) 및 제2 트랜지스터(300)는 상보적으로 동작하며, 풀업(Pullup) 동작과 풀다운(Pulldown) 동작을 수행한다.

- [0029] 제1 트랜지스터(200)는 제1 활성층(210), 입력 전극(220), 출력 전극(230), 게이트 전극(240), 소스 전극(250), 및 드레인 전극(260)을 포함한다.
- [0030] 제1 트랜지스터(200)의 제1 활성층(210)은 소스 전극(250) 및 드레인 전극(260) 간에 채널을 형성한다. 제1 활성층(210)은 게이트 전극(240)에 의해 상태가 전환된다.
- [0031] 제2 트랜지스터(200)는 제2 활성층(310), 입력 전극(220), 출력 전극(230), 게이트 전극(240), 소스 전극(250), 및 드레인 전극(260)을 포함한다.
- [0032] 제2 트랜지스터(300)의 제2 활성층(310)은 소스 전극(250) 및 드레인 전극(260) 간에 채널을 형성한다. 제2 활성층(310)은 게이트 전극(240)에 의해 상태가 전환된다.
- [0033] 제1 트랜지스터(200)의 제1 활성층(210) 및 제2 트랜지스터(300)의 제2 활성층(310)은 수직으로 배치하여, 차지하는 면적을 최소화한다. 이와 달리 기존 인버터는 두 개의 트랜지스터의 활성층을 수평으로 배치하므로 넓은 면적이 필요하다.
- [0034] 도 3의 (a)는 기존 인버터의 회로도이고, 도 3의 (b)는 기존 인버터의 평면도이고, 도 4는 기존 인버터의 단면도이다.
- [0035] 도 3의 (a)를 참조하면, 제1 트랜지스터의 게이트 라인은 입력 신호 라인에 연결되고, 제1 트랜지스터의 소스 라인은 드레인 전극에 연결되고, 제1 트랜지스터의 드레인 라인은 출력 신호 라인에 연결된다.
- [0036] 제2 트랜지스터의 게이트 라인은 입력 신호 라인에 연결되고, 제2 트랜지스터의 소스 라인은 소스 전극에 연결되고, 제2 트랜지스터의 드레인 라인을 출력 신호 라인에 연결된다.
- [0037] 도 3의 (b) 및 도 4를 참조하면, 제1 트랜지스터의 게이트 전극 영역(24)과 제2 트랜지스터의 게이트 전극 영역(34)이 수평하게 각각 위치하고, 제1 트랜지스터의 활성층 영역(21)과 제2 트랜지스터의 활성층 영역(31)이 수평하게 각각 위치하므로, 기존의 인버터는 출력 전극 영역(23), 소스 전극 영역(25), 드레인 전극 영역(26)을 공유하더라도 배선 면적과 트랜지스터 2개만큼의 면적을 차지하게 된다.
- [0038] 도 5의 (a)는 3차원 인버터의 회로도이고, 도 5의 (b)는 3차원 인버터의 평면도이고, 도 6은 3차원 인버터의 단면도이다.
- [0039] 도 5의 (a)를 참조하면, 제1 트랜지스터의 게이트 라인은 입력 신호 라인에 연결되고, 제1 트랜지스터의 소스 라인은 드레인 전극에 연결되고, 제1 트랜지스터의 드레인 라인은 출력 신호 라인에 연결된다.
- [0040] 제2 트랜지스터의 게이트 라인은 입력 신호 라인에 연결되고, 제2 트랜지스터의 소스 라인은 소스 전극에 연결되고, 제2 트랜지스터의 드레인 라인을 출력 신호 라인에 연결된다.
- [0041] 도 5의 (b) 및 도 6을 참조하면, 제1 트랜지스터의 활성층 영역(210)과 제2 트랜지스터의 활성층 영역(310)이 상하로 이격되어 각각 위치하므로, 3차원 인버터는 배선 면적과 트랜지스터 1개만큼의 면적을 차지한다. 3차원 인버터를 수직인 방향에서 바라볼 때, 제1 활성층의 영역(210)과 제2 활성층의 영역(310)이 중첩될 수 있다.
- [0042] 3차원 인버터는 제1 트랜지스터의 게이트 전극 영역(240)과 제2 트랜지스터의 게이트 전극 영역(240)을 공유할 수 있고, 필요에 따라서는 게이트 전극을 상하로 이격하여 각각 위치시킬 수 있다. 제1 트랜지스터 및 제2 트랜지스터는 탑 게이트 구조 또는 바텀 게이트 구조로 형성될 수 있다.
- [0043] 제1 트랜지스터 및 제2 트랜지스터가 게이트 전극(240)을 공유할 때, 제1 활성층(210)은 게이트 전극(240)에 의해 상태가 전환되고, 제2 활성층(310)은 게이트 전극(240)에 의해 상태가 전환될 수 있다.
- [0044] 3차원 인버터는 공유된 게이트 전극에 연결된 입력 전극(220)을 포함할 수 있다.
- [0045] 3차원 인버터는 제1 활성층(210) 및 제2 활성층(310)에 연결된 출력 전극(230)을 포함할 수 있다.
- [0046] 기존의 인버터는 제1 활성층(210) 및 제2 활성층(310)을 수평하게 배치하므로 출력 전극(230)의 양측에 소스 전극(250) 및 드레인 전극(260)이 각각 위치해야 한다.
- [0047] 3차원 인버터는 제1 활성층(210) 및 제2 활성층(310)을 상하로 위치시켰으므로, 홀을 통한 출력 전극(230)을 3차원 인버터의 일측에 배치할 수 있다.

- [0048] 제1 활성층(210)에 연결된 드레인 전극(260)과 제2 활성층(310)에 연결된 소스 전극(250)은 출력 전극(230)의 일측에 위치하게 된다. 드레인 전극(260)과 제1 활성층(210)과 출력 전극(230)이 연결되어 층을 이루고, 소스 전극(250)과 제2 활성층(310)과 출력 전극(230)이 연결되어 층을 이룬다. 이러한 3차원 인버터는 일종의 접힌 구조를 갖는 인버터로 볼 수 있고, 소자가 차지하는 면적을 기존의 반 정도로 줄일 수 있다.
- [0049] 3차원 인버터는 제1 트랜지스터 및 제2 트랜지스터에 대해서 출력 전극 영역(230), 소스 전극 영역(250), 드레인 전극 영역(260)을 공유할 수 있고, 필요에 따라서는 복수로 위치시킬 수 있다. 필요에 따라 층 또는 전극 사이에 절연층 또는 버퍼층이 존재할 수 있다.
- [0050] 제1 트랜지스터의 제1 활성층(210)의 폭이 제2 트랜지스터의 제2 활성층(310)의 폭보다 크게 설정될 수 있다.
- [0051] 제1 트랜지스터에 P형 반도체가 적용되고 제2 트랜지스터에 N형 반도체가 적용될 수 있다. 또는 제1 트랜지스터에 N형 반도체가 적용되고 제2 트랜지스터에 P형 반도체가 적용될 수 있다.
- [0052] 제1 활성층이 다결정 실리콘 반도체이고 제2 활성층이 산화물 반도체일 수 있다. 또는 제1 활성층이 산화물 반도체이고 제2 활성층이 다결정 실리콘 반도체일 수 있다.
- [0053] 3차원 인버터는 디스플레이 또는 전자 장치 등에 적용될 수 있다.
- [0054] 다결정 반도체 및 산화물 반도체를 수직 방향으로 적층된 3차원 인버터는 배선 면적과 트랜지스터 1개만큼의 면적을 차지하므로, 디스플레이의 베젤 면적을 축소시킬 수 있다.
- [0055] 디스플레이는 전기 신호에 따라 시각 정보를 표시하는 화소를 갖는 표시부, 및 전기 신호를 제어하는 3차원 인버터를 포함하며, 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며, 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터가 수직으로 배치될 수 있다.
- [0056] 디스플레이는 타이밍 제어기, 데이터 드라이버, 게이트 드라이버, 및 화소 회로를 포함할 수 있다. 화소 회로는 백플레인 및 표시부를 포함할 수 있다.
- [0057] 타이밍 제어기는 수평 동기화 신호, 수직 동기화 신호, 데이터 인에이블 신호, 클럭 신호 및 이미지 데이터를 수신한다. 수직 동기화 신호는 일 프레임의 이미지가 표시되는데 요구되는 시간을 지시한다. 수평 동기화 신호는 이미지의 일 수평 라인, 즉 일 화소 라인을 표시하는데 요구되는 시간을 지시한다. 따라서, 수평 동기화 신호는 일 화소 라인에 포함되는 화소의 숫자와 동일한 숫자의 펄스들을 포함한다. 데이터 인에이블 신호는 유효한 이미지 데이터가 위치하는 구간을 지시한다.
- [0058] 타이밍 제어기는 게이트 제어 신호(Gate Control Signal)를 게이트 드라이버에 제공하고, 데이터 제어 신호(Data Control Signal)를 데이터 드라이버에 제공한다.
- [0059] 데이터 드라이버는 타이밍 제어기로부터 디지털 이미지 데이터를 수신한다. 데이터 드라이버는 데이터 제어 신호에 응답하여 데이터 전압을 생성한다. 데이터 드라이버는 디스플레이의 데이터 라인으로 데이터 전압을 게이트 드라이버로부터의 게이트 제어 신호와 동기화하여 공급할 수 있다.
- [0060] 게이트 드라이버는 타이밍 제어기로부터의 게이트 제어 신호 입력에 응답하여 화소 회로에서 박막 트랜지스터 어레이의 온/오프를 제어한다. 게이트 드라이버는 데이터 드라이버로부터 인가되는 데이터 전압이 적합한 화소 회로로 제공되도록 한다.
- [0061] 표시부 또는 화소 회로는 AMOLED, OLED(Organic Light Emitting Diode), E-Paper, LCD(Liquid Crystal Display), LED(Light Emitting Diode), 또는 이들의 조합 등으로 구현될 수 있다. 화소 회로를 구현하는 박막 트랜지스터 어레이, 커패시터들의 구성은 디스플레이 컴포넌트의 타입뿐만 아니라 화소를 활성화하는 구동 방법에 따라 다양하게 구현될 수 있다.
- [0062] 전자 장치는 적어도 하나의 전기 신호를 발생시키는 전자 회로, 및 전자 회로에 연결된 3차원 인버터를 포함하며, 3차원 인버터는 입력 신호를 반전시켜 출력 신호를 출력하며, 3차원 인버터는 상보적으로 동작하는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 제1 트랜지스터 및 제2 트랜지스터가 수직으로 배치될 수 있다.
- [0063] 전자 장치에 포함된 구성요소들은 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.

[0064] 전자 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.

[0065] 전자 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.

[0066] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

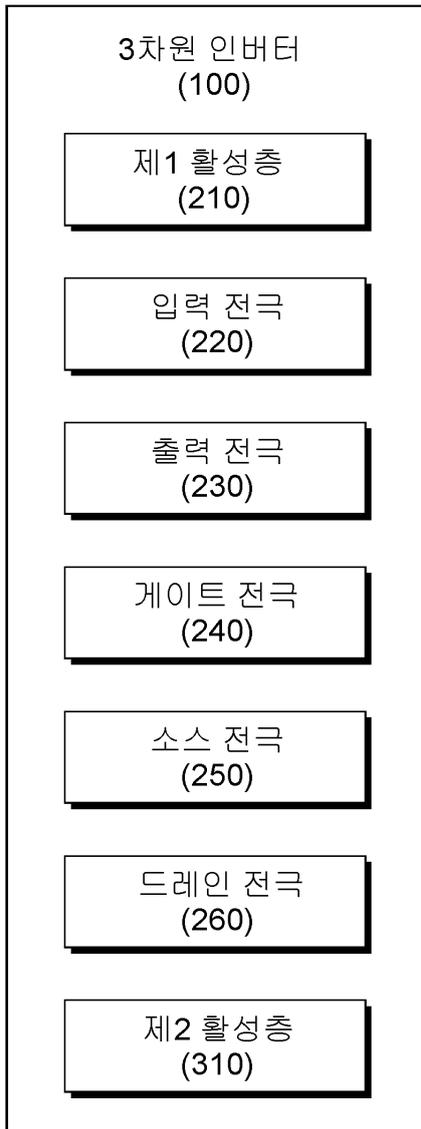
- [0067] 100: 3차원 인버터
- 200: 제1 트랜지스터
- 300: 제2 트랜지스터

도면

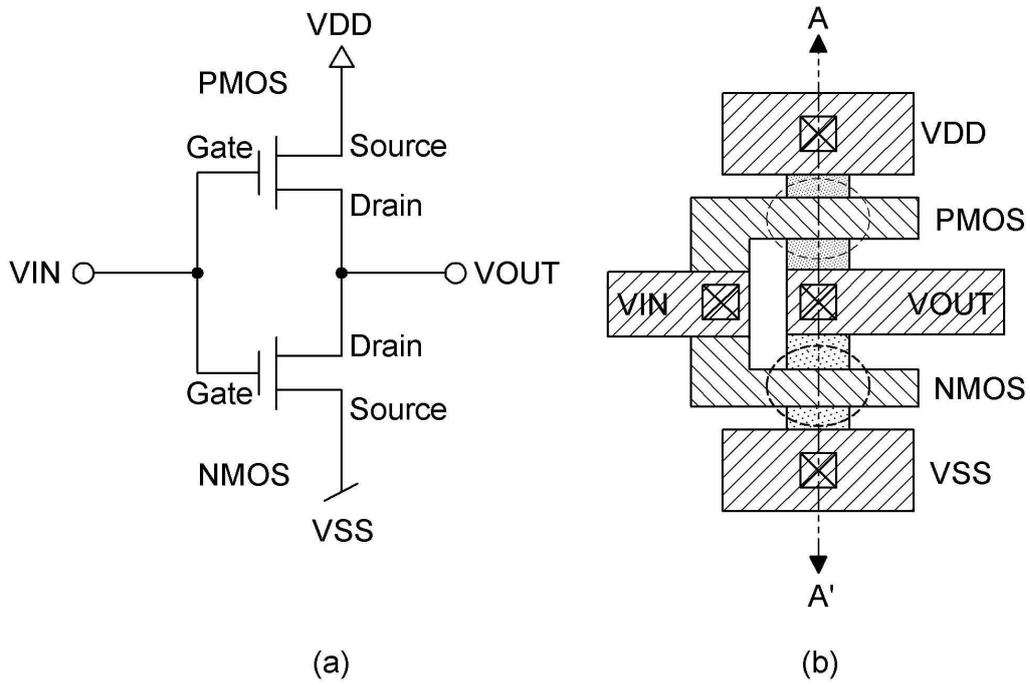
도면1



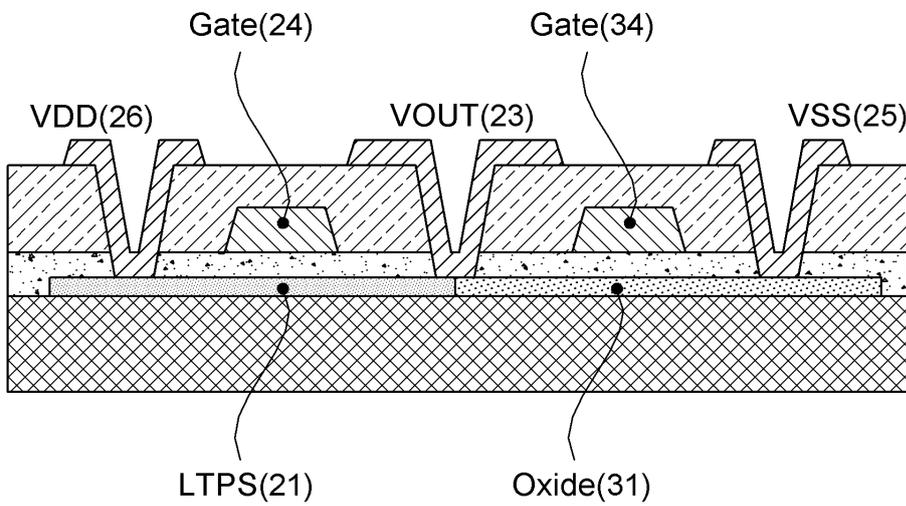
도면2



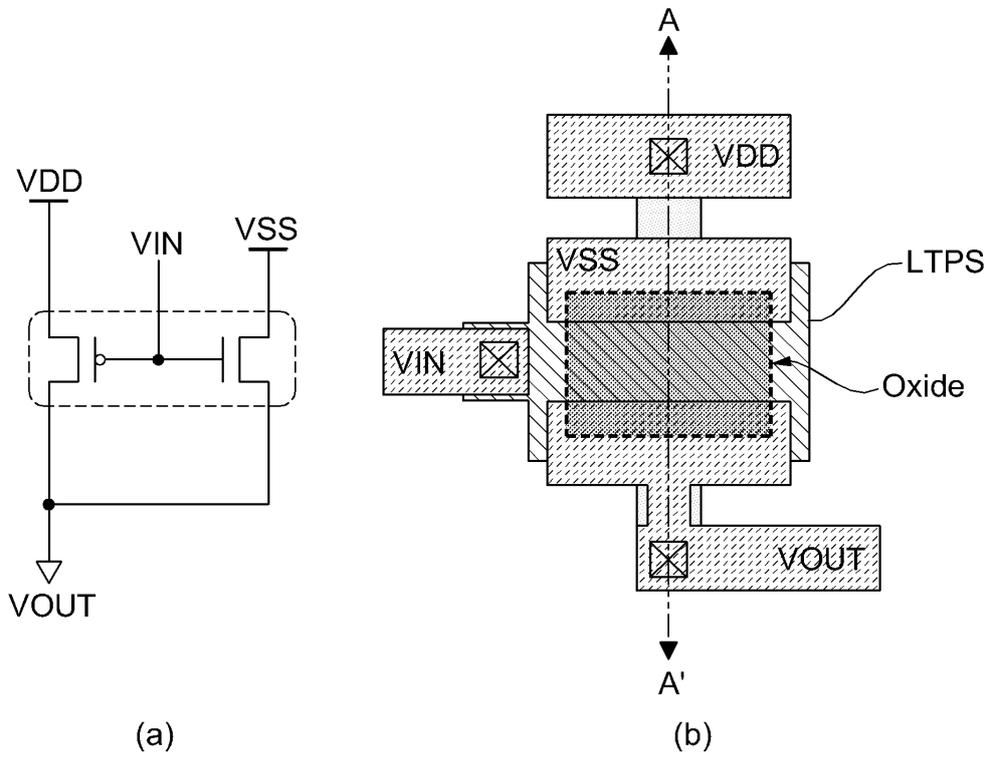
도면3



도면4



도면5



도면6

