



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월02일
(11) 등록번호 10-2320950
(24) 등록일자 2021년10월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/84 (2006.01) H01L 29/417 (2006.01)
H01L 29/423 (2006.01) H01L 29/51 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 29/84 (2013.01)
H01L 29/41758 (2013.01)
(21) 출원번호 10-2020-0017932
(22) 출원일자 2020년02월13일
심사청구일자 2020년02월13일
(65) 공개번호 10-2021-0103321
(43) 공개일자 2021년08월23일
(56) 선행기술조사문헌
JP2017219336 A*
KR1020000053235 A*
KR1020060047425 A*
KR1020190114249 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
박철민
서울특별시 서대문구 연세로 50, 제 2공학관 B217호
이규호
서울특별시 서대문구 연세로 50, 첨단과학기술연구관 109호
김강립
서울특별시 서대문구 연세로 50, 첨단과학기술연구관 109호
(74) 대리인
특허법인(유한)아이시스

전체 청구항 수 : 총 31 항

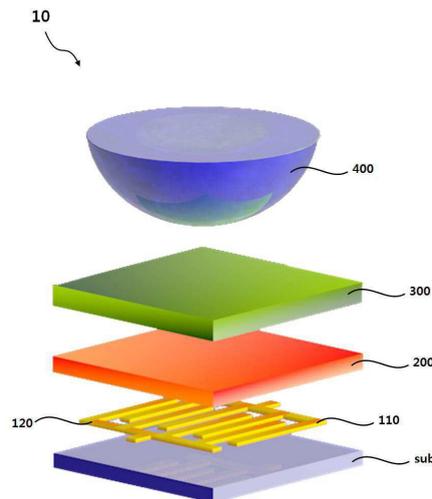
심사관 : 조성찬

(54) 발명의 명칭 압력 검출 메모리 트랜지스터

(57) 요약

본 실시예에 의한 압력 검출 메모리 트랜지스터는: 기판과, 기판 상에 위치하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 상부에 위치하는 반도체 층과, 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및 강유전체 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며, 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하여 저장한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/42372 (2013.01)

H01L 29/516 (2013.01)

H01L 29/78391 (2015.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711084452
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	원천기술개발사업
연구과제명	[Ezbaro] (총괄/3세부)인공 공감각 일렉트로닉스 플랫폼 개발 (1단계)(2/3)
기여율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2019.01.16 ~ 2020.01.15

공지예외적용 : 있음

명세서

청구범위

청구항 1

압력 검출 메모리 트랜지스터로, 상기 압력 검출 메모리 트랜지스터는:

기관;

상기 기관 상에 위치하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;

상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및

상기 강유전체층 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,

상기 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하여 저장하고,

상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,

상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리 트랜지스터.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 전도성 물질은,

PEDOT:PSS, PT(poly(thiophene)s), PPS(poly(p-phenylene sulfide)), PANI(polyanilines) 중 어느 하나를 포함하는 전도성 고분자 물질인 압력 검출 메모리 트랜지스터.

청구항 4

제1항에 있어서,

상기 전도성 물질은,

전도성 금속 박막인 압력 검출 메모리 트랜지스터.

청구항 5

제1항에 있어서,

상기 반도체 층은,

실리콘 기반 반도체, 질화물 반도체, 산화물 반도체, 화합물 반도체, 이차원 물질 및 유기물 반도체 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 6

제5항에 있어서,

상기 실리콘 기반 반도체는 실리콘 진성 반도체(intrinsic semiconductor)에 n 타입 도펀트 및 p 타입 도펀트 중 어느 하나로 도핑하여 형성된 압력 검출 메모리 트랜지스터.

청구항 7

제5항에 있어서,
 상기 질화물 반도체는,
 질화 알루미늄(AlN), 질화 갈륨(GaN), 질화 인듐(InN) 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 8

제5항에 있어서,
 상기 산화물 반도체는
 GZO, HfZO, ITZO 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 9

제5항에 있어서,
 상기 이차원 물질은,
 MoS₂, WSe₂ 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 10

제5항에 있어서,
 상기 유기물 반도체는,
 P3HT(poly(3-hexylthiophene-2,5-diyl), P8BT(Poly(9,9-dioctylfluorene-alt-benzothiadiazole)), MEH-PPV(Poly[2-methoxy-5-(2-ethylhexyloxy)-1,4-phenylenevinylene]), PTAA(Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine]), P(NDI2OD-T2)(poly(N,N'-bis-2-octyldodecyl naphthalene-1,4,5,6-bis-dicarboximide-2,6-diyl-alt-5,5',2'bi thiophene)), N2300((C54H72N2O4S2)_n), Poly(benzimidazobenzophenanthroline), Poly(2,5-di(3,7-dimethyloctyloxy)cyanoterephthalylidene) 및 펜타센(Pentacene) 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 11

제1항에 있어서,
 상기 강유전체층은,
 PVDF-TrFE, PZT, BaTiO₃, PbTiO₃, PVDF, polytrifluoroethylene 및 odd-numbered nylon 중 어느 하나인 압력 검출 메모리 트랜지스터.

청구항 12

제1항에 있어서,
 상기 소스 전극 및 상기 드레인 전극은,
 각각 복수의 핑거들을 가지며,
 상기 핑거들은 서로 깎지끼워진(interdigitated) 형태를 가지는 압력 검출 메모리 트랜지스터.

청구항 13

제1항에 있어서,
 상기 게이트 구조물은,
 반구, 각뿔 및 다면체 중 어느 하나의 형태를 가지는 압력 검출 메모리 트랜지스터.

청구항 14

제1항에 있어서,
 상기 기판은 플렉서블(flexible) 기판인 압력 검출 메모리 트랜지스터.

청구항 15

제1항에 있어서,
 상기 게이트 구조물은,
 제공되는 압력이 증가함에 따라 상기 강유전체층과 접촉 면적이 증가하는 압력 검출 메모리 트랜지스터.

청구항 16

제1항에 있어서,
 상기 압력 검출 메모리 트랜지스터는 웨어러블 장치에 포함된 압력 검출 메모리 트랜지스터.

청구항 17

압력 검출 메모리로, 상기 압력 검출 메모리는:
 기판;
 상기 기판 상에 위치하는 소스 전극 및 드레인 전극;
 상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;
 상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및
 상기 강유전체 층 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,
 상기 압력 검출 메모리는 상기 게이트 구조물에 제공된 압력에 따라 상기 소스 전극과 상기 드레인 전극 사이의 전기 저항이 변화하며,
 상기 압력 검출 메모리는 상기 제공된 압력에 따라 형성된 상기 전기 저항이 유지되고,
 상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,
 상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리.

청구항 18

제17항에 있어서,
 상기 압력 민감성 트랜지스터는,
 비휘발성 메모리로 기능하는 압력 검출 메모리.

청구항 19

삭제

청구항 20

제17항에 있어서,
 상기 전도성 물질은,
 PEDOT:PSS, PT(poly(thiophene)s), PPS(poly(p-phenylene sulfide)), PANI(polyanilines) 중 어느 하나를 포함하는 전도성 고분자 물질인 압력 검출 메모리.

청구항 21

제17항에 있어서,
 상기 전도성 물질은,
 전도성 금속 박막인 압력 검출 메모리.

청구항 22

제17항에 있어서,
 상기 반도체 층은,
 실리콘 기반 반도체, 질화물 반도체, 산화물 반도체, 화합물 반도체, 이차원 물질 및 유기물 반도체 중 어느 하나인 압력 검출 메모리.

청구항 23

제22항에 있어서,
 상기 실리콘 기반 반도체는 실리콘 진성 반도체(intrinsic semiconductor)에 n 타입 도펀트 및 p 타입 도펀트 중 어느 하나로 도핑하여 형성된 압력 검출 메모리.

청구항 24

제22항에 있어서,
 상기 질화물 반도체는,
 질화 알루미늄(AlN), 질화 갈륨(GaN), 질화 인듐(InN) 중 어느 하나인 압력 검출 메모리.

청구항 25

제22항에 있어서,
 상기 산화물 반도체는
 GZO, HfZO, ITZO 중 어느 하나인 압력 검출 메모리.

청구항 26

제22항에 있어서,
 상기 이차원 물질은,
 MoS₂, WSe₂ 중 어느 하나인 압력 검출 메모리.

청구항 27

제22항에 있어서,
 상기 유기물 반도체는,
 P3HT(poly(3-hexylthiophene-2,5-diyl), P8BT(Poly(9,9-dioctylfluorene-alt-benzothiadiazole)), MEH-PPV(Poly[2-methoxy-5-(2-ethylhexyloxy)-1,4-phenylenevinylene]), PTAA(Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine]), P(NDI2OD-T2)(poly(N,N'-bis-2-octyldodecylnaphtalene-1,4,5,6-bis-dicarboximide-2,6-diyl-alt-5,5',2-bithiophene)), N2300((C54H72N2O4S2)_n), Poly(benzimidazobenzophenanthroline), Poly(2,5-di(3,7-dimethyloctyloxy)cyanoterephthalylidene) 및 펜타센(Pentacene) 중 어느 하나인 압력 검출 메모리.

청구항 28

제17항에 있어서,
 상기 강유전체층은,

PVDF-TrFE, PZT, BaTiO₃, PbTiO₃, PVDF, polytrifluoroethylene 및 odd-numbered nylon 중 어느 하나인 압력 검출 메모리.

청구항 29

제17항에 있어서,
상기 소스 전극 및 상기 드레인 전극은,
각각 복수의 핑거들을 가지며,
상기 핑거들은 서로 깎지끼워진(interdigitated) 형태를 가지는 압력 검출 메모리.

청구항 30

제17항에 있어서,
상기 게이트 구조물은,
반구, 각뿔 및 다면체 중 어느 하나의 형태를 가지는 압력 검출 메모리.

청구항 31

제17항에 있어서,
상기 압력 검출 메모리는
비휘발성 메모리인 압력 검출 메모리.

청구항 32

제17항에 있어서,
상기 기판은 플렉서블(flexible) 기판인 압력 검출 메모리.

청구항 33

제17항에 있어서,
상기 압력 검출 메모리는 웨어러블 장치에 포함된 압력 검출 메모리.

발명의 설명

기술 분야

[0001] 본 기술은 압력 검출 메모리 트랜지스터와 관련된다.

배경 기술

[0002] 종래 기술에 의한 촉각 센서는 검출된 압력을 기억하기 위하여 촉각 센서와 반도체 메모리의 두 요소를 물리적으로 연결하여 촉각 정보를 저장하였다.

발명의 내용

해결하려는 과제

[0003] 종래 기술의 촉각 센서는 상술한 바와 같이 촉각 센서와 반도체 메모리를 결합하므로, 부피가 커져 인체에 장착하는 등의 웨어러블 장치에 사용하는데 걸림돌이 되고 있으며, 제조 비용이 상승한다는 단점이 있다.

[0004] 본 기술이 해결하고자 하는 과제 중 하나는 상기한 종래 기술의 촉각 센서의 단점을 해소하기 위한 것으로 부피를 감소시키고, 제조 비용을 절감할 수 있는 촉각 센서를 제공하기 위한 것이다.

과제의 해결 수단

[0005] 본 실시예에 의한 압력 검출 메모리 트랜지스터는: 기판과, 기판 상에 위치하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 상부에 위치하는 반도체 층과, 반도체 층 상부에 위치하는 강유전체(ferroelectric) 층 및 강유전체 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며, 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하여 저장한다.

[0006] 본 실시예에 의한 압력 검출 메모리는: 기판과, 기판 상에 위치하는 소스 전극 및 드레인 전극과, 소스 전극 및 드레인 전극 상부에 위치하는 반도체 층과, 반도체 층 상부에 위치하는 강유전체(ferroelectric) 층 및 강유전체 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며, 압력 검출 메모리는 게이트 구조물에 제공된 압력에 따라 소스 전극과 드레인 전극 사이의 전기 저항이 변화하며, 압력 검출 메모리는 전기 제공된 압력에 따라 형성된 전기 저항이 유지된다.

발명의 효과

[0007] 본 실시예에 의한 압력 검출 메모리 트랜지스터는 제공된 압력에 상응하는 값을 저장하는 비휘발성 메모리로 가능하다. 따라서, 소형화가 가능하고, 제조 비용이 절감된다는 장점이 제공된다.

도면의 간단한 설명

- [0008] 도 1은 본 실시예에 의한 압력 검출 메모리 트랜지스터의 분해 사시도이다.
- 도 2(a) 및 도 2(b)는 소스 전극과 드레인 전극의 실시예를 도시한 평면도이다.
- 도 3은 게이트 구조물의 실시예를 도시한 도면들이다.
- 도 4(a) 내지 도 4(c)는 압력 검출 메모리 트랜지스터가 압력을 검출하고 기억하는 것을 설명하기 위한 도면들이다.
- 도 5(a) 및 도 5(b)는 압력 F1 보다 큰 압력 F2을 검출 및 기억하는 것을 설명하기 위한 도면들이다.
- 도 6(a) 및 도 6(b)는 압력 센싱 소자를 초기화하는 것을 개요적으로 도시한 도면이다.
- 도 7은 압력 검출 메모리 트랜지스터의 게이트 구조물을 통해 제공된 압력, 게이트 전압 및 드레인 전류 변화를 도시한 도면이다.
- 도 8은 압력 검출 메모리 트랜지스터에 저장된 값의 유지 시간(retention time)을 도시한 도면이다.
- 도 9는 신뢰성 검사를 수행한 결과를 도시한 도면이다.
- 도 10(a)는 폴리이미드 플렉서블 기판을 이용하여 본 실시예를 형성하고, 굽힘 등의 테스트를 수행한 결과를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 압력 검출 메모리 트랜지스터의 개요를 설명한다. 도 1은 본 실시예에 의한 압력 검출 메모리 트랜지스터(10)의 분해 사시도이다. 도 1을 참조하면, 본 실시예에 의한 압력 검출 메모리 트랜지스터(10)는 기판(sub)과, 기판(sub) 상에 위치하는 소스 전극(110) 및 드레인 전극(120)과, 소스 전극(110) 및 드레인 전극(120) 상부에 위치하는 반도체 층(200)과, 반도체 층(200) 상부에 위치하는 강유전체(ferroelectric, 300) 층 및 강유전체 층(300) 상부에 위치하여 압력에 따라 변형되는 게이트 구조물(400)을 포함하며, 게이트 구조물(400)은 제공되는 압력이 증가함에 따라 강유전체층(300)과 접촉 면적이 증가한다.

[0010] 기판(sub)은 절연성을 가지며, 본 실시예에 의한 압력 검출 메모리 트랜지스터(10)의 구성 요소가 형성된다. 일 실시예로, 기판(sub)은 굳은(rigid) 기판으로, 실리콘 기판, 실리콘 산화막 기판, 유리 기판 및 폴리카보네이트 등의 합성수지 기판일 수 있다. 다른 예로, 기판(sub)은 유연한(flexible)한 기판으로, 폴리이미드(PI), 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르이미드(PEI) 중 어느 한 재질을 가지는 기판일 수 있다.

[0011] 굳은 기판은 일 예로, 촉각 센서, 압력 검출 센서 등의 굳은 장치(rigid device)를 구현하기에 적합하며, 유연한 기판은 인체에 장착하는 패치, 전자 스킨(e-skin) 등의 웨어러블 장치(wearable device)를 구현하기에 적합하다. 다만, 이는 단지 실시예일 따름으로, 굳은 기판을 이용하여 웨어러블 장치를 구현할 수 있으며, 유연한

기관을 이용하여 굳은 장치를 구현하는 것도 당연히 가능하다.

- [0012] 기관(sub) 상에 소스 전극(110)과 드레인 전극(120)이 위치한다. 일 예로, 소스 전극(110)과 드레인 전극(120)은 금(gold), 크롬(chrome), 구리(copper), 알루미늄(aluminum), 니켈(nickel), 백금(platinum) 등의 양호한 전도성을 가지는 금속 재질일 수 있다. 다른 예로, 소스 전극(110) 및 드레인 전극(120)은 ITO, PEDOT:PSS 등의 전도성 물질일 수 있다.
- [0013] 도 2(a) 및 도 2(b)는 도 1로 예시된 소스 전극(110)과 드레인 전극(120)의 실시예를 도시한 평면도이다. 도 1 및 도 2(a)를 참조하면, 소스 전극(110)과 드레인 전극(120)은 각각 복수의 핑거(f)들을 포함할 수 있으며, 복수의 핑거(f)들은 서로 깎지켜워진(interdigitated) 형태이다. 예시된 실시예에 의하면 본 실시예에 의한 압력 검출 메모리 트랜지스터(10)를 형성하는 트랜지스터에 있어서 소스 전극(110)과 드레인 전극(120) 채널 너비(width)를 증가시켜 소스 전극(110)과 드레인 전극(120) 사이를 흐르는 전류량을 증가시킬 수 있다. 도 2(b)는 소스 전극(110)과 드레인 전극(120)의 다른 실시예의 평면도이다. 도시된 실시예에 의하면 소스 전극(110)과 드레인 전극(120)은 바(bar) 형태의 전극일 수 있으며, 트랜지스터의 사이즈를 소형화할 수 있다.
- [0014] 다시 도 1을 참조하면, 소스 전극(110)과 드레인 전극(120) 상부에 반도체 층(200)이 형성된다. 반도체 층(200)은 홀(hole)이 다수 캐리어(majority carrier)인 P 타입 반도체이거나, 전자(electron)이 다수 캐리어인 N 타입 반도체 중 어느 하나일 수 있다. 반도체 층(200)은 유기물 반도체, 무기물 반도체, 실리콘 기반 반도체, 화합물 반도체 등 기존의 반도체를 주요 재질로 할 수 있다.
- [0015] 일 실시예로, 실리콘 기반 반도체, 화합물 반도체는 진성 반도체(intrinsic semiconductor)층에 n 타입 도펀트 또는 p 타입 도펀트로 도핑하여 반도체층(200)을 형성할 수 있다. 또한, 반도체 층(200)은 질화 알루미늄(AlN), 질화 갈륨(GaN), 질화 인듐(InN) 등의 질화물 반도체, IGZO, HfZO, ITZO 등의 산화물 반도체 및 MoS₂, WSe₂ 등의 이차원 물질(two dimensional material)일 수 있다.
- [0016] 유기물 반도체는 p 타입 반도체인 P3HT(poly(3-hexylthiophene-2,5-diyl), P8BT(Poly(9,9-dioctylfluorene-alt-benzothiadiazole)), MEH-PPV(Poly[2-methoxy-5-(2-ethylhexyloxy)-1,4-phenylenevinylene]), PTAA(Poly[bis(4-phenyl)(2,4,6-trimethylphenyl)amine]) 등의 유기물 일 수 있다.
- [0017] n 타입 유기물 반도체는 P(NDI2OD-T2)(poly(N,N'-bis-2-octyldodecyl naphthalene-1,4,5,6-bis-dicarboximide-2,6-diyl-alt-5,5',2,2'-bithiophene)), N2300((C₅₄H₇₂N₂₀₄S₂)_n), Poly(benzimidazobenzophenanthroline), Poly(2,5-di(3,7-dimethyloctyloxy)cyanoterephthalylidene) 등의 유기물일 수 있다. 유기물 반도체 층은 스핀 코팅(spin coating), 딥 코팅(dip coating) 등의 방법으로 반도체층(200)을 형성할 수 있다.
- [0018] 유기물 반도체는 소분자(small molecule) 반도체 일 수 있으며, 일 예로, P 타입인 펜타센(Pentacene)일 수 있으며, 증발(evaporate)을 수행하여 증착할 수 있다.
- [0019] 반도체 층(200)의 상부에 강유전체 층(300, ferroelectric)이 위치한다. 강유전체(ferroelectrics)는 전기장이 제공되지 않아도 자발 분극(spontaneous polarization)이 이루어지는 물질로, 외부 전기장에 의하여 분극의 방향이 바뀔 수(switching) 있는 물질을 뜻한다. 강유전체 층(300)은 자발 분극에 의하여 다이폴(dipole)이 형성되며, 보자 전압(coercive voltage) 이상의 전압이 제공되면 다이폴의 방향이 역전(switching)된다.
- [0020] 일 실시예로, 강유전체 층(300)은 P(VDF-TrFE) (poly(vinylidene fluoride-co-trifluoroethylene)일 수 있으며, PZT, BaTiO₃, PbTiO₃ 등의 강유전특성을 가지는 무기물일 수 있으며, PVDF, polytrifluoroethylene, odd-numbered nylon 등의 강유전특성을 가지는 유기물일 수 있다.
- [0021] 게이트 구조물(gate structure, 400)의 상부에서 제공되는 압력이 증가함에 따라 강유전체층(300)과 접촉 면적이 증가한다. 일 실시예로, 게이트 구조물(400)은 게이트 탄성체(410)과 게이트 탄성체(410)를 코팅하는 전도성 물질(420, 도 4 참조)을 포함한다. 일 실시예에서, 게이트 구조물(400)에 제공되는 게이트 전압은 게이트 탄성체(410)를 코팅하는 전도성 물질(420)에 제공될 수 있다.
- [0022] 게이트 탄성체(410)는 상부에서 압력(F)이 주어졌을 때 변형되고, 압력(F)이 제거되었을 때 원상태로 복원되는 탄성을 가지는 물질로 형성될 수 있다. 일 예로, 게이트 탄성체(410)는 PDMS, 러버(rubber) 등의 탄성 물질로 형성될 수 있다. 게이트 탄성체(410)의 탄성률을 미세하게 조정하여 압력 검출 메모리 트랜지스터로 검출할 수 있는 입력 압력을 제어할 수 있다.
- [0023] 게이트 탄성체(410)는 전도성 물질(420, 도 4 참조)로 코팅될 수 있다. 일 예로, 전도성 물질은 PEDOT:PSS,

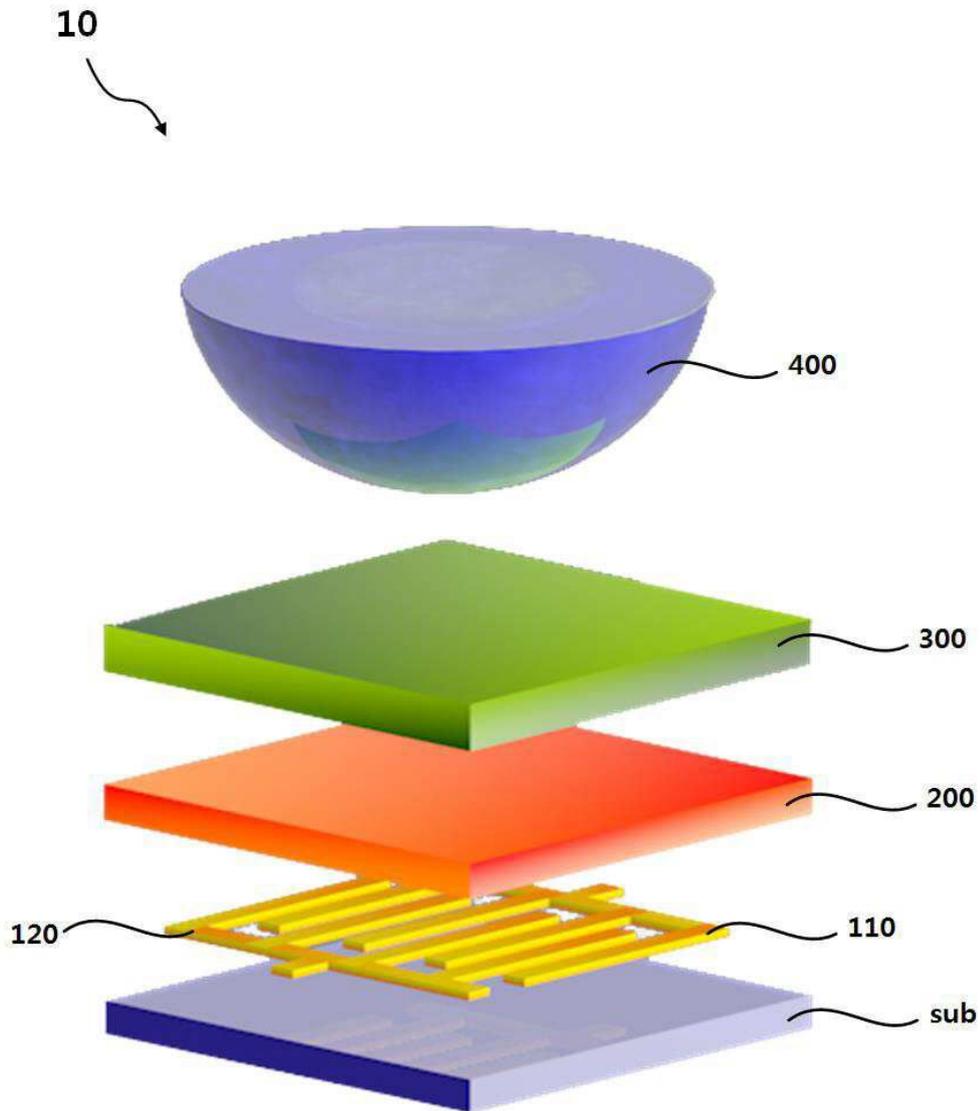
PT(poly(thiophene)s), PPS(poly(p-phenylene sulfide)), PANI(polyanilines) 등의 전도성 폴리머일 수 있다. 다른 예로, 전도성 물질은 금(gold), 구리(copper), 알루미늄(aluminum) 등의 전도성 금속박막 중 어느 하나일 수 있다.

- [0024] 도 3은 게이트 구조물(400)의 실시예를 도시한 도면들이다. 게이트 구조물(400)은 도 1로 예시된 것과 같이 반구(hemisphere) 형태를 가질 수 있다. 도 3(a)로 예시된 것과 같이 게이트 구조물(400a)은 삼각뿔(triangular pyramid) 혹은 사면체, 도 3(b)로 예시된 것과 같이 게이트 구조물(400b)은 사각뿔(quadrangular pyramid), 도 3(c)로 예시된 것과 같이 게이트 구조물(400c)은 오각뿔(Pentagonal pyramid)등의 각뿔(pyramid) 형태를 가질 수 있다. 그러나, 이들은 단지 실시예일 따름으로, 게이트 구조물(400)은 압력이 주어졌을 때 아래에 위치하는 강유전체층(300)과의 접촉 면적이 증가하는 형태를 가지는 것으로 충분하다. 도 3(a) 내지 도 3(c)로 예시된 실시예에서 게이트 구조물들(400a, 400b, 400c)은 전도성 물질(420, 도 4 참조)로 코팅될 수 있다.
- [0025] 이하에서는 도 4 내지 도 6을 참조하여 본 실시예에 의한 압력 검출 메모리 트랜지스터의 동작을 설명한다. 도시된 예는 반구(hemisphere) 형태의 게이트 전극(400)과, P(VDF-TrFE) 강유전체층(300), P 타입 폴리머 반도체인 P3HT 및 실리콘 산화막 기판(sub)으로 형성된 압력 검출 메모리 트랜지스터 소자를 예시한다.
- [0026] 도 4(a) 내지 도 4(c)는 압력 검출 메모리 트랜지스터가 압력을 검출하는 과정을 설명하기 위한 도면들이다. 도 4(a)를 참조하면, 강유전층(300)은 자발적으로 유전 분극되어 다이폴들이 형성된다. 게이트 구조물(400)에 전압을 제공하지 않아도 게이트 전극(400)에 압력이 제공되는 것과 무관하게 다이폴들의 방향은 유전 분극되어 형성된 방향을 유지한다. 반도체 층(200)에 채널이 형성되지 않아 소스 전극(110)과 드레인 전극(120)은 전기적으로 차단된 상태에 있다.
- [0027] 도 4(b)는 게이트 구조물(400)에 네거티브 극성(negative polarity)을 가지고, 보자 전압(V_{co} , coercive voltage 이하의 게이트 전압(V_g , $V_g < -V_{co}$))이 제공된 상태에서 압력 F1이 제공된 상태를 개요적으로 도시한 도면이다. 도 4(b)를 참조하면, 게이트 구조물(400)에 네거티브 극성의 보자 전압 이하의 게이트 전압(V_g)과 압력 F1이 제공된다. 압력 F1이 제공됨에 따라 게이트 구조물(400)은 변형되어 강유전체층(300)과의 접촉 면적이 증가한다.
- [0028] 게이트 구조물(400)에 코팅된 전도성 물질(420)과 강유전체층(300)이 접촉하여 강유전체층(300)에 게이트 전압(V_g)이 제공된다. 강유전체층(300)은 제공된 게이트 전압(V_g)에 의하여 다이폴들이 회전(switch)하여 분극 방향이 변화한다(실선 원 참조).
- [0029] 다이폴들이 회전하여 분극 방향이 변화함에 따라 반도체 층(200)에는 네거티브 전압이 제공되는 것과 동일한 효과가 발생하며, 그로부터 P 타입 반도체 층(200)에는 다수 캐리어(majority carrier)인 정공(hole)들이 누적(accumulate)되어 파선으로 도시된 것과 같이 채널이 형성된다. 따라서, 소스 전극(110)과 드레인 전극(120)은 전기적으로 연결된다.
- [0030] 본 실시예에 의한 압력 검출 메모리 트랜지스터는 N 타입 반도체층을 사용하여도 유사하게 동작한다. 게이트 구조물(400)에 포지티브 극성(positive polarity)을 가지고, 보자 전압(V_{co} , coercive voltage 이상의 게이트 전압(V_g , $V_g > +V_{co}$))이 제공된 상태에서 압력을 제공하면 게이트 구조물(400)에 코팅된 전도성 물질(420)과 강유전체층(300)이 접촉하여 강유전체층(300)에 게이트 전압(V_g)이 제공된다. 강유전체층(300)은 제공된 게이트 전압(V_g)에 의하여 다이폴들이 회전(switch)하여 분극 방향이 변화한다. 이 경우, 강유전체층(300)이 게이트 구조물(400)과 접촉하는 면에는 다이폴의 ?? 극이 위치하고, 강유전체층(300)이 반도체층(200)과 접촉하는 면에는 다이폴의 + 극이 위치한다.
- [0031] 다이폴들의 분극 방향이 변화함에 따라 반도체 층(200)에는 양의 전압이 제공되는 것과 동일한 효과가 발생하며, 그로부터 N 타입 반도체 층에는 다수 캐리어인 전자(electron)들이 누적(accumulate)되어 채널이 형성된다. 따라서, 소스 전극과 드레인 전극은 전기적으로 연결된다.
- [0032] 이하에서는 간결하고 명확한 설명을 위하여 P 타입 반도체층을 사용하는 실시예만을 설명하도록 한다. 다만, 이는 실시예일 따름으로, 본 발명의 범위를 제한하고자 하는 것이 아니다.
- [0033] 도 4(c)는 게이트 구조물(400)이 제거된 상태 혹은 게이트 구조물(400)에 전압을 제공하지 않은 상태에서의 압력 검출 메모리 트랜지스터를 개요적으로 도시한 도면이다. 도 4(c)를 참조하면, 게이트 구조물(400)을 제거하거나, 전압을 제공하지 않아도 강유전체의 특성상 다이폴이 다시 회전하지 않고, 분극 방향을 유지한다. 따라서, 반도체 층(200)에는 다이폴에 의하여 정공들이 누적된 상태를 유지하여 채널은 유지된다.

- [0034] 도 5(a)는 게이트 구조물(400)에 압력 F1 보다 큰 압력 F2가 제공되었을 때 압력 검출 소자 상태를 개요적으로 도시한 도면이다. 도 5(a)를 참조하면, 게이트 구조물(400)에 압력 F1 보다 큰 압력 F2가 제공되면 압력 F1이 제공되었을 때 게이트 구조물(400)과 강유전체층(300) 사이의 접촉 면적에 비하여 접촉 면적이 증가한다.
- [0035] 압력 F2가 제공되었을 때 강유전체층(300)에서 회전하는 다이폴들의 개수가 압력 F1이 제공되었을 때에 비하여 증가하고, 그에 따라 반도체층(200)에 누적되는 캐리어의 개수도 증가한다. 따라서, 소스 전극(110)과 드레인 전극(120) 사이에 형성되는 채널의 저항이 감소한다.
- [0036] 본 실시예에 의한 압력 검출 메모리 트랜지스터는 압력을 센싱하고, 센싱한 결과를 채널의 저항 값으로 저장하는 특징을 가진다. 따라서, 압력 F1(도 4(b) 참조)이 제공되었을 때의 소스 전극(110)과 드레인 전극(120) 사이의 전기 저항값에 비하여 압력 F2가 제공되었을 때의 소스 전극(110)과 드레인 전극(120) 사이의 전기 저항값이 감소한다.
- [0037] 나아가, 도 5(b)와 같이 게이트 구조물(400)을 제거하여도 강유전체층(300)에서 다이폴들은 회전한 상태를 유지하므로, 반도체층(200)에는 정공들이 누적된 채널들이 유지된다. 따라서, 주어진 압력(F2)에 상응하는 소스 전극(110)과 드레인 전극(120) 사이의 전기 저항값이 유지된다.
- [0038] 본 실시예에 의한 압력 검출 소자는 제공된 압력의 크기를 검출하고, 전원이 제거되어도 기입된 값이 사라지지 않는 비휘발성 메모리의 특징을 가진다. 압력을 검출하는 센서와 메모리가 전기적으로 연결된 종래의 기술의 압력 검출 장치와는 달리 본 실시예의 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하고, 검출된 값을 전원이 제거되어도 저장하는 비휘발성 메모리의 특징을 단일한 소자로 구현할 수 있다는 장점이 제공된다.
- [0039] 도 6(a)는 압력 센싱 소자를 초기화하는 것을 개요적으로 도시한 도면이다. 도 6(a)를 참조하면, 소스 전극(110)과 드레인 전극(120) 사이의 모든 영역에 형성된 캐리어들을 분산시키기 위하여 소스 전극(110)과 드레인 전극(120) 사이의 모든 영역을 커버할 수 있도록 F 보다 큰 압력인 F3를 제공한다.
- [0040] 압력 F3를 제공하면서 다이폴들을 다시 원상태로 회복시키기 위하여 게이트 구조물(400)에 포지티브 극성을 가지며, 보자 전압(V_{co}) 이상의 게이트 전압(V_g , $V_g > V_{co}$)을 제공한다. 강유전체층(300)내의 다이폴들은 극성이 회전하여 - 극들이 게이트 구조물(400)과 마주하며, 다이폴들의 + 극들이 반도체층(200)과 접촉한다. 따라서, P 타입의 반도체 층(200)에 + 전압이 제공된 것과 동일한 효과가 제공되어 누적된 홀 들은 반도체 층(200) 내부로 분산되어 사라진다. 소스 전극(110)과 드레인 전극(120) 사이에 채널을 형성하던 홀들은 사라지므로 초기 상태와 같이 차단된 상태를 유지하며, 압력을 센싱한 값들은 모두 소거(erase)된다.
- [0041] 도 6(b)를 참조하면, 게이트 구조물을 제거하거나, 게이트 전압에 0V를 제공한 상태에서도 강유전체의 특성상 강유전체층(300)의 다이폴들은 이전 상태를 유지하며, 이로부터 반도체 층(200)에도 캐리어들이 누적되지 않아 초기 상태를 유지한다.
- [0042] 본 실시예에 의한 압력 검출 메모리 트랜지스터는 상술한 바와 같이 게이트 구조물로 제공된 압력을 검출하여 저장하며, 필요한 경우에는 저장된 값을 소거할 수 있는 메모리로 기능함을 알 수 있다.
- [0043] 이러한 특징으로부터 본 실시예에 의한 압력 검출 메모리 트랜지스터(10)는 인체에 장착될 수 있는 촉각 센서, 피부에 장착될 수 있는 패치(patch) 및 촉각을 검출할 수 있는 전자 피부(e-skin) 등의 웨어러블 장치(wearable device)등에 사용될 수 있다.
- [0044] 평가
- [0045] 이하에서는 본 실시예에 의한 압력 검출 메모리 트랜지스터의 구현예와 그 동작을 설명한다. 소스 전극 및 드레인 전극은 30 nm 두께의 금 전극으로 각각 네 개의 핑거들이 각지끼워진 형태로 제작되었다. 반도체 층은 P 타입인 P3HT 폴리머 반도체로 형성하였다. P (VDF-TrFE)로 강유전체 층을 형성하였으며, 게이트 단성체는 반구형의 PDMS로 형성하였으며, 전도성 폴리머인 PEDOT: PSS로 코팅하였다.
- [0046] 도 7은 압력 검출 메모리 트랜지스터의 게이트 구조물을 통해 제공된 압력, 게이트 전압 및 드레인 전류 변화를 도시한 도면이다. 도 7에서, 청색은 40kPa, 적색은 20kPa, 녹색은 5kPa, 분홍색은 1kPa, 노란색은 0.5kPa, 보라색은 0.1kPa, 검정색은 압력이 제공되지 않은 상태를 의미한다. 도 7을 참조하면, 네거티브 극성을 가지고, 보자 전압 이하의 게이트 전압($V_g < -V_{co}$)이 제공될 때, 게이트 구조물에 제공되는 압력이 증가함에 따라 드레인 전극과 소스 전극을 흐르는 전류량은 증가하는 것을 확인할 수 있다.
- [0047] 또한, 포지티브 극성의 보자 전압 이상의 게이트 전압($V_g > V_{co}$)이 제공되면, 유전체 층에 형성된 다이폴들이

도면

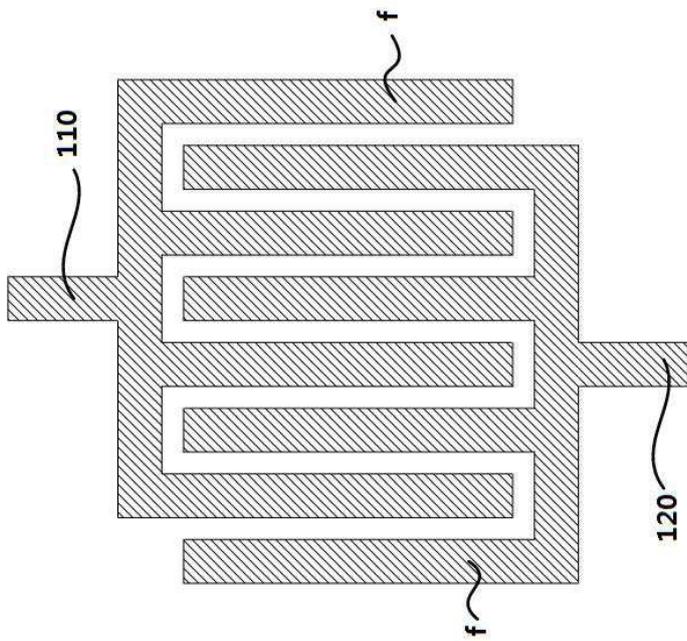
도면1



도면2



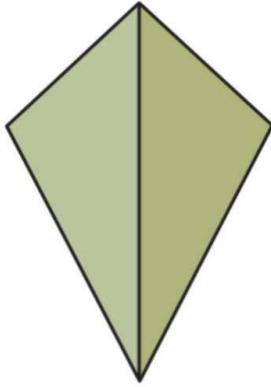
(b)



(a)

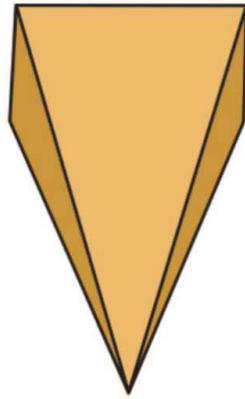
도면3

400a



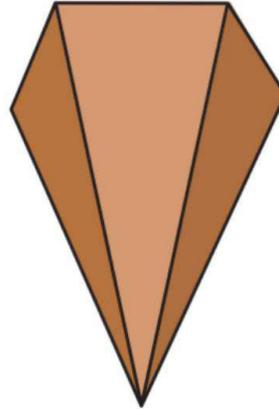
(a)

400b



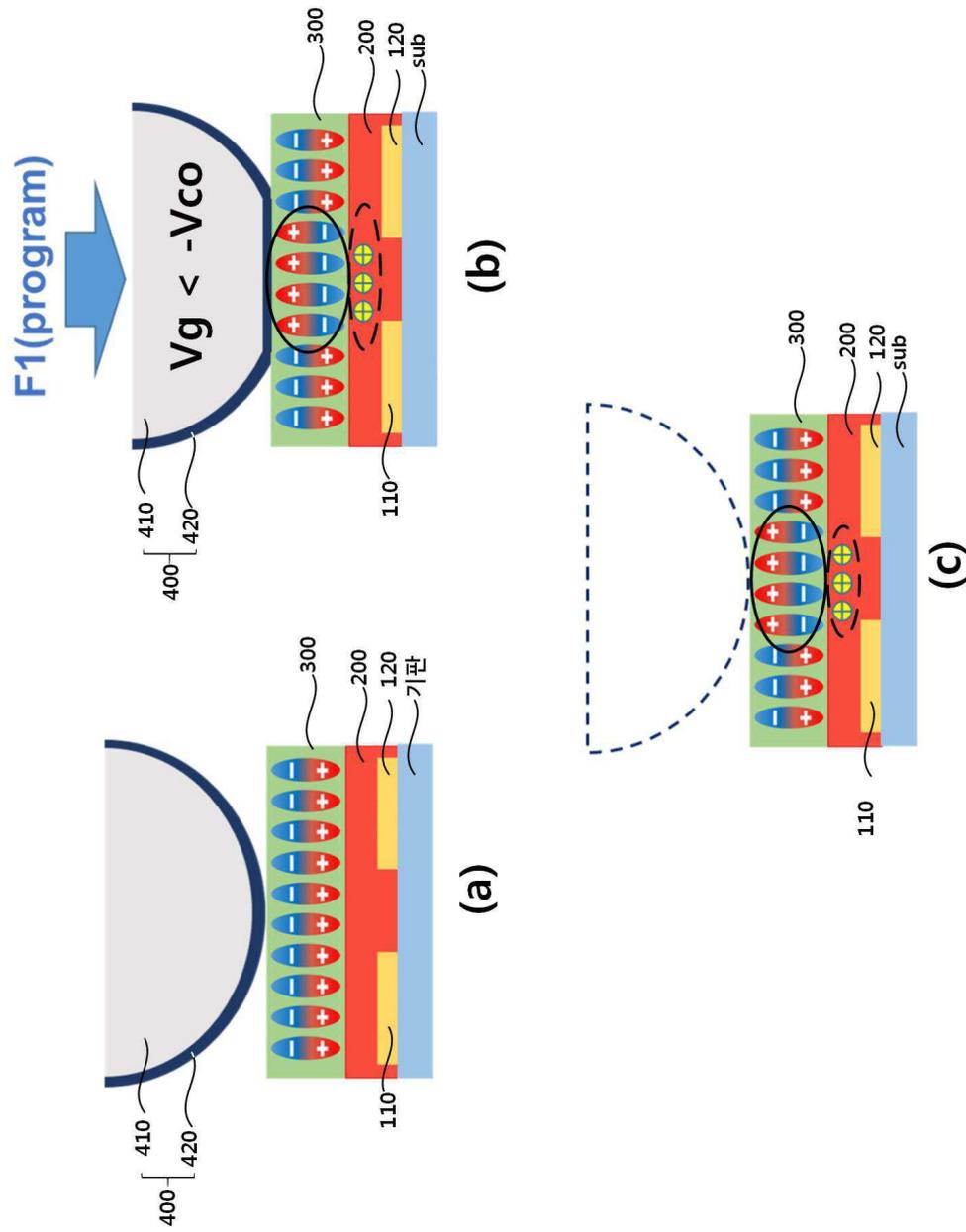
(b)

400c

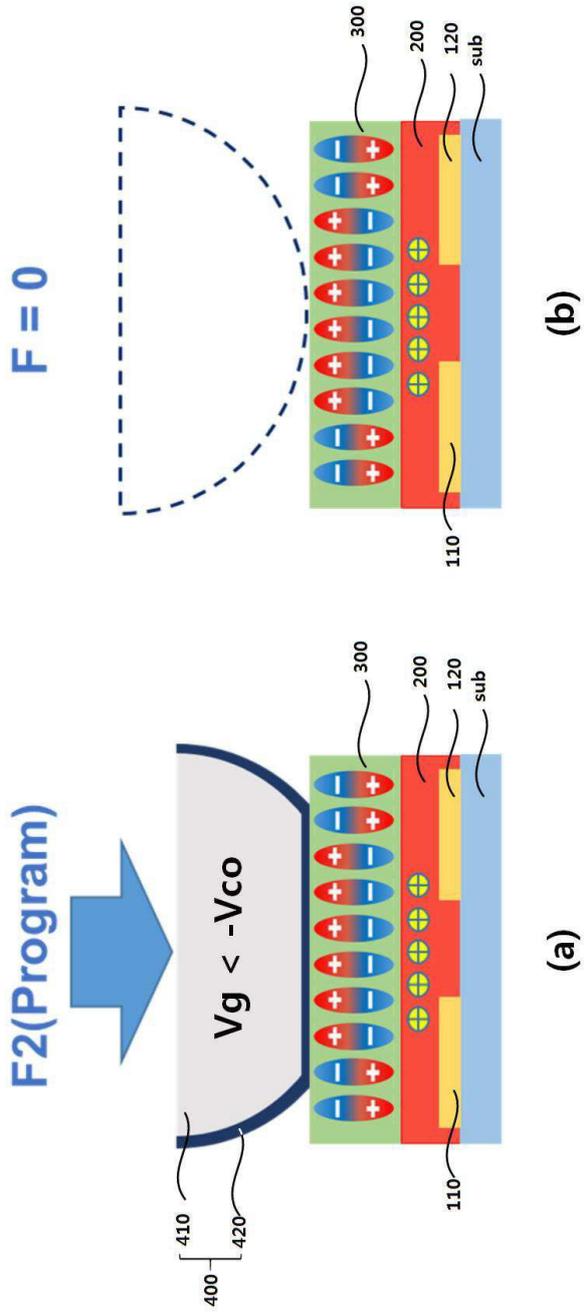


(c)

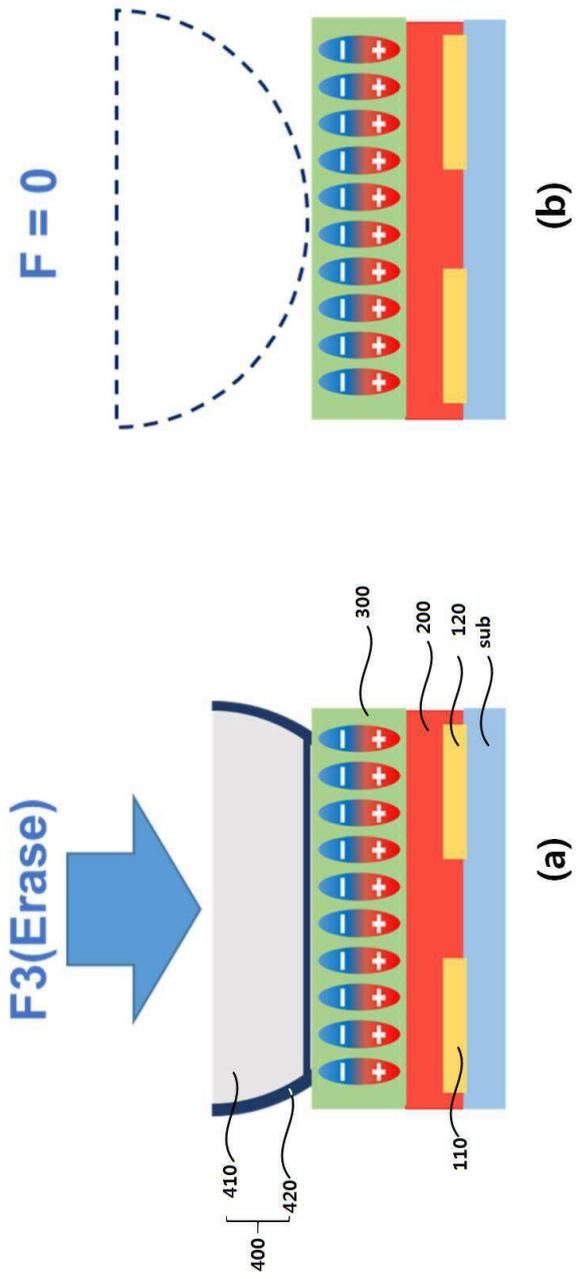
도면4



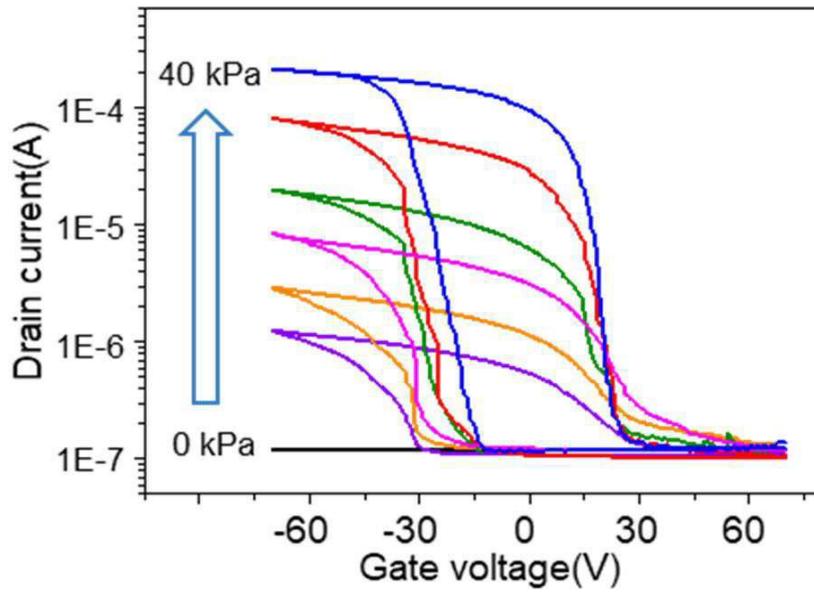
도면5



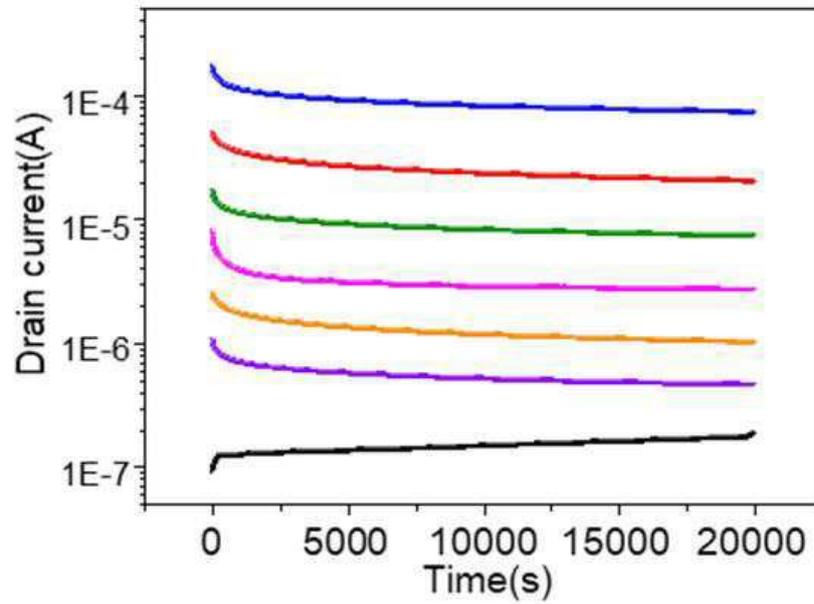
도면6



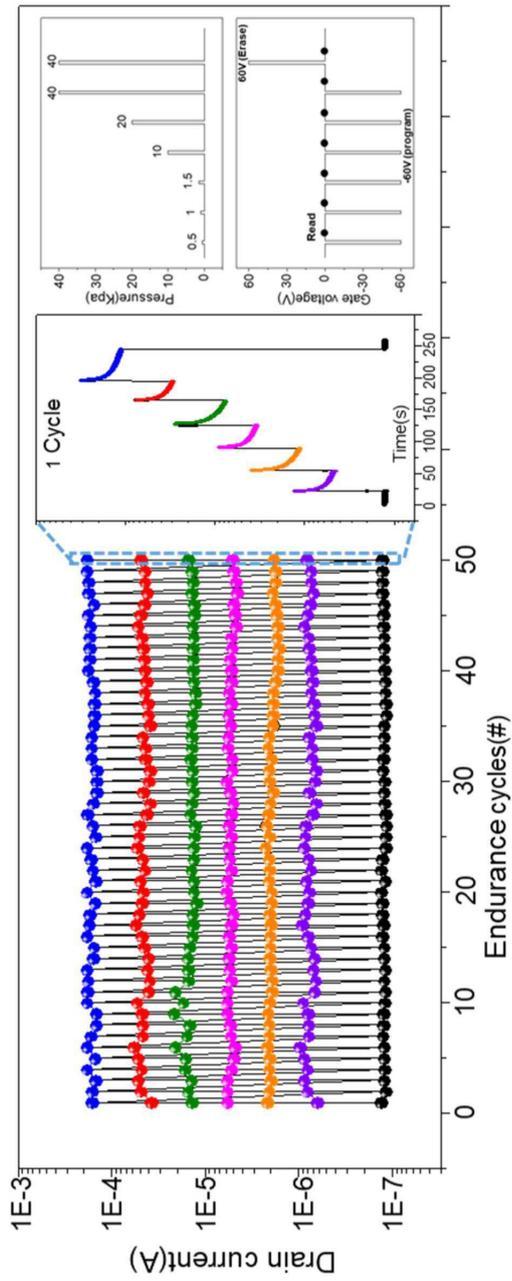
도면7



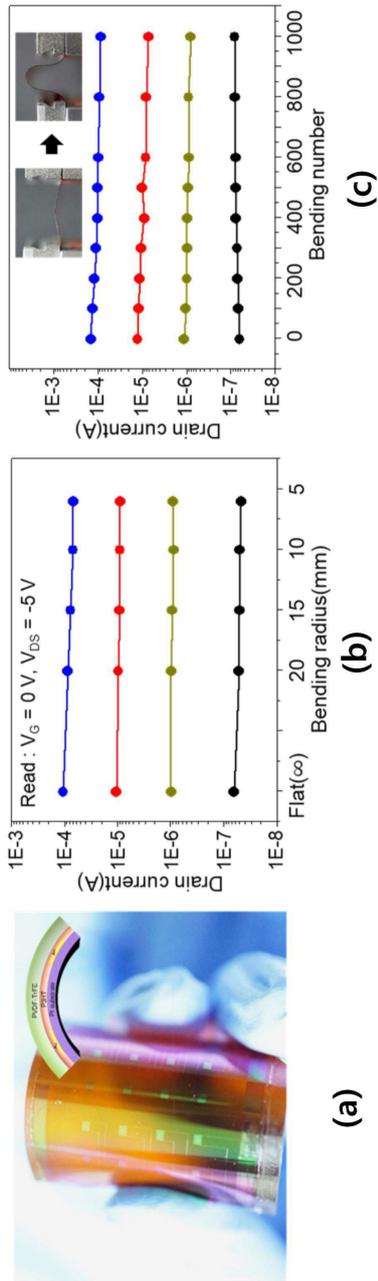
도면8



도면9



도면10



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

압력 검출 메모리 트랜지스터로, 상기 압력 검출 메모리 트랜지스터는:

기관;

상기 기관 상에 위치하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;

상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및

상기 강유전체 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,
 상기 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하여 저장하고,
 상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,

상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리 트랜지스터.

【변경후】

압력 검출 메모리 트랜지스터로, 상기 압력 검출 메모리 트랜지스터는:

기관;

상기 기관 상에 위치하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;

상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및

상기 강유전체층 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,

상기 압력 검출 메모리 트랜지스터는 제공된 압력의 크기를 검출하여 저장하고,

상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,

상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리 트랜지스터.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 17

【변경전】

압력 검출 메모리로, 상기 압력 검출 메모리는:

기관;

상기 기관 상에 위치하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;

상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및

상기 강유전체 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,

상기 압력 검출 메모리는 상기 게이트 구조물에 제공된 압력에 따라 상기 소스 전극과 상기 드레인 전극 사이의 전기 저항이 변화하며,

상기 압력 검출 메모리는 상기 제공된 압력에 따라 형성된 상기 전기 저항이 유지되고,

상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,

상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리.

【변경후】

압력 검출 메모리로, 상기 압력 검출 메모리는:

기관;

상기 기관 상에 위치하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극 상부에 위치하는 반도체 층;

상기 반도체 층 상부에 위치하는 강유전체(ferroelectric)층 및

상기 강유전체 층 상부에 위치하여 압력에 따라 변형되는 게이트 구조물을 포함하며,

상기 압력 검출 메모리는 상기 게이트 구조물에 제공된 압력에 따라 상기 소스 전극과 상기 드레인 전극 사이의 전기 저항이 변화하며,

상기 압력 검출 메모리는 상기 제공된 압력에 따라 형성된 상기 전기 저항이 유지되고,

상기 게이트 구조물은 표면을 코팅하는 전도성 물질을 포함하고,

상기 압력에 따라 변형된 상기 게이트 구조물과 상기 강유전체 층 사이의 접촉 면적에 상응하는 상기 강유전체 층에 형성된 다이폴(dipole)들의 분극 방향이 전환되도록 상기 전도성 물질을 통하여 전압이 제공되는 압력 검출 메모리.