



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월16일
(11) 등록번호 10-2303639
(24) 등록일자 2021년09월13일

(51) 국제특허분류(Int. Cl.)
H03K 19/185 (2006.01) H03K 19/00 (2006.01)
(52) CPC특허분류
H03K 19/185 (2013.01)
H01L 29/78391 (2015.01)
(21) 출원번호 10-2020-0072331
(22) 출원일자 2020년06월15일
심사청구일자 2020년06월15일
(56) 선행기술조사문헌
JP2005303580 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 C513 (신촌동)
고동한
서울특별시 서대문구 연세로 50, 제3공학관 C421 (신촌동)
(뒷면에 계속)
(74) 대리인
특허법인 이룸리온

전체 청구항 수 : 총 9 항

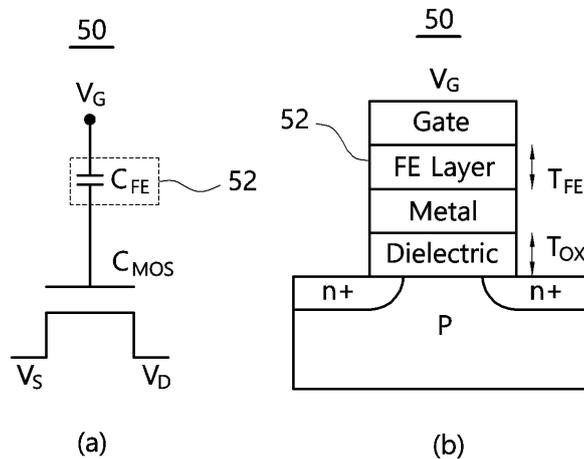
심사관 : 최규돈

(54) 발명의 명칭 강유전체 소자 기반 다기능 로직 구조

(57) 요약

본 발명은 기억소자를 사용한 로직 회로에 관한 것으로, 특히 본 발명의 강유전체 소자 기반 로직 회로는 기억소자와 제어신호에 의해 변동 가능한 논리 회로를 구성함으로써 메모리와 로직 간 데이터 이동에 따른 시간 지연과 전력 소모를 줄일 수 있고, 다기능 로직 회로에 의해 필요한 연산을 수행함으로써 여러 로직에 필요한 면적을 줄일 수 있는 효과가 있다.

대표도 - 도4



(52) CPC특허분류
H03K 19/0013 (2013.01)

(72) 발명자
오태우
서울특별시 서대문구 연세로 50, 제3공학관 C712(신촌동)

임세희

서울특별시 서대문구 연세로 50, 제3공학관 C712(신촌동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711097930
과제번호	2019M3F3A1A02071969
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	신소자핵심선도기술
연구과제명	전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구
기 여 율	1/1
과제수행기관명	한국과학기술원
연구기간	2019.06.28 ~ 2021.12.31

명세서

청구범위

청구항 1

출력 노드를 전원 전압으로 충전하기 위한 프리-차지부;

하나 이상의 강유전체 전계 효과 트랜지스터(Fe-FET: Ferroelectrics-Field Effect Transistor)를 포함하는 로직 네트워크부;

상기 Fe-FET에 데이터를 기록하기 위한 기록 회로부; 및

상기 출력 노드의 전압을 상기 전원 전압으로 유지하기 위한 키퍼(Keeper)부;를 포함하되,

상기 로직 네트워크부는 제1 입력부 및 제2 입력부를 구성하는 트랜지스터를 포함하고 상기 제1 입력부 및 제2 입력부의 입력에 의한 논리 연산 결과를 상기 출력 노드로 출력하되, 상기 제1 입력부 또는 상기 제2 입력부의 입력 값이 상기 Fe-FET에 미리 저장되어 있는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 2

출력 노드를 전원 전압으로 충전하기 위한 프리-차지부;

하나 이상의 강유전체 전계 효과 트랜지스터(Fe-FET: Ferroelectrics-Field Effect Transistor)를 포함하는 로직 네트워크부; 및

상기 Fe-FET에 데이터를 기록하기 위한 기록 회로부;를 포함하되,

상기 로직 네트워크부는,

제1 입력부 및 제2 입력부를 구성하는 트랜지스터를 포함하고 상기 제1 입력부 및 제2 입력부의 입력에 의한 논리 연산 결과를 상기 출력 노드로 출력하되, 상기 제1 입력부 또는 상기 제2 입력부의 입력 값이 상기 Fe-FET에 미리 저장되어 있으며, 상기 제1 입력부의 입력값에 의해 제어되는 제1 내지 제3 입력 n-MOSFET, 상기 제2 입력부의 입력값을 저장하는 제1 및 제2 Fe-FET, 상기 로직 네트워크부가 수행하는 논리 연산의 종류를 결정하기 위한 제1 및 제2 제어 n-MOSFET을 포함하는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 3

제2항에 있어서,

상기 로직 네트워크부는 상기 제1 및 제2 제어 n-MOSFET의 게이트 전압 입력에 따라 NAND 게이트, NOR 게이트 또는 XNOR 게이트로 동작하는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 4

제2항에 있어서,

상기 기록 회로부는 기록 모드 상태에서 상기 제1 Fe-FET의 게이트와 소스 사이에 일정 전압을 인가하고 상기 제2 Fe-FET의 게이트와 소스 사이에는 상기 제1 Fe-FET에 인가된 전압과 반대되는 전압을 인가함으로써 상기 제1 Fe-FET와 상기 제2 Fe-FET가 서로 반대되는 논리값을 저장하도록 하는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 5

제2항에 있어서,

상기 제1 Fe-FET의 드레인은 상기 출력 노드에 연결되고 소스는 상기 제1 입력 n-MOSFET의 드레인과 연결되며 게이트는 상기 기록회로부와 연결되고, 상기 제2 Fe-FET의 드레인은 상기 출력 노드에 연결되고 소스는 상기 제3 입력 n-MOSFET의 드레인과 연결되며 게이트는 상기 기록회로부와 연결되는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 6

제2항에 있어서,

상기 제1 입력 n-MOSFET의 드레인은 상기 제1 Fe-FET의 소스와 연결되고 소스는 상기 제1 제어 n-MOSFET의 드레인과 연결되며 게이트는 상기 제1 입력부이고, 상기 제2 입력 n-MOSFET의 드레인은 상기 제1 Fe-FET의 소스와 연결되고 소스는 상기 제3 입력 n-MOSFET의 소스와 연결되며 게이트에는 상기 제1 입력부와 반대의 입력값이 인가되고, 상기 제3 입력 n-MOSFET의 드레인은 상기 제2 Fe-FET의 소스와 연결되고 소스는 상기 제2 제어 n-MOSFET의 드레인과 연결되며 게이트는 상기 제1 입력부인 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 7

제2항에 있어서,

상기 제1 제어 n-MOSFET의 드레인은 상기 제1 입력 n-MOSFET의 소스와 연결되고 소스는 상기 프리-차지부의 접지 n-MOSFET의 드레인과 연결되고, 상기 제2 제어 n-MOSFET의 드레인은 상기 제3 입력 n-MOSFET의 소스와 연결되고 소스는 상기 프리-차지부의 접지 n-MOSFET의 드레인과 연결되는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 8

제2항에 있어서,

상기 출력 노드의 전압을 상기 전원 전압으로 유지하기 위한 키퍼(Keeper)부를 더 포함하는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

청구항 9

제1항 또는 제8항에 있어서,

상기 키퍼부는 p형 전계효과 트랜지스터(p-MOSFET)와 인버터(NOT Gate)를 포함하고, 상기 p-MOSFET의 드레인은 상기 전원 전압에 연결되고 소스는 상기 출력 노드에 연결되며 게이트는 상기 인버터의 출력과 연결되고, 상기 인버터의 입력은 상기 출력 노드와 연결되는 것을 특징으로 하는, 강유전체 소자 기반 다기능 논리 회로.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 특히 강유전체를 이용한 다기능 로직 구조에 관한 것이다.

배경 기술

[0003] 폰-노이만 구조는 데이터와 명령어가 메모리에 저장되어 중앙처리장치(CPU)에 의해 처리되는 구조를 의미한다.

[0004] 도 1은 폰-노이만 구조의 개략적인 구조도이다.

- [0005] 폰-노이만 구조의 컴퓨터(1)는 중앙처리장치(10)와 메모리(20)를 가진다. 중앙처리장치(10)는 제어유닛(11), 논리연산유닛(12) 및 레지스터(13)를 포함한다. 제어유닛(11)과 논리연산유닛(12)은 메모리(20)에 저장된 명령어들에 따라 산술 연산 또는 논리 연산을 수행한다.
- [0006] 도 2는 CMOS를 이용한 논리연산유닛의 예이다.
- [0007] 도 2의 (a)는 NAND 게이트의 예이고, 도 2의 (b)는 NOR 게이트의 예이고, 도 2의 (c)는 XNOR 게이트의 예이다. 모두 입력(A, B)에 입력되는 값이 있어야 출력(OUT)이 발생하는 것이므로, 데이터 메모리에서 연산에 필요한 입력값을 로드하여 도 2의 논리연산 게이트의 입력(A, B)에 입력해 주어야 결과를 얻을 수 있는 것이다.
- [0008] 연산을 수행하기 위해서는 이렇게 입력 데이터가 필요한데 폰-노이만 구조에서는 이들을 모두 메모리(20)로부터 가져오게 된다. 이렇게 연산이 수행될 때마다 프로그램과 데이터가 메모리(20)에서 중앙처리장치(10)로 이동해야 하므로 이동에 소모되는 전력이 증가하고 시간도 지연되는 문제가 있다. 또한, 메모리(20)에 저장된 데이터를 유지하기 위해서는 별도의 전력이 필요하므로 대기전력이 계속 소모되는 단점도 있다.
- [0009] 따라서 이러한 연산 로직과 메모리 사이의 데이터 이동을 줄이기 위해 비휘발성(Nonvolatile) 소자를 연산 로직에 집적시키는 구조가 시도되었다. 비휘발성 소자는 전원공급이 없어도 데이터를 유지할 수 있으므로 대기전력을 줄일 수 있고, 비휘발성 소자가 연산 로직에 집적되면 데이터 이동에 걸리는 시간이나 전력소모도 줄일 수 있다.
- [0010] 도 3은 비휘발성 소자를 이용한 논리연산 로직의 한 예이다.
- [0011] 도 3은 비휘발성 소자의 하나인 STT-MRAM(Spin Transfer Torque-Magnetic Random Access Memory)을 이용한 논리연산 로직의 구조를 나타낸다. STT-MRAM은 자기저항(Magnetoresistance)이라는 양자역학적 효과를 이용한 비휘발성 메모리 소자로 전원이 공급되지 않아도 데이터를 유지할 수 있다.
- [0012] STT-MRAM 기반의 논리 회로(40)는 프리차지부(PCSA: Pre-Charge Sense Amplifier, 42), 로직 회로부(44) 및 기록 회로(46)로 구성된다.
- [0013] STT-MRAM 기반의 논리 회로(40)는 클럭(CLK)이 0일 때 출력(Q_m)을 충전시킨 후 클럭이 1일 때 입력 A와 B에 대한 연산을 수행한다. 이 때 두 입력 중 하나(B)에 STT-MRAM을 사용하여 데이터를 미리 저장해 둬으로써 데이터를 로드하는 시간을 줄이고 데이터 이동에 따른 전력 소모도 줄일 수 있다.
- [0014] 하지만 이러한 STT-MRAM 기반 논리 회로(40)는 STT-MRAM의 낮은 온-오프 비율(on-off ratio) 때문에 차동구조(Differential Structure)로만 구현이 가능하다. 따라서 기록 회로(46)의 크기가 커져서 많은 수의 소자(트랜지스터)가 필요한 문제가 있다. 또한 도 3의 논리회로는 AND 로직의 회로인데 OR, XOR등의 다른 로직이 필요하면 로직 회로부(44)를 추가로 구성해야 하므로 게이트 수는 더 늘어나게 된다.
- [0015] 또한 기억소자인 B에 읽거나 쓰는 경로가 동일하기 때문에 읽기/쓰기 충돌에 의한 읽기/쓰기 실패가 발생할 가능성이 높아지는 문제가 있다.
- [0016] 본 발명의 발명자들은 이러한 종래 기술의 기억소자 기반 논리회로의 문제점을 해결하기 위해 연구 노력해 왔다. 기억소자의 읽기/쓰기 경로를 분리하고, 다기능 논리 로직을 최소한의 게이트로 구현함으로써 전체 크기를 줄여 칩의 사이즈를 줄이고 전력 또한 줄일 수 있는 다기능 로직 구조를 완성하기 위해 많은 노력 끝에 본 발명을 완성하기에 이르렀다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은 기억소자를 사용하여 데이터 유지 및 이동에 소모되는 전력을 줄일 수 있는 로직 구조를 제공하는 것을 목적으로 한다.
- [0019] 다양한 로직 구조를 최소한의 게이트로 구현하는 것 또한 본 발명의 목적이다.
- [0020] 한편, 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론 할 수 있는 범위 내에서 추가적으로 고려될 것이다.

과제의 해결 수단

- [0022] 본 발명에 따른 강유전체 소자 기반 다기능 논리 회로는, 출력 노드를 전원 전압으로 충전하기 위한 프리-차지부, 하나 이상의 강유전체 전계 효과 트랜지스터(Fe-FET: Ferroelectrics-Field Effect Transistor)를 포함하는 로직 네트워크부 및 상기 Fe-FET에 데이터를 기록하기 위한 기록 회로부를 포함하되, 상기 로직 네트워크부는 제1 입력부 및 제2 입력부를 구성하는 트랜지스터를 포함하고 상기 제1 입력부 및 제2 입력부의 입력에 의한 논리 연산 결과를 상기 출력 노드로 출력하되, 상기 제1 입력부 또는 상기 제2 입력부의 입력 값이 상기 Fe-FET에 미리 저장되어 있는 것을 특징으로 한다.
- [0023] 바람직하게는 상기 로직 네트워크부는 상기 제1 입력부의 입력값에 의해 제어되는 제1 내지 제3 입력 n-MOSFET, 상기 제2 입력부의 입력값을 저장하는 제1 및 제2 Fe-FET, 상기 로직 네트워크부가 수행하는 논리 연산의 종류를 결정하기 위한 제1 및 제2 제어 n-MOSFET을 포함하는 것이 좋다.
- [0024] 상기 로직 네트워크부는 상기 제1 및 제2 제어 n-MOSFET의 게이트 전압 입력에 따라 NAND 게이트, NOR 게이트 또는 XNOR 게이트로 동작하는 것을 특징으로 한다.
- [0025] 상기 기록 회로부는 기록 모드 상태에서 상기 제1 Fe-FET의 게이트와 소스 사이에 일정 전압을 인가하고 상기 제2 Fe-FET의 게이트와 소스 사이에는 상기 제1 Fe-FET에 인가된 전압과 반대되는 전압을 인가함으로써 상기 제1 Fe-FET과 상기 제2 Fe-FET가 서로 반대되는 논리값을 저장할 수 있다.
- [0026] 상기 제1 Fe-FET의 드레인은 상기 출력 노드에 연결되고 소스는 상기 제1 입력 n-MOSFET의 드레인과 연결되며 게이트는 상기 기록회로부와 연결되고, 상기 제2 Fe-FET의 드레인은 상기 출력 노드에 연결되고 소스는 상기 제3 입력 n-MOSFET의 드레인과 연결되며 게이트는 상기 기록회로부와 연결될 수 있다.
- [0027] 상기 제1 입력 n-MOSFET의 드레인은 상기 제1 Fe-FET의 소스와 연결되고 소스는 상기 제1 제어 n-MOSFET의 드레인과 연결되며 게이트는 상기 제1 입력부이고, 상기 제2 입력 n-MOSFET의 드레인은 상기 제1 Fe-FET의 소스와 연결되고 소스는 상기 제3 입력 n-MOSFET의 소스와 연결되며 게이트에는 상기 제1 입력부와 반대의 입력값이 인가되고, 상기 제3 입력 n-MOSFET의 드레인은 상기 제2 Fe-FET의 소스와 연결되고 소스는 상기 제2 제어 n-MOSFET의 드레인과 연결되며 게이트는 상기 제1 입력부인 것을 특징으로 한다.
- [0028] 상기 제1 제어 n-MOSFET의 드레인은 상기 제1 입력 n-MOSFET의 소스와 연결되고 소스는 상기 프리-차지부의 접지 n-MOSFET의 드레인과 연결되고, 상기 제2 제어 n-MOSFET의 드레인은 상기 제3 입력 n-MOSFET의 소스와 연결되고 소스는 상기 프리-차지부의 접지 n-MOSFET의 드레인과 연결될 수 있다.
- [0029] 상기 출력 노드의 전압을 상기 전원 전압으로 유지하기 위한 키퍼(Keeper)부를 더 포함하는 것을 특징으로 한다.
- [0030] 상기 키퍼부는 p형 전계효과 트랜지스터(p-MOSFET)와 인버터(NOT Gate)를 포함하고, 상기 p-MOSFET의 드레인은 상기 전원 전압에 연결되고 소스는 상기 출력 노드에 연결되며 게이트는 상기 인버터의 출력과 연결되고, 상기 인버터의 입력은 상기 출력 노드와 연결되는 것이 좋다.

발명의 효과

- [0032] 본 발명에 따르면 기억소자를 사용하여 입력 일부에 고정된 값을 사용함으로써 데이터 로드와 필요한 지연시간을 줄이고 데이터 이동에 따른 전력소모를 줄일 수 있는 효과가 있다.
- [0033] 또한 다기능 로직 네트워크를 사용함으로써 동일한 기능을 구현한 다른 로직에 비해 칩의 면적을 줄일 수 있는 장점도 있다.
- [0034] 한편, 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급됨을 첨언한다.

도면의 간단한 설명

- [0036] 도 1은 종래기술의 폰-노이만 구조의 컴퓨터의 개략적인 구조를 보여준다.
- 도 2는 종래기술의 CMOS를 사용한 논리회로의 예이다.
- 도 3은 종래기술의 STT-MRAM 기반의 논리회로의 예이다.
- 도 4는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기억소자의 개략적인 구조를 나타낸다.

도 5는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기반 논리회로의 개략적인 구조도이다.

도 6 내지 9는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기반 논리회로의 동작 예를 나타낸다.

도 10은 본 발명의 바람직한 어느 실시예에 따른 기록회로의 동작 예이다.

※ 첨부된 도면은 본 발명의 기술사상에 대한 이해를 위하여 참조로서 예시된 것임을 밝히며, 그것에 의해 본 발명의 권리범위가 제한되지는 아니한다

발명을 실시하기 위한 구체적인 내용

[0037] 이하, 도면을 참조하여 본 발명의 다양한 실시예가 안내하는 본 발명의 구성과 그 구성으로부터 비롯되는 효과에 대해 살펴본다. 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.

[0038] '제1', '제2' 등의 용어는 다양한 구성요소를 설명하는데 사용될 수 있지만, 상기 구성요소는 위 용어에 의해 한정되어서는 안 된다. 위 용어는 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용될 수 있다. 예를 들어, 본 발명의 권리범위를 벗어나지 않으면서 '제1구성요소'는 '제2구성요소'로 명명될 수 있고, 유사하게 '제2구성요소'도 '제1구성요소'로 명명될 수 있다. 또한, 단수의 표현은 문맥상 명백하게 다르게 표현하지 않는 한, 복수의 표현을 포함한다. 본 발명의 실시예에서 사용되는 용어는 다르게 정의되지 않는 한, 해당 기술분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.

[0039] 이하, 도면을 참조하여 본 발명의 다양한 실시예가 안내하는 본 발명의 구성과 그 구성으로부터 비롯되는 효과에 대해 살펴본다.

[0041] 도 4는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기억소자의 개략적인 구조를 나타낸다.

[0042] 본 발명에 사용된 강유전체 전계효과 트랜지스터(Fe-FET: Ferroelectrics-Field Effect Transistor, 50)는 기존의 MOSFET 구조에서 게이트와 옥사이드(Oxide) 레이어 사이에 강유전체(Ferroelectric) 레이어가 추가된 구조이다. 도 4의 (a)는 Fe-FET(50)에서 강유전체(52)가 삽입된 구조의 기호를 나타내고, 도 4의 (b)는 반도체 레이어에서 게이트(Gate)와 메탈 옥사이드(Metal, Dielectric) 사이에 강유전체 레이어(FE Layer, 52)가 삽입된 단면의 구조를 보여준다.

[0043] Fe-FET의 게이트와 소스 사이의 전압(V_{GS})에 따라 문턱 전압(V_{TH})이 변하는데, 이를 이용하여 한 비트의 데이터를 저장할 수 있다. V_{TH} 가 낮은 상태(Low V_{TH} state)이면 논리값 1을 나타내고 V_{TH} 가 높은 상태(High V_{TH} state)이면 논리값 0을 나타낸다.

[0044] 이와 같은 Fe-FET는 CMOS와 호환성이 좋고 작은 사이즈로 스케일링도 가능하다. 또한 종래의 비휘발성 소자들(STT-MRAM, PRAM, ReRAM, etc.)에 비해 높은 on/off 비율(10^{15})과 빠른 기록 속도(10ns)를 가지며 기록을 위한 전력이 낮은 장점이 있다.

[0045] 또한 2터미널 구조인 STT-MRAM과 달리 3 터미널 구조이기 때문에 읽기/쓰기 경로가 달라서 읽기/쓰기 실패가 발생하지 않고, 기록 회로의 구조가 간단한 것 또한 장점이다.

[0046] 다음 표 1은 Fe-FET와 다른 기록소자들과의 비교를 보여준다.

표 1

[0047]

	PCRAM	STT-MRAM	ReRAM	FeRAM	FeFET
Write speed	~100ns	~20ns	~100ns	~10ns	~10ns
Write power	High	Low	High	Low	Low
Density	High	Mid	High	High	High
Endurance	10^9	10^{15}	10^6	10^{10}	10^7

[0048] 도 5는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기반 논리 회로의 전체 구조도이다.

[0049] 본 발명에 따른 강유전체 기반 논리 회로(100)는 프리-차지부(Pre-Charge, 110), 키퍼부(Keeper, 120), 로직

네트워크부(130) 및 기록 회로부(140)를 포함한다.

- [0050] 프리-차지부(110)는 전원 전압(V_{DD})과 출력 노드(OUT)를 연결하는 p형 MOSFET(p-MOSFET)과 로직 네트워크부(130)와 접지 사이를 연결하는 n형 MOSFET(n-MOSFET)을 포함한다. 프리-차지부(110)의 p-MOSFET과 n-MOSFET의 게이트에는 클럭(CLK)이 연결되어 클럭이 0인 프리-차지 스테이지에서 출력 노드가 V_{DD} 로 충전되고 클럭이 1인 평가 스테이지(Evaluation stage)에서는 로직 네트워크부(130)를 접지로 연결한다.
- [0051] 키퍼부(120)는 p-MOSFET과 인버터(NOT gate)를 포함한다. P-MOSFET은 V_{DD} 와 출력 노드 사이를 연결하고, 게이트에는 인버터의 출력이 입력된다. 인버터의 입력은 출력 노드와 연결된다. 키퍼부(120)는 출력 노드가 V_{DD} (논리값 1)일 때 출력 노드의 전압을 유지시키는 역할을 한다. 차지 셰어링(Charge sharing)에 의한 오동작이나 프리-차지부(110)의 p-MOSFET의 커플링에 의한 오동작을 방지할 수 있는 효과가 있다.
- [0052] 로직 네트워크부(130)는 제1 및 제2 Fe-FET(132, 134), 제1 내지 제3 입력 n-MOSFET(135, 136, 137) 및 제1 및 제2 제어 n-MOSFET(138, 139)을 포함한다.
- [0053] 제1 Fe-FET(132)의 드레인은 출력 노드와 연결되고 소스는 제1 입력 n-MOSFET(135)의 드레인과 연결되며 게이트는 기록회로부(140)와 연결된다.
- [0054] 제2 Fe-FET(134)의 드레인은 출력 노드와 연결되고 소스는 제3 입력 n-MOSFET(137)의 드레인과 연결되며 게이트는 기록회로부(140)와 연결된다.
- [0055] 제1 입력 n-MOSFET(135)의 드레인은 제1 Fe-FET(132)의 소스와 연결되고 소스는 제1 제어 n-MOSFET(138)의 드레인과 연결되며 게이트는 제1 입력(A)이 입력된다.
- [0056] 제2 입력 n-MOSFET(136)의 드레인은 제1 Fe-FET(132)의 소스와 연결되고 소스는 제3 입력 n-MOSFET(137)의 소스와 연결되며 게이트는 제1 입력(A)의 반대 값(\bar{A})이 입력된다.
- [0057] 제3 입력 n-MOSFET(137)의 드레인은 제2 Fe-FET(134)의 소스와 연결되고 소스는 제2 제어 n-MOSFET(139)의 드레인과 연결되며 게이트는 제1 입력(A)이 입력된다.
- [0058] 제1 제어 n-MOSFET(138)의 드레인은 제1 입력 n-MOSFET(135)의 소스와 연결되고 소스는 프리-차지부(120)의 접지 n-MOSFET의 드레인과 연결된다.
- [0059] 제2 제어 n-MOSFET(139)의 드레인은 제3 입력 n-MOSFET(137)의 소스와 연결되고 소스는 프리-차지부(120)의 접지 n-MOSFET의 드레인과 연결된다.
- [0060] 제1 제어 n-MOSFET(138)와 제2 제어 n-MOSFET(139)의 조합에 의해 로직 네트워크부(130)는 NAND, NOR 또는 XNOR 게이트로 동작할 수 있다.
- [0061] 기록 회로부(140)는 제1 내지 제4 기록 n-MOSFET(142, 144, 146, 148)이 포함된다.
- [0062] 제1 기록 n-MOSFET(142)의 드레인에는 기록 값(Y)이 입력되고 소스는 제1 Fe-FET(132)의 게이트와 연결되며 게이트에는 쓰기 모드(WL) 신호가 입력된다.
- [0063] 제2 기록 n-MOSFET(144)의 드레인에는 기록 값의 반대 값(\bar{Y})이 입력되고 소스는 제1 Fe-FET(132)의 소스와 연결되며 게이트에는 쓰기 모드(WL) 신호가 입력된다.
- [0064] 따라서 제1 기록 n-MOSFET(142)과 제2 기록 n-MOSFET(144)에 의해 제1 Fe-FET(132)의 게이트와 소스 사이에는 반대 전압이 인가되어 논리값이 저장된다.
- [0065] 제3 기록 n-MOSFET(146)의 드레인에는 기록 값의 반대 값(\bar{Y})이 입력되고 소스는 제2 Fe-FET(134)의 게이트와 연결되며 게이트에는 쓰기 모드(WL) 신호가 입력된다.
- [0066] 제4 기록 n-MOSFET(148)의 드레인에는 기록 값(Y)이 입력되고 소스는 제2 Fe-FET(134)의 소스와 연결되며 게이트에는 쓰기 모드(WL) 신호가 입력된다.
- [0067] 따라서 제3 기록 n-MOSFET(146)과 제4 기록 n-MOSFET(148)에 의해 제2 Fe-FET(134)의 게이트와 소스 사이에는 반대 전압이 인가되어 논리값이 저장된다. 또한 제1 Fe-FET(132)와는 반대의 논리 값이 제2 Fe-FET(134)에 저장

된다.

- [0068] 도 6 내지 9는 본 발명의 바람직한 어느 실시예에 따른 강유전체 기반 논리 회로의 동작 예를 나타낸다.
- [0069] 도 6은 프리-차지 상태의 논리 회로(100)의 동작 예를 나타낸다.
- [0070] 클럭이 0인 상태(151)에서 프리-차지부(110)의 접지 n-MOSFET은 연결되지 않고 p-MOSFET만이 V_{DD} 에 연결된 상태가 된다. 따라서 출력 노드는 p-MOSFET에 의해 V_{DD} 에 연결되어 V_{DD} 로 충전된다. 이후 클럭이 1인 평가 단계(Evaluation stage)에서는 로직 회로부(130)의 제1 및 제2 제어 n-MOSFET(138, 139)의 설정에 따라 다른 논리 게이트로 동작하게 된다.
- [0071] 도 7은 NAND 게이트로 동작하는 한 예를 보여준다.
- [0072] 로직 회로부(130)가 NAND 게이트로 동작하기 위해서 제1 n-MOSFET(138)의 입력(C_1)은 1로, 제2 n-MOSFET의 입력(C_2)은 0으로 설정된다.
- [0073] 제1 입력(A)이 1이고 제2 입력인 B도 1로 설정된 상태(low V_{th} state)이면 각 MOSFET은 입력에 따라 동작하게 된다.
- [0074] 제1 입력이 1이므로 제1 입력 n-MOSFET(135) 및 제3 입력 n-MOSFET(137)은 턴-온(Turn-On) 상태가 되고 제2 입력 n-MOSFET(136)은 턴-오프(Turn-Off)상태가 된다. 클럭이 1인 평가 단계(152)가 되면 접지 n-MOSFET은 턴-온 상태가 된다.
- [0075] 따라서 턴-온 상태인 제1 Fe-FET(132), 제1 입력 n-MOSFET(135), 제1 제어 n-MOSFET(138) 및 접지 n-MOSFET을 따라 경로가 형성되고 출력 노드에 충전됐던 전압 V_{DD} 는 접지로 방전되어 출력 노드는 입력 A=1과 B=1의 NAND 연산 값인 0이 되는 것이다.
- [0076] 도 8은 NOR 게이트로 동작하는 한 예를 나타낸다.
- [0077] 로직 회로부(130)가 NOR 게이트로 동작하기 위해서 제1 n-MOSFET(138)의 입력(C_1)은 1로, 제2 n-MOSFET의 입력(C_2)도 1로 설정된다.
- [0078] 제1 입력(A)이 0이고 제2 입력인 B는 1로 설정된 상태(low V_{th} state)이면 각 MOSFET은 입력에 따라 동작하게 된다.
- [0079] 제1 입력이 0이므로 제1 입력 n-MOSFET(135) 및 제3 입력 n-MOSFET(137)은 턴-오프 상태가 되고 제2 입력 n-MOSFET(136)은 턴-온 상태가 된다. 클럭이 1인 평가 단계(153)가 되면 접지 n-MOSFET은 턴-온 상태가 된다.
- [0080] 따라서 턴-온 상태인 제1 Fe-FET(132), 제2 입력 n-MOSFET(136), 제2 제어 n-MOSFET(139) 및 접지 n-MOSFET을 따라 경로가 형성되고 출력 노드에 충전됐던 전압 V_{DD} 는 접지로 방전되어 출력 노드는 입력 A=0과 B=1의 NOR 연산 값인 0이 된다.
- [0081] 도 9는 XNOR 게이트로 동작하는 한 예를 나타낸다.
- [0082] 로직 회로부(130)가 XNOR 게이트로 동작하기 위해서 제1 n-MOSFET(138)의 입력(C_1)은 0으로, 제2 n-MOSFET의 입력(C_2)은 1로 설정된다.
- [0083] 제1 입력(A)이 1이고 제2 입력인 B도 1로 설정된 상태(low V_{th} state)이면 각 MOSFET은 입력에 따라 동작하게 된다.
- [0084] 제1 입력이 1이므로 제1 입력 n-MOSFET(135) 및 제3 입력 n-MOSFET(137)은 턴-온(Turn-On) 상태가 되고 제2 입력 n-MOSFET(136)은 턴-오프(Turn-Off)상태가 된다. 클럭이 1인 평가 단계(152)가 되면 접지 n-MOSFET은 턴-온 상태가 된다.
- [0085] 출력 노드에서 접지로 가는 경로의 제2 Fe-FET(134), 제2 입력 n-MOSFET(136), 제1 제어 n-MOSFET(137)이 모두 턴-오프 상태이기 때문에 출력 노드의 전압 V_{DD} 는 방전되지 않는다. 접지 경로가 형성되지 않으므로 출력 노드는 플로팅(floating) 상태가 되고 키퍼부(120)에 의해 출력 전압이 V_{DD} 로 유지된다. 따라서 출력 노드는 입력 A=1과

B=1의 XNOR 연산 값인 1이 된다.

- [0086] 도 10은 본 발명의 바람직한 어느 실시예에 따른 기록 회로의 동작 예이다.
- [0087] 도 7 내지 9의 예에서는 제2 입력인 B의 값이 1로 고정된 경우를 보여줬다. 하지만 B의 값이 0인 연산이 필요해 지면 기록 회로(140)에 의해 B를 다른 값으로 다시 설정하는 과정이 필요하다.
- [0088] 제1 및 제2 Fe-FET(132, 134)의 값인 B와 \bar{B} 를 변경할 필요가 없을 때는 기록 회로(140)의 기록 모드(WL)의 값을 0으로 세팅함으로써 기록 회로(140)의 모든 n-MOSFET(142, 144, 146, 148)이 턴-오프 상태가 된다.
- [0089] 제1 및 제2 Fe-FET(132, 134)에 저장된 값을 변경해야 하면 기록 모드 WL을 1로 설정함으로써 제1 및 제2 Fe-FET(132, 134)의 값을 원하는 값으로 설정할 수 있다.
- [0090] 제1 기록 n-MOSFET(142)의 드레인에는 기록 값인 Y가 입력되고 소스는 제1 Fe-FET(132)의 게이트에 연결된다.
- [0091] 제2 기록 n-MOSFET(144)의 드레인에는 기록 값의 반대 값인 \bar{Y} 가 입력되고 소스는 제1 Fe-FET(132)의 소스에 연결된다.
- [0092] 따라서 제1 Fe-FET(132)의 게이트와 소스 사이에 반대의 전압이 인가되고 제1 Fe-FET(132)에는 Y값이 저장된다. Y=1이고 \bar{Y} =0인 경우 제1 Fe-FET(132)는 Low V_{th} 상태인 1이 저장되는 것이다.
- [0093] 제3 기록 n-MOSFET(146)의 드레인에는 기록 값의 반대 값인 \bar{Y} 가 입력되고 소스는 제2 Fe-FET(134)의 게이트에 연결된다.
- [0094] 제4 기록 n-MOSFET(148)의 드레인에는 기록 값인 Y가 입력되고 소스는 제2 Fe-FET(134)의 소스에 연결된다.
- [0095] 따라서 제2 Fe-FET(134)의 게이트와 소스 사이에도 반대의 전압이 인가되지만 제1 Fe-FET(132)와는 반대로 전압이 인가되므로 제1 Fe-FET(132)와 제2 Fe-FET(134)는 서로 상보적인(Complimentary) 값을 저장하게 된다. 기록 값인 Y=1인 경우 제1 Fe-FET(132)와는 반대로 제2 Fe-FET(134)는 0을 저장하게 되는 것이다.
- [0096] 이와 같이 입력 B를 바꾸기 위해서는 추가의 기록회로와 추가 싸이클(cycle)이 필요하므로 입력 B가 자주 바뀌지 않으며 연산을 수행하는 딥러닝 연산의 웨이트(weight)나 바이어스(bias) 값으로 활용하면 본 발명의 장점을 활용할 수 있을 것이다.
- [0097] 다음 표 2는 본 발명과 다른 로직 회로들 사이의 성능을 비교한 표이다.

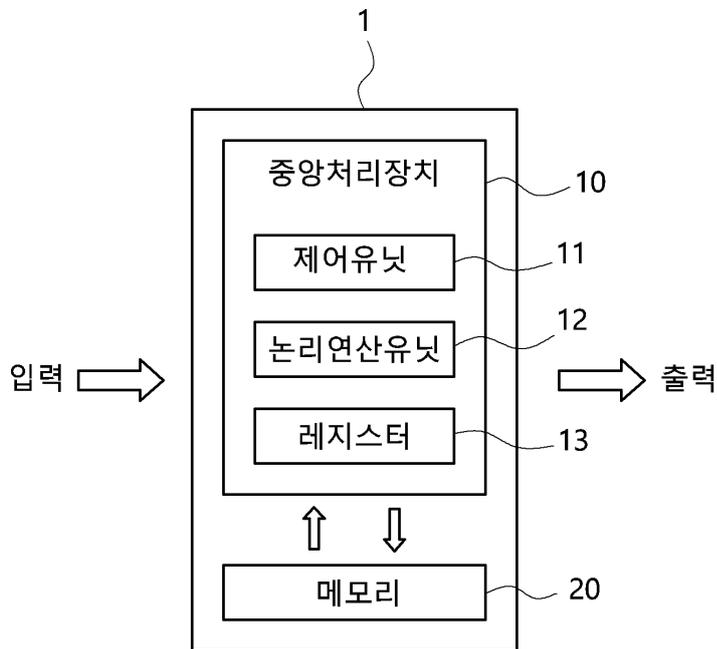
표 2

	CMOS	STT-MRAM-based			FeFET-based		
모듈 간 데이터의 이동	2 inputs	1 input			1 input		
비휘발성 저장	X	0			0		
# of TRs (per Logic)	NAND	NOR	XNOR	NAND	NOR	XNOR	15(+2FeFET)
	4	4	12	14 (+2MTJ)	14 (+2MTJ)	17 (+2MTJ)	
# of TRs (Entire Area)	20	51(+6MTJ)					
Delay(Entire System)	mid	High			Small		
Power(Entire System)	High	mid			Small		

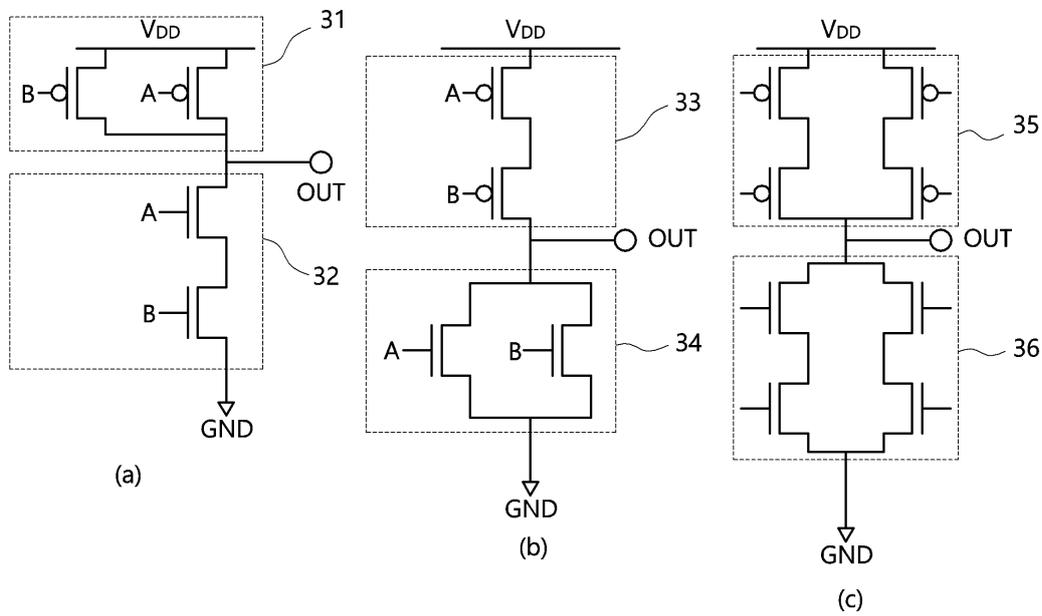
- [0099] 이와 같이 본 발명에 따르면 메모리와 로직 모듈 간 데이터 전달에 소모되는 시간과 전력을 줄일 수 있고, 비휘발성 소재를 사용함으로써 대기 전력을 줄일 있는 효과가 있다. 또한 제어신호에 의해 다양한 로직을 구현할 수 있으므로 회로 전체의 면적을 줄여 전체 소모 전력을 줄일 수 있는 장점도 있다.
- [0101] 본 발명의 보호범위가 이상에서 명시적으로 설명한 실시예의 기재와 표현에 제한되는 것은 아니다. 또한, 본 발명이 속하는 기술분야에서 자명한 변경이나 치환으로 말미암아 본 발명이 보호범위가 제한될 수도 없음을 다시 한 번 첨언한다.

도면

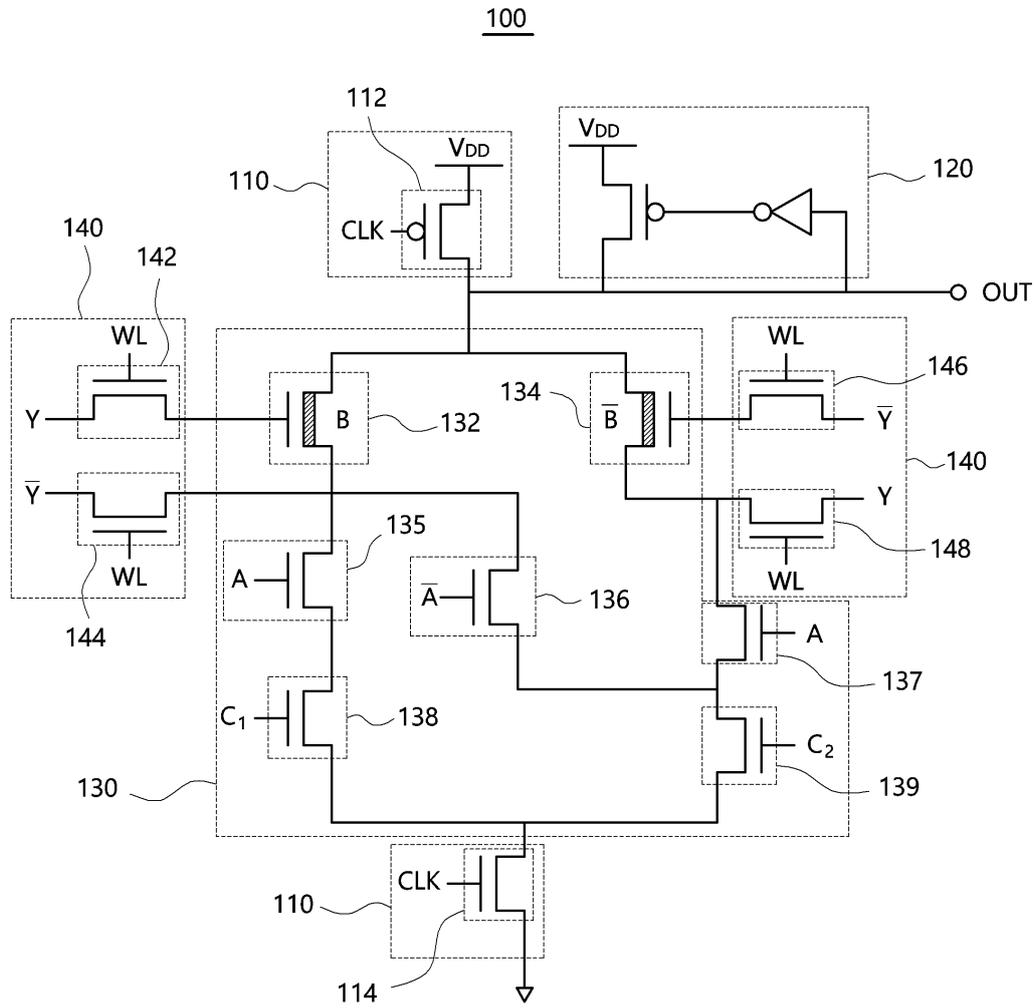
도면1



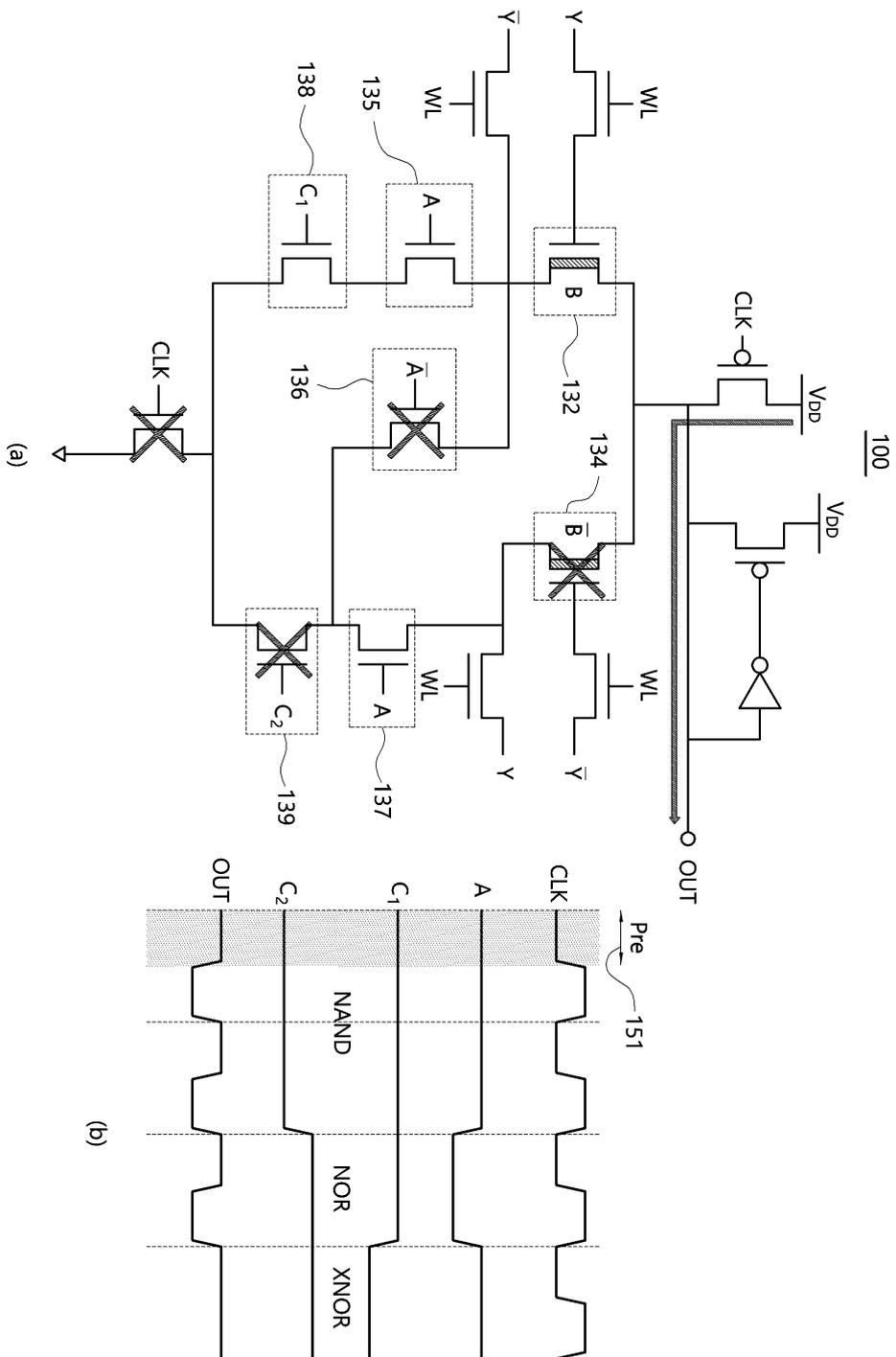
도면2



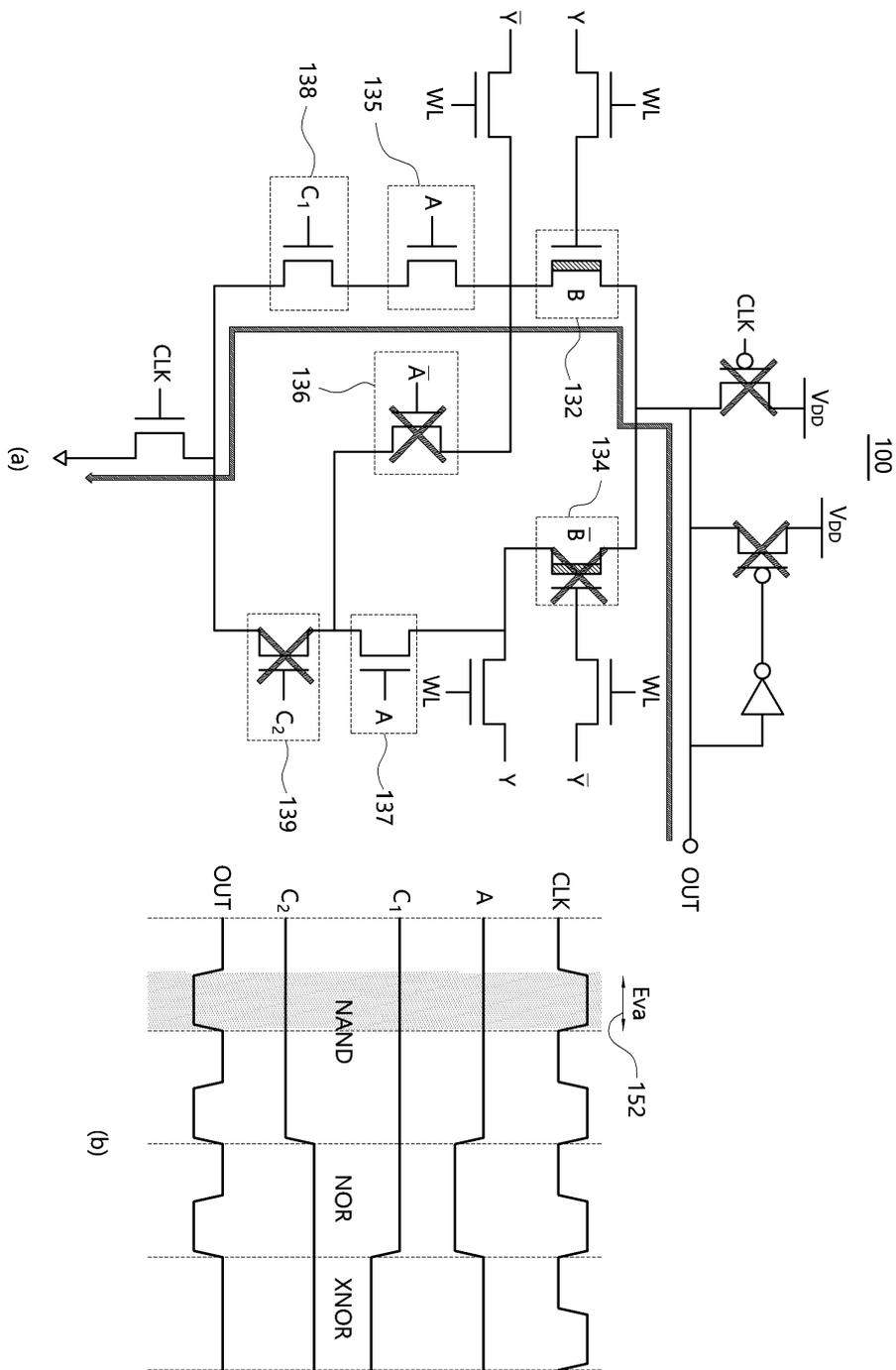
도면5



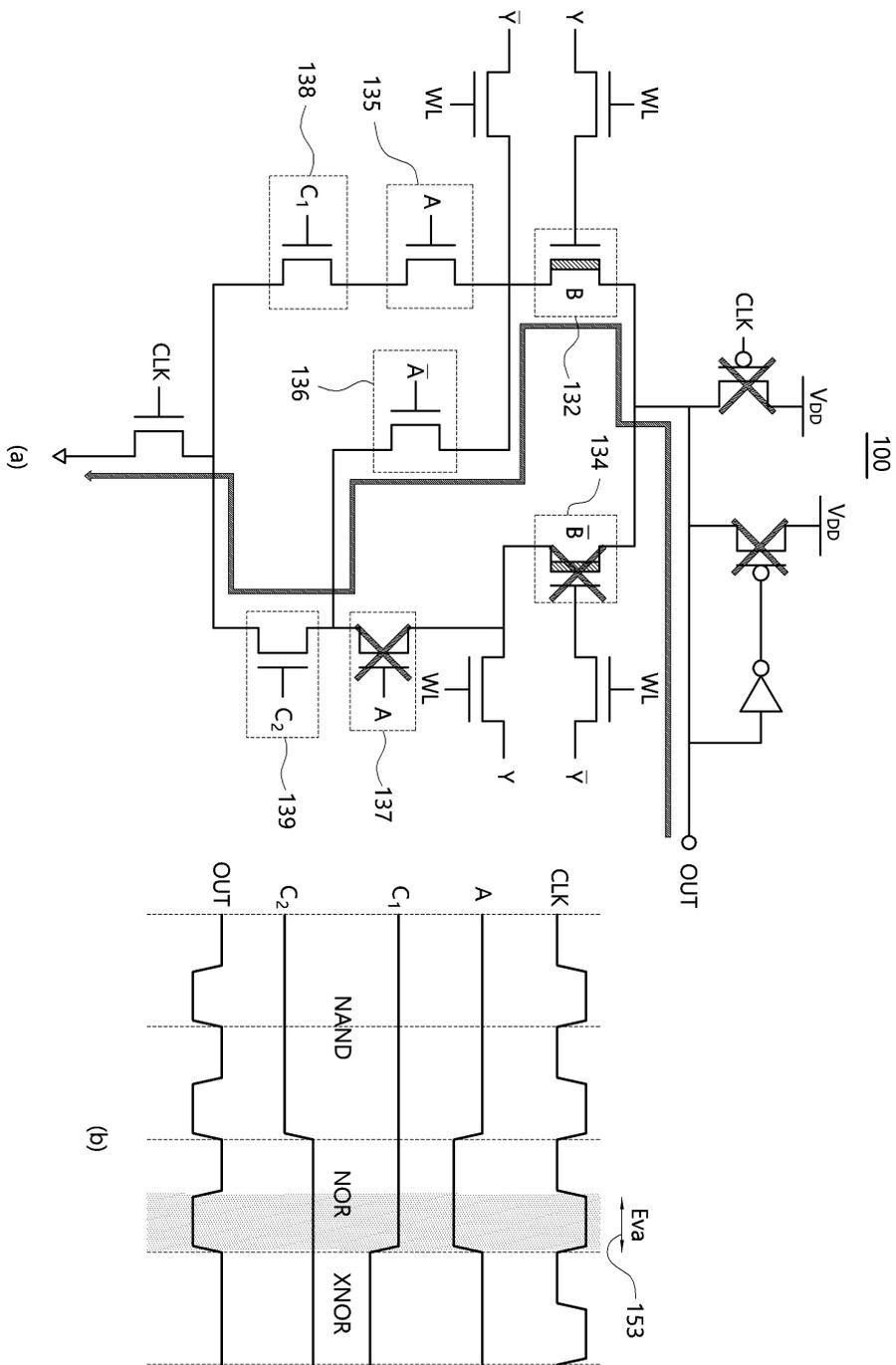
도면6



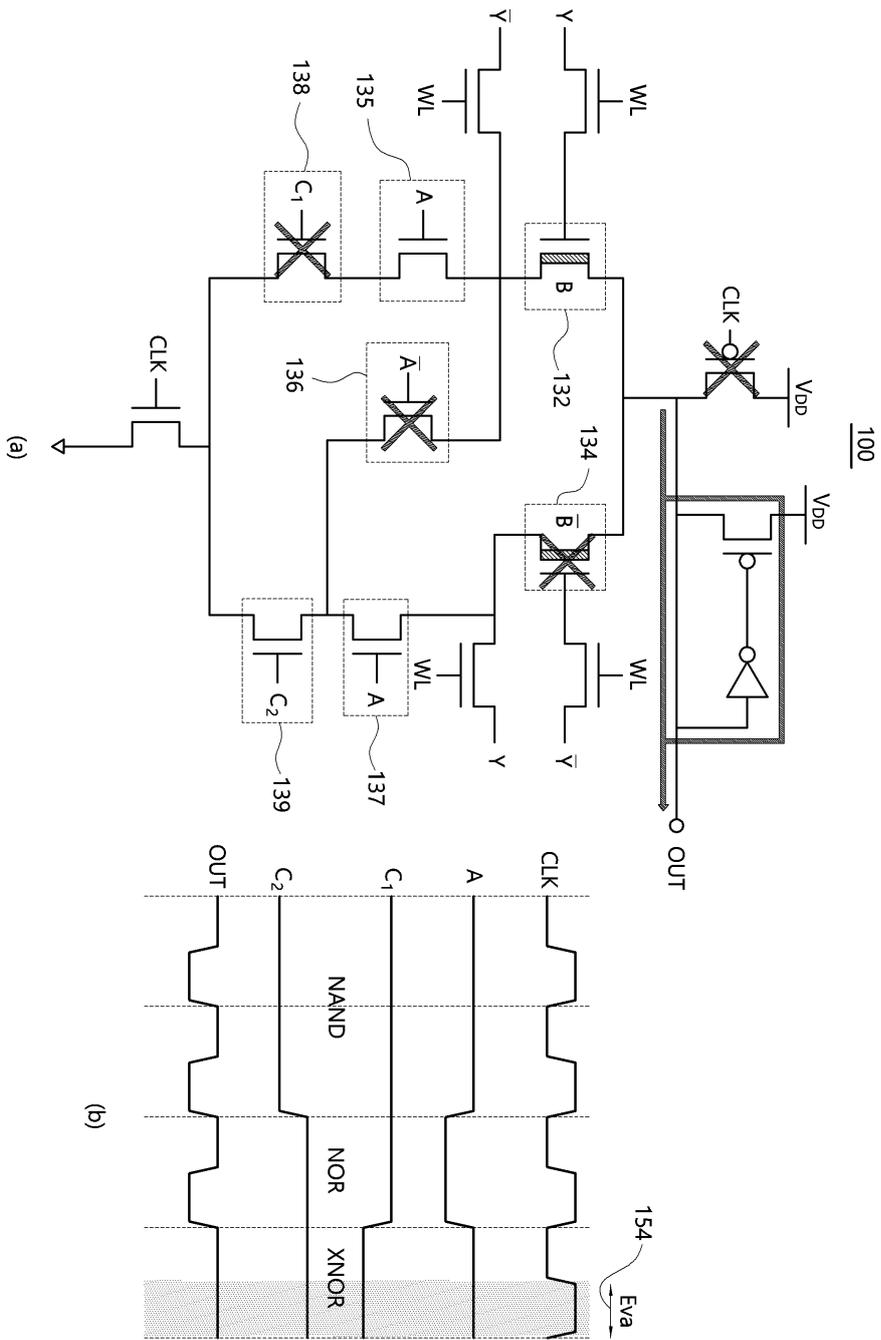
도면7



도면8



도면9



도면10

