



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년07월16일

(11) 등록번호 10-2279046

(24) 등록일자 2021년07월13일

- (51) 국제특허분류(Int. Cl.)  
*G11C 11/417* (2006.01) *G11C 11/412* (2006.01)  
*G11C 7/12* (2006.01)
- (52) CPC특허분류  
*G11C 11/417* (2013.01)  
*G11C 11/412* (2013.01)
- (21) 출원번호 10-2020-0018267  
(22) 출원일자 2020년02월14일  
심사청구일자 2020년02월14일
- (56) 선행기술조사문헌  
KR1020120121367 A  
US20100027361 A1\*  
US20130135944 A1\*  
\*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
- (72) 발명자  
정성욱  
서울특별시 서대문구 연세로 50, 제3공학관 513(신촌동, 연세대학교)
- 김기룡  
서울특별시 서대문구 연세로 50, 제3공학관 206(신촌동, 연세대학교)
- (74) 대리인  
특허법인우인

전체 청구항 수 : 총 11 항

심사관 : 손윤식

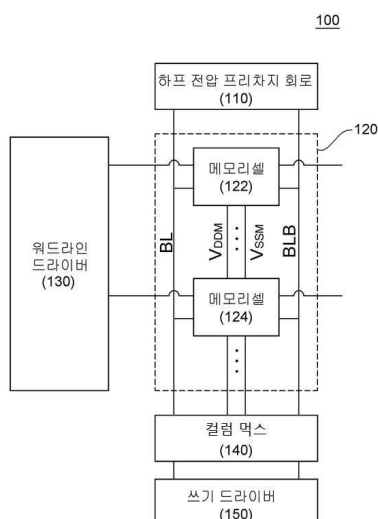
(54) 발명의 명칭 하프 전압 비트라인 프리차지 회로 기반의 정적 메모리 장치

### (57) 요약

하프 전압 비트라인 프리차지 회로 기반의 정적 메모리 장치를 개시한다.

본 발명의 실시예에 따른 하프 전압 비트라인 프리차지 회로는, 상기 제1 비트라인 및 상기 제2 비트라인 사이에 헤드(head) 스위치 형태로 연결된 제1 트랜지스터; 상기 제1 비트라인 및 상기 제2 비트라인 사이에 풋(foot) 스위치 형태로 연결된 제2 트랜지스터; 복수의 트랜지스터를 포함하고, 상기 제1 비트라인 또는 상기 제2 비트라인이 충전 또는 방전되도록 동작하는 교차 결합 인버터; 및 상기 교차 결합 인버터의 동작이 종료된 후 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하는 등화 트랜지스터를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류  
**G11C 7/12** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	2017R1A2B2006679
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	Domain Wall Motion 시냅스 기반의 On-Chip 지도-자율 통합학습 뉴로모픽 SoC 개발
기 여 율	1/1
과제수행기관명	연세대학교
연구기간	2017.03.01 ~ 2020.02.29

---

## 명세서

### 청구범위

#### 청구항 1

제1 비트라인 및 제2 비트라인을 포함하는 비트라인 쌍을 통해 메모리 셀과 연결되어, 상기 비트라인 쌍의 전압을 조절하는 회로에 있어서,

상기 제1 비트라인 및 상기 제2 비트라인 사이에 헤드(head) 스위치 형태로 연결된 제1 트랜지스터;

상기 제1 비트라인 및 상기 제2 비트라인 사이에 풋(foot) 스위치 형태로 연결된 제2 트랜지스터;

복수의 트랜지스터를 포함하고, 상기 제1 비트라인 또는 상기 제2 비트라인이 충전 또는 방전되도록 동작하는 교차 결합 인버터; 및

상기 교차 결합 인버터의 동작이 종료된 후 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하는 등화 트랜지스터

를 포함하는 것을 특징으로 하는 하프 전압 비트라인 프리차지 회로.

#### 청구항 2

제1항에 있어서,

상기 제1 트랜지스터에 인가되는 프리차지 제어신호(PC)가 하강하면, 상기 교차 결합 인버터에 의해 상기 비트라인 쌍 중 하나의 비트라인은 전원전압(VDD)으로 프리차지되고, 다른 하나의 비트라인은 그라운드(GND)로 방전되는 것을 특징으로 하는 하프 전압 비트라인 프리차지 회로.

#### 청구항 3

제2항에 있어서,

상기 교차 결합 인버터에 의해 상기 비트라인 쌍 중 전압이 높은 쪽의 비트라인은 전원전압(VDD)으로 프리차지되며, 비트라인 쌍 중 전압이 낮은 쪽의 비트라인은 그라운드(GND)로 방전되는 것을 특징으로 하는 하프 전압 비트라인 프리차지 회로.

#### 청구항 4

제3항에 있어서,

상기 교차 결합 인버터는,

상기 제1 비트라인 상에 제1 PMOS 트랜지스터(P0) 및 제1 NMOS 트랜지스터(N0)를 포함하고, 상기 제2 비트라인 상에 제2 PMOS 트랜지스터(P1) 및 제2 NMOS 트랜지스터(N1)를 포함하며,

상기 제1 PMOS 트랜지스터(P0) 및 제1 NMOS 트랜지스터(N0) 각각은 상기 제2 비트라인과 연결되고, 상기 제2 PMOS 트랜지스터(P1) 및 상기 제2 NMOS 트랜지스터(N1)는 상기 제1 비트라인과 연결되어 상기 제1 비트라인 또는 상기 제2 비트라인이 충전 또는 방전되도록 하는 것을 특징으로 하는 하프 전압 비트라인 프리차지 회로.

#### 청구항 5

제2항에 있어서,

상기 교차 결합 인버터의 동작이 종료된 후 상기 등화 트랜지스터에 인가되는 EQ 신호가 하강하면, 상기 등화 트랜지스터는 켜지고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 꺼지며,

상기 등화 트랜지스터는, 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하여 상기 제1 비트라인 및 상기 제2 비트라인의 전압 레벨을 하프 전원전압(half-VDD)으로 조정하는 것을 특징으로 하는 하프 전압 비트라인 프리차지 회로.

**청구항 6**

제1 비트라인 및 제2 비트라인을 포함하는 비트라인 쌍;

복수의 로우(Row)와 복수의 컬럼(Column)이 교차하는 셀 어레이에 구비된 복수의 메모리 셀;

상기 제1 비트라인 및 상기 제2 비트라인을 통해 상기 메모리 셀과 연결되며, 상기 비트라인 쌍의 전압을 조절하는 하프 전압 비트라인 프리차지 회로;

상기 복수의 메모리 셀 각각에 연결되는 적어도 하나의 워드라인을 플로팅(Floating) 상태로 제어하는 워드라인 드라이버; 및

상기 복수의 메모리 셀 각각과 내부 전원전압(CVDD)으로 연결되고, 워드 라인의 플로팅 상태에 따라 상기 내부 전원전압(CVDD)을 상기 비트라인 쌍 중 하나의 비트라인과 연결하여 데이터를 메모리 셀에 기록하는 쓰기 드라이버를 포함하되,

상기 하프 전압 비트라인 프리차지 회로는,

상기 제1 비트라인 및 상기 제2 비트라인 사이에 헤드(head) 스위치 형태로 연결된 제1 트랜지스터; 상기 제1 비트라인 및 상기 제2 비트라인 사이에 풋(foot) 스위치 형태로 연결된 제2 트랜지스터; 복수의 트랜지스터를 포함하고, 상기 제1 비트라인 또는 상기 제2 비트라인이 충전 또는 방전되도록 동작하는 교차 결합 인버터; 및 상기 교차 결합 인버터의 동작이 종료된 후 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하여 상기 제1 비트라인 및 상기 제2 비트라인의 전압 레벨을 하프 전원전압(half-VDD)으로 조정하는 등화 트랜지스터를 포함하는 것을 특징으로 하는 정적 메모리 장치.

**청구항 7**

삭제

**청구항 8**

제6항에 있어서,

상기 제1 트랜지스터에 인가되는 프리차지 제어신호(PC)가 하강하면, 상기 교차 결합 인버터에 의해 상기 비트라인 쌍 중 하나의 비트라인은 전원전압(VDD)으로 프리차지되고, 다른 하나의 비트라인은 그라운드(GND)로 방전되며, 상기 교차 결합 인버터의 동작이 종료된 후 상기 등화 트랜지스터는, 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하여 상기 제1 비트라인 및 상기 제2 비트라인의 전압 레벨을 하프 전원전압(half-VDD)으로 조정되도록 하는 것을 특징으로 하는 정적 메모리 장치.

**청구항 9**

제6항에 있어서,

상기 워드라인 드라이버는,

워드라인 충전용 트랜지스터, 워드라인 방전용 트랜지스터 및 언더 드라이브용 트랜지스터를 포함하며,

워드라인 충전용 트랜지스터 및 워드라인 방전용 트랜지스터는 워드라인을 증가시키거나 플로팅하는 데 사용되는 FLT 신호 및 워드라인을 감소시키는 데 사용되는 /Wlin 신호에 의해 제어되는 것을 특징으로 하는 정적 메모리 장치.

**청구항 10**

제9항에 있어서,

상기 워드라인 드라이버는,

상기 적어도 하나의 워드라인에 어서트하고, 상기 어서트된 워드라인에 대해 언더 드라이브(Under Drive) 동작을 수행하며,

상기 메모리 셀에 포함된 PG 트랜지스터(pass-gate NMOS)의 기생 게이트 소스 커패시터(CGS: capacitance between gate and source)를 통한 용량성 커플링(capacitive coupling)에 의해 워드라인의 레벨이 증폭되도록

하는 것을 특징으로 하는 정적 메모리 장치.

## 청구항 11

제6항에 있어서,

상기 쓰기 드라이버는,

내부 전원전압(CVDD)을 컬럼 다중화(column-multiplexed)하고, 제1 PMOS 트랜지스터(PS)를 통해 전원 전압(VDD)과 내부 전원전압(CVDD)을 연결하며, 전원 공급(WVDD) 라인은 전하 공유를 위한 제2 PMOS 트랜지스터(PCS)를 통해 상기 내부 전원전압(CVDD)과 연결되는 것을 특징으로 하는 정적 메모리 장치.

## 청구항 12

제11항에 있어서,

상기 쓰기 드라이버는,

쓰기 동작을 위해 워드라인(WL)이 어서트(assert)되면, 내부 전원전압(CVDD)의 플로팅을 위해 제1 PMOS 트랜지스터(PS)가 꺼지고, 내부 전원전압(CVDD)은 제2 PMOS 트랜지스터(PCS)를 거쳐 전원 공급(WVDD) 라인에 연결되며, 상기 비트라인 쌍 중 하나의 비트라인은 상기 메모리 셀에 데이터를 기록하기 위하여 내부 전원전압(CVDD)과 연결되는 것을 특징으로 하는 정적 메모리 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 하프 전압 비트라인 프리차지 회로를 적용하여 성능이 향상된 정적 메모리 장치에 관한 것이다.

### 배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 발명의 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 최근, 배터리 전원 기반의 모바일 또는 웨어러블 디바이스에서의 인공 지능 및 빅 데이터 분석의 수요가 급격히 증가함에 따라, SoC(System-on-Chip) 분야에서 저전력 및 저비용이 중요한 이슈가 되고 있다.

[0004] 그러나, 면적 및 전력의 소비를 개선하기 위해 디바이스의 크기와 전원전압(VDD)은 지속적으로 축소됨에 따라, 공정 변동의 영향을 완화하기 위한 섬세하고 세밀한 SoC 설계가 필요하다.

[0005] SoC의 주요 구성 요소 중 하나인 정적 메모리 장치(SRAM: Static Random Access Memory)는 소형 장치로 구성되므로 공정 변동의 영향이 중요하다.

[0006] 도핑되지 않거나 로우 도핑된 FinFET이 공정 변동을 완화시키기 위해 사용되지만, 핀의 수에 의해 결정된 양자화된 채널폭으로 인해 최적의 읽기 안정성 및 쓰기 성능의 수율을 달성하는 것은 어렵다.

[0007] 또한, 도 1a의 (a)에 도시된 바와 같이, 높은 밀도를 위해 풀업 PMOS 트랜지스터(PU), 패스 게이트 NMOS 트랜지스터(PG) 및 풀다운 NMOS 트랜지스터(PD) 등으로 구성된 단일 핀 6T 정적 메모리 장치(SRAM)의 구조에서 높은 읽기 안정성과 쓰기 성능의 수율을 동시에 달성하기는 어렵다.

[0008] 또한, SoC 설계에서 동적 전력 소비를 줄이기 위하여 낮은 VDD(low-V<sub>DD</sub>)에서 동작하는 정적 메모리 장치(SRAM)는 문턱전압(V<sub>th</sub>: threshold voltage) 변화의 영향에 더 취약하다. 다시 말해, 공정 중 발생하는 RDF(Random Dopant Fluctuation), LER(Line Edge Roughness), WFV(Work Function Variation) 등으로 인해 설계자가 의도한 문턱전압을 구현하는데 어려움이 있다.

[0009] 일반적인 트랜지스터는 문턱전압의 변화(V<sub>th</sub> variation)가 존재하며, 문턱전압은 확률 변수(Random Variable)가 되고, 문턱전압의 분포는 정규 분포(Gaussian Distribution)를 따르게 된다.

[0010] 한편, 문턱전압의 표준편차(Standard deviation)는 하기의 [수학식1]을 통해 도출될 수 있다. 즉, 하기의 수학식을 참조하면 트랜지스터는 길이(Length)와 폭(Width)이 작아질수록 V<sub>th</sub> variation이 심해지는 것을 알 수 있

다.

### 수학적 식 1

$$\sigma_{V_{th}} = \frac{A_{Vt}}{\sqrt{L \times W}}$$

[0011]

[0012]

여기서,  $A_{Vt}$ 는 소자 및 공정 특성에 따라 결정되는 상수,  $L$ 는 트랜지스터의 길이,  $W$ 는 트랜지스터의 폭을 나타낸다.

[0013]

복수의 트랜지스터로 메모리 셀을 형성하는 정적 메모리 장치(SRAM)는 고집적화(High density integration)를 위해 매우 작은 사이즈로 제작되므로 문턱전압의 변화( $V_{th}$  variation)에 크게 영향을 받을 수 있다.

[0014]

따라서, SoC에서의 최소 동작 전압( $V_{MIN}$ )은 정적 메모리 장치(SRAM)에 의해 제한된다. 최소 사이즈의 정적 메모리 장치(SRAM)에서 최소 동작 전압( $V_{MIN}$ )을 향상시키기 위해, 다양한 읽기 보조 회로 및 쓰기 보조 회로가 제안되고 있다.

[0015]

워드라인 언더드라이브(WLUD: WL underdrive) 또는 LBL(lowered BL) 기술은 도 1a의 (b)에 도시된 선택된 셀과 RHSC(row half-selected cells)의 안정성을 향상시키기 위해 널리 사용되고 있다.

[0016]

또한, 정적 메모리 장치(SRAM)의 쓰기 성능을 향상시키기 위해, NBL(negative BL), TVC(transient cell supply collapse), TGB(transient cell ground bump), WLOD(wordline overdrive) 기술은 메모리 셀에 저장된 데이터를 쓰기 데이터로 쉽게 플립하기 위해 사용된다.

[0017]

도 1b에 도시된 바와 같이, 정적 메모리 장치(SRAM)의 다양한 읽기 보조 회로 및 쓰기 보조 회로는 최소 동작 전압( $V_{MIN}$ )을 감소시키지만, NBL 및 WLOD 기술에 사용되는 추가 커패시터에 의해 발생하는 지원 회로 동작 및 영역 오버헤드로 인한 전력 소비는 증가될 수 있다.

[0018]

일반적인 정적 메모리 장치(SRAM)에서, LBL 기술을 적용하는 경우 더 높은 워드라인 레벨을 적용할 수 있지만, 쓰기 실패율이 목표 실패율에 도달 할 수 없다. 여기서, 목표( $6\sigma$ ) 쓰기 성능의 수율을 달성하기 위해서는 쓰기 보조 회로가 필요하다. 일반적인 쓰기 보조 회로의 대부분은 스토리지 노드를 쉽게 뒤집기 위해 PG 대 PU의 강도 비율을 증가시킨다. 강도 비율은 도 1b에 표시된 NBL, TVC, TGB 및 WLOD 기술에 의해 증가될 수 있다. NBL 기술은 용량성 커플링을 통해 PG의 강도를 높이기 위해 비트라인 전압(VBL)을 그라운드(GND)보다 아래로 감소시킨다. 또한, TVC 및 TGB 기술은 PU의 소스 전압 및 PU의 게이트 전압을 각각 감소시킴으로써 PU의 강도를 약화시킨다. 또한, WLOD 기술은 용량성 커플링을 통해 워드라인을 전원전압(VDD) 이상으로 부스트하여 PG의 강도를 높이는 데 사용된다. 하지만, NBL 기술은 고온 또는 낮은 문턱전압 코너에서 누설되는 셀에 취약하다는 단점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0019]

본 발명은 정적 메모리 장치(SRAM)의 읽기 안정성을 보조하기 위하여 하프 전압으로 비트라인을 프리차지하는 비트라인 프리차지 회로와 쓰기 성능을 향상시키기 위한 쓰기 드라이브 및 워드라인 드라이버를 포함하는 하프 전압 비트라인 프리차지 회로 기반의 정적 메모리 장치를 제공하는 데 주된 목적이 있다.

#### 과제의 해결 수단

[0020]

본 발명의 일 측면에 의하면, 상기 목적을 달성하기 위한 하프 전압 비트라인 프리차지 회로는, 상기 제1 비트라인 및 상기 제2 비트라인 사이에 헤드(head) 스위치 형태로 연결된 제1 트랜지스터; 상기 제1 비트라인 및 상기 제2 비트라인 사이에 풋(foot) 스위치 형태로 연결된 제2 트랜지스터; 복수의 트랜지스터를 포함하고, 상기 제1 비트라인 또는 상기 제2 비트라인이 충전 또는 방전되도록 동작하는 교차 결합 인버터; 및 상기 교차 결합

인버터의 동작이 종료된 후 상기 제1 비트라인 및 상기 제2 비트라인의 전하가 서로 공유되도록 하는 등화 트랜지스터를 포함할 수 있다.

[0021] 또한, 본 발명의 다른 측면에 의하면, 상기 목적을 달성하기 위한 정적 메모리 장치는, 제1 비트라인 및 제2 비트라인을 포함하는 비트라인 쌍; 복수의 로우(Row)와 복수의 컬럼(Column)이 교차하는 셀 어레이에 구비된 복수의 메모리 셀; 상기 제1 비트라인 및 상기 제2 비트라인을 통해 상기 메모리 셀과 연결되며, 상기 비트라인 쌍의 전압을 조절하는 하프 전압 비트라인 프리차지 회로; 상기 복수의 메모리 셀 각각에 연결되는 적어도 하나의 워드라인을 플로팅(Floating) 상태로 제어하는 워드라인 드라이버; 및 상기 복수의 메모리 셀 각각과 내부 전원 전압(CVDD)으로 연결되고, 워드 라인의 플로팅 상태에 따라 상기 내부 전원전압(CVDD)을 상기 비트라인 쌍 중 하나의 비트라인과 연결하여 데이터를 메모리 셀에 기록하는 쓰기 드라이버를 포함할 수 있다.

### 발명의 효과

[0022] 이상에서 설명한 바와 같이, 본 발명은 하프 전압 비트라인 프리차지 회로를 적용하여 정적 메모리 장치의 읽기 안정성을 향상시킬 수 있는 효과가 있다.

[0023] 또한, 본 발명은 하프 전압 비트라인 프리차지 회로를 적용하여 정적 메모리 장치의 읽기 안정성을 향상시킬 수 있는 효과가 있다.

[0024] 본 발명은 전하 공유 기반의 TVC 기술이 적용된 쓰기 드라이버 또는 기생 용량성 커플링 기반의 WLOD 기술이 적용된 워드라인 드라이버를 적용하여 정적 메모리 장치의 쓰기 성능을 향상시킬 수 있는 효과가 있다.

[0025] 본 발명은 추가적인 캐패시터 없이 워드라인과 프리차지된 비트라인 사이에 형성되는 기생 캐패시턴스 성분을 통해 워드라인을 부스팅함으로써, 장치의 크기 감소와 함께 쓰기 성능을 향상시킬 수 있는 효과가 있다.

### 도면의 간단한 설명

[0026] 도 1a 및 도 1b는 종래의 정적 메모리 장치를 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 정적 메모리 장치를 개략적으로 나타낸 도면이다.

도 3a 및 도 3b는 본 발명의 일 실시예에 따른 하프 전압 비트라인 프리차지 회로를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 하프 전압 비트라인 프리차지 회로 기반의 성능 향상을 설명하기 위한 도면이다.

도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 쓰기 드라이버를 설명하기 위한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 쓰기 드라이버 기반의 성능 향상을 설명하기 위한 도면이다.

도 7은 본 발명의 또 다른 실시예에 따른 워드라인 드라이버를 설명하기 위한 도면이다.

도 8 및 도 9는 본 발명의 실시예에 따른 정적 메모리 장치의 성능 향상을 설명하기 위한 도면이다.

도 10은 본 발명의 실시예에 따른 정적 메모리 장치를 포함하는 전자 시스템의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 이하에서 본 발명의 바람직한 실시예를 설명할 것이나, 본 발명의 기술적 사상은 이에 한정하거나 제한되지 않고 당업자에 의해 변형되어 다양하게 실시될 수 있음은 물론이다. 이하에서는 도면들을 참조하여 본 발명에서 제안하는 하프 전압 비트라인 프리차지 회로 기반의 정적 메모리 장치에 대해 자세하게 설명하기로 한다.

[0028] 도 2는 본 발명의 일 실시예에 따른 정적 메모리 장치를 개략적으로 나타낸 도면이다.

[0029] 본 실시예에 따른 정적 메모리 장치(100)는 비트라인 쌍, 하프 전압 프리차지 회로(110), 메모리셀 어레이(120), 워드라인 드라이버(130), 컬럼 머스(140) 및 쓰기 드라이버(150)를 포함한다. 도 2의 정적 메모리 장치(100)는 일 실시예에 따른 것으로서, 도 2에 도시된 모든 구성이 필수 구성요소는 아니며, 다른 실시예에서 정적 메모리 장치(100)에 포함된 일부 구성이 추가, 변경 또는 삭제될 수 있다.



- [0030] 비트라인 쌍은 컬럼(Column)으로 형성되며, 제1 비트라인 및 제2 비트라인을 포함한다. 여기서, 제1 비트라인은 BL 또는 BLL로 표시될 수 있고, 제2 비트라인은 BLB 또는 BLR로 표시될 수 있다.
- [0031] 하프 전압 프리차지 회로(110)는 제1 비트라인 및 제2 비트라인을 통해 메모리 셀(122, 124)과 연결되며, 비트라인 쌍의 전압을 조절하는 동작을 수행한다.
- [0032] 본 실시예에 따른 하프 전압 프리차지 회로(110)의 구성 및 동작은 도 3a 및 도 3b에서 설명하도록 한다.
- [0033] 메모리셀 어레이(120)는 메모리셀 어레이(120)는 복수의 로우(Row)와 복수의 컬럼(Column)이 교차하는 복수의 메모리 셀(122, 124)을 포함한다.
- [0034] 복수의 메모리 셀(122, 124)는 제1 비트라인 및 제2 비트라인 각각과 연결되며, 컬럼 머스(140)의 스위칭 동작에 따라 쓰기 드라이버(150)와 연결된다. 또한, 복수의 메모리 셀(122, 124)는 쓰기 드라이버(150)와 내부 전원 전압(CVDD)으로 연결된다.
- [0035] 워드라인 드라이버(130)은 복수의 메모리 셀(122, 124) 각각에 연결되는 적어도 하나의 워드라인을 플로팅(Floating) 상태로 제어하는 동작을 수행한다. 워드라인 드라이버(130)은 제어에 의해 워드라인이 어서트(assert)되도록 한다.
- [0036] 본 실시예에 따른 워드라인 드라이버(130)의 구성 및 동작은 도 7에서 설명하도록 한다.
- [0037] 컬럼 머스(140)는 비트라인 쌍 각각과 쓰기 드라이버(150)의 연결을 스위칭하는 동작을 수행한다.
- [0038] 쓰기 드라이버(150)는 복수의 메모리 셀(122, 124) 각각과 내부 전원전압(CVDD)으로 연결되고, 워드라인의 플로팅 상태에 따라 내부 전원전압(CVDD)을 비트라인 쌍 중 하나의 비트라인과 연결하여 데이터를 메모리 셀에 기록하는 동작을 수행한다.
- [0039] 본 실시예에 따른 쓰기 드라이버(150)의 구성 및 동작은 도 5a 내지 도 5c에서 설명하도록 한다.
- [0040] 본 실시예에 따른 정적 메모리 장치(100)는 정적 메모리 장치(SRAM)의 읽기 안정성을 보조하기 위하여 하프 전원전압으로 비트라인을 프리차지하는 하프 전압 비트라인 프리차지 회로(110)와 쓰기 성능을 향상시키기 위한 쓰기 드라이브(150) 및 워드라인 드라이버(130)를 제안한다.
- [0041] 하프 전압 비트라인 프리차지 회로(110)에서, 비트라인 쌍(BL pairs)은 하프 전원전압(half-VDD)으로 프리차지된다. 하프 전압 비트라인 프리차지 회로(110)에서 비트라인 쌍(BL pairs)을 프리차지함으로써, 정적 메모리 장치(100)의 읽기 안정성을 향상시키고, 소비되는 에너지를 절약할 수 있다.
- [0042] 또한, 쓰기 드라이브(150)는 BCS-TVC 기술이 적용되며, 내부 전원전압(CVDD)는 플로팅된 CVDD의 전하와 하프 전압 비트라인 프리차지 회로(110)에 의해 하프 전원전압(half-VDD)로 프리차지된 비트라인을 공유하여 동작한다. 이를 통해 정적 메모리 장치(100)의 쓰기 능력을 향상시키고, 내부 전원전압(CVDD)의 레벨 변경에 필요한 평균 에너지를 줄일 수 있다.
- [0043] 또한, 워드라인 드라이버(130)는 PCC-WLOD 기술이 적용되며, 쓰기 능력을 더욱 향상시키기 위해 기생 커패시터(parasitic capacitor)를 포함하는 3 단계 워드라인을 구현할 수 있다.
- [0044] 도 3a 및 도 3b는 본 발명의 일 실시예에 따른 하프 전압 비트라인 프리차지 회로를 설명하기 위한 도면이다.
- [0045] 도 3a는 정적 메모리 장치(100)에 포함된 하프 전압 비트라인 프리차지 회로(300)를 나타낸다.
- [0046] 하프 전압 비트라인 프리차지 회로(300)는 정적 메모리 장치(100)의 읽기 안정성(read stability)과 에너지 효율(energy-efficiency)을 향상시키기 위한 구조를 가진다. 여기서, 하프 전압 비트라인 프리차지 회로(300)는 멀티 스텝 기반의 하프 전원전압(VDD) 비트라인 프리차지(HVBP: Half-VDD BL Precharger)로 구현될 수 있다.
- [0047] 읽기 또는 쓰기 동작 이후, 하프 전압 비트라인 프리차지 회로(300)에서, 비트라인 쌍 중 하나의 비트라인은 전원전압(VDD)으로 프리차지되고, 다른 하나의 비트라인은 그라운드(GND)로 선방전된다. 이후, 비트라인 쌍은 전하 공유(Charge-sharing)를 통하여 최종적으로 비트라인 쌍의 레벨을 하프 전원전압(Half-VDD)으로 만든다.
- [0048] 이에 비해, 일반적인 LBL 기술은 컬럼(Column)기반의 읽기 보조 회로이므로 모든 BL 쌍을 제어해야 한다. 일반적인 LBL 기술은 전압 조정기 또는 비트라인 쌍이 완전히 사전 충전된 다음 특정 레벨로 방전되는 방전 회로로 구현된다. 따라서, 많은 양의 에너지를 낭비한다.
- [0049] 본 발명에서는, 전압 조정기(voltage regulator) 또는 방전 회로(discharge circuit) 없이 LBL(Lowered



BitLine) 기술을 구현하기 위한 하프 전압 비트라인 프리차지 회로(300)를 제안한다.

- [0050] 도 3a에 도시된 바와 같이, 하프 전압 비트라인 프리차지 회로(300)는 제1 트랜지스터(310), 제2 트랜지스터(320), 교차 결합 인버터(330), 등화 트랜지스터(340)를 포함한다. 도 3의 하프 전압 비트라인 프리차지 회로(300)는 일 실시예에 따른 것으로서, 도 3에 도시된 모든 구성이 필수 구성요소는 아니며, 다른 실시예에서 하프 전압 비트라인 프리차지 회로(300)에 포함된 일부 구성이 추가, 변경 또는 삭제될 수 있다.
- [0051] 하프 전압 비트라인 프리차지 회로(300)는 제1 비트라인 및 제2 비트라인을 포함하는 비트라인 쌍을 통해 메모리 셀(MC)과 연결된다.
- [0052] 제1 트랜지스터(310)는 제1 비트라인 및 제2 비트라인 사이에 헤드(head) 스위치 형태로 연결된다. 제1 트랜지스터(310)는 PMOS 헤드 스위치(PH)로 구현될 수 있다. 제1 트랜지스터(310)는 프리차지 제어신호(PC)에 의해 켜지거나 꺼진다.
- [0053] 제2 트랜지스터(320)는 제1 비트라인 및 제2 비트라인 사이에 풋(foot) 스위치 형태로 연결된다. 제2 트랜지스터(320)는 NMOS 풋 스위치(NF)로 구현될 수 있다. 제2 트랜지스터(320)는 방전 제어신호(/PC)에 의해 켜지거나 꺼진다.
- [0054] 교차 결합 인버터(330)는 복수의 트랜지스터를 포함하고, 제1 비트라인 또는 제2 비트라인이 충전 또는 방전되도록 동작한다. 여기서, 교차 결합 인버터(330)는 교차 결합 인버터(P0, P1, N0 및 N1)로 구현될 수 있다.
- [0055] 등화 트랜지스터(340)는 교차 결합 인버터(330)의 동작이 종료된 후 제1 비트라인 및 제2 비트라인의 전하가 서로 공유되도록 한다. 여기서, 등화 트랜지스터(340)는 PMOS 등화 스위치(PE)로 구현될 수 있다. 등화 트랜지스터(340)는 EQ 신호에 의해 켜지거나 꺼진다.
- [0056] 하프 전압 비트라인 프리차지 회로(300)는 제1 트랜지스터(310)에 인가되는 프리차지 제어신호(PC)가 하강하면, 교차 결합 인버터(330)에 의해 비트라인 쌍 중 하나의 비트라인은 전원전압(VDD)으로 프리차지되고, 다른 하나의 비트라인은 그라운드(GND)로 방전된다. 여기서, 교차 결합 인버터(330)에 의해 비트라인 쌍 중 전압이 높은 쪽의 비트라인은 전원전압(VDD)으로 프리차지되며, 비트라인 쌍 중 전압이 낮은 쪽의 비트라인은 그라운드(GND)로 방전될 수 있다.
- [0057] 하프 전압 비트라인 프리차지 회로(300)의 교차 결합 인버터(330)는 제1 비트라인(BLL) 상에 제1 PMOS 트랜지스터(P0, 330a) 및 제1 NMOS 트랜지스터(N0, 330c)를 포함하고, 제2 비트라인(BLR) 상에 제2 PMOS 트랜지스터(P1, 330b) 및 제2 NMOS 트랜지스터(N1, 330d)를 포함한다.
- [0058] 제1 PMOS 트랜지스터(P0) 및 제1 NMOS 트랜지스터(N0) 각각은 제2 비트라인과 연결되고, 제2 PMOS 트랜지스터(P1) 및 제2 NMOS 트랜지스터(N1)는 제1 비트라인과 연결된다. 교차 결합 인버터(330)는 이러한 트랜지스터들의 교차 결합 구조를 통해 제1 비트라인 또는 제2 비트라인이 충전 또는 방전되도록 제어한다.
- [0059] 하프 전압 비트라인 프리차지 회로(300)에서, 교차 결합 인버터(330)의 동작이 종료된 후, 등화 트랜지스터(340)에 인가되는 EQ 신호가 하강하면, 등화 트랜지스터(340)는 켜지고, 제1 트랜지스터(310) 및 제2 트랜지스터(320)는 꺼지게 된다. 이후, 등화 트랜지스터(340)는 제1 비트라인 및 제2 비트라인의 전하가 서로 공유되도록 하여 제1 비트라인 및 제2 비트라인의 전압 레벨을 하프 전원전압(half-VDD)으로 조정한다.
- [0060] 도 3b는 하프 전압 비트라인 프리차지 회로(300)의 동작을 설명하기 위한 쓰기 및 읽기에 대한 연속 동작을 나타낸 파형 그래프이다. 구체적으로, 도 3b는 '0' 쓰기 - 읽기 - '1' 쓰기 - 읽기 순서의 연속적인 동작을 나타낸다.
- [0061] 읽기 동작 동안 저장된 데이터 또는 쓰기 동작 동안 쓰기 드라이버에서 기록한 데이터로 인해, 비트라인 쌍 중 하나의 비트라인의 레벨은 다른 비트라인의 레벨보다 높은 상태가 된다.
- [0062] 하프 전압 비트라인 프리차지 회로(300)를 기반으로 정적 메모리 장치(100)는 프리 차지 단계(①), 등화 단계(②) 및 동작 단계(③)의 순서로 동작할 수 있다.
- [0063] 프리 차지 단계(①)에서, 읽기 또는 쓰기 동작 이후 하프 전압 비트라인 프리차지 회로(300)는 프리차지 제어신호(PC)가 '하이'에서 '로우'로 하강하면 프리차지 동작을 수행한다. 구체적으로, 하프 전압 비트라인 프리차지 회로(300)에는 교차 결합 인버터(P0, P1, N0 및 N1)에 전원 공급 및 접지를 제공하기 위하여 프리차지 제어신호(PC)가 '로우'로 변환된다.

- [0064] 하프 전압 비트라인 프리차지 회로(300)에서, 비트라인 쌍 중 하나의 비트라인은 전원전압(VDD)으로 프리차지되고, 다른 하나의 비트라인은 그라운드(GND)로 방전된다.
- [0065] 하프 전압 비트라인 프리차지 회로(300)에 포함된 교차 결합 인버터(P0, P1, N0 및 N1)에 의해 비트라인 쌍 중 전압이 높은 쪽의 비트라인은 전원전압(VDD)으로 프리차지되며, 비트라인 쌍 중 전압이 낮은 쪽의 비트라인은 그라운드(GND)로 방전된다. 여기서, 비트라인 쌍은 제1 비트라인(BL1) 및 제2 비트라인(BL2)일 수 있다. 예를 들어, 제1 비트라인(BL1)이 전원전압(VDD)으로 동작하면 제2 비트라인(BL2)은 그라운드(GND)로 동작하고, 제2 비트라인(BL2)이 전원전압(VDD)으로 동작하면, 제1 비트라인(BL1)은 그라운드(GND)로 동작할 수 있다.
- [0066] 이후, 등화 단계(②)에서, PC 신호가 '로우'에서 '하이'로 상승하고 /PC 신호가 '하이'에서 '로우'로 상승하고 EQ 신호가 '하이'에서 '로우'로 하강하면, 하프 전압 비트라인 프리차지 회로(300)에 포함된 PMOS 헤드 스위치(PH) 및 NMOS 풋 스위치(NF)가 꺼지고, PMOS 등화 스위치(PE)가 켜지게 된다.
- [0067] 비트라인 쌍이 플로팅된 후 비트라인 쌍의 전하는 서로 공유되므로 공유된 비트라인 쌍의 레벨은 하프 전원전압(half-VDD)이 된다.
- [0068] 이후, 동작 단계(③)에서, PE가 꺼지고, 워드라인(WL)이 '로우'에서 '하이'로 상승하여 읽기 또는 쓰기 동작을 수행한다.
- [0069] 도 4는 본 발명의 일 실시예에 따른 하프 전압 비트라인 프리차지 회로 기반의 성능 향상을 설명하기 위한 도면이다.
- [0070] 종래의 풀 전압 비트라인 프리차지 회로는 풀 전원전압(full-VDD)으로 충전된 비트라인 쌍 중 '0'으로 쓰고자 하는 비트라인만 '0'으로 방전하므로 쓰기 드라이버(WD)에서의 에너지 소비가 작다.
- [0071] 한편, 하프 전압 비트라인 프리차지 회로(110)는 하프 전원전압(half-VDD)으로 충전되어 있던 비트라인을 풀 전원전압으로 충전시켜야 하므로 쓰기 드라이버(WD)에서의 에너지 소비가 크다.
- [0072] 다만, 종래의 풀 전압 비트라인 프리차지 회로를 사용할 경우, 정적 메모리 장치는 쓰기 동작 이후 '0'으로 방전되어 있던 비트라인을 다시 풀 전원전압(full-VDD)으로 프리차지시켜야 하므로 프리차지 단계에서의 에너지 소비가 크다.
- [0073] 이에 비해, 하프 전압 비트라인 프리차지 회로(110)를 사용할 경우, 정적 메모리 장치(100)는 기존에 프리차지 단계에서 수행했던 동작(비트라인 쌍을 각각을 전원전압으로 충전하고, 그라운드로 방전하는 동작)을 쓰기 드라이버(WD)에서 미리 수행하였기 때문에 프리차지 동작시의 에너지 소비를 현저히 줄일 수 있다.
- [0074] 도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 쓰기 드라이버를 설명하기 위한 도면이다.
- [0075] 종래의 TVC(Transient Voltage Collapse) 기술에 의해 쓰기 성능은 개선되었지만, 내부 전원전압(CVDD)의 커패시턴스가 크기 때문에 내부 전원전압(CVDD)을 변경하는 데 소비되는 에너지가 현저히 증가하게 된다.
- [0076] 또한, 성공적으로 쓰기 동작을 수행하기 위하여 붕괴된 내부 전원전압(CVDD)의 양은 셀 조건에 따라 다르다. 이에, 본 발명에서는 셀 상태를 고려하여 쓰기 성능을 향상시키고, 전력 소비를 절약하기 위하여, 전하 공유 기반의 쓰기 드라이버(CSWD: charge-sharing write driver, 500)를 제안한다. 본 실시예에서는 전하 공유 기반의 쓰기 드라이버(500)를 사용하는 비트라인 전하 공유 TVC(BCS-TVC: BL charge-sharing transient CVDD supply collapse) 기술에 대해 설명하도록 한다.
- [0077] 도 5a는 정적 메모리 장치(100)에 적용된 전하 공유 기반의 쓰기 드라이버(500)의 구조를 나타낸다.
- [0078] 전하 공유 기반의 쓰기 드라이버(500)에서, 내부 전원전압(CVDD)은 컬럼 다중화(column-multiplexed)되고, 내부 전원전압(CVDD)은 전원 공급을 위한 PMOS(PS, 510)를 통해 전원 전압(VDD)에 연결된다. 전하 공유 기반의 쓰기 드라이버(500)에서, WD의 전원 공급(WVDD) 라인은 전하 공유를 위한 PMOS(PCS, 520)를 통해 내부 전원전압(CVDD)에 연결된다.
- [0079] 전하 공유 기반의 쓰기 드라이버(500)에서, 전원 공급을 위한 PMOS(PS, 510)는 전하 공유 제어신호(CS)에 의해 제어되고, 전하 공유를 위한 PMOS(PCS, 520)는 역전하 공유 제어신호(/CS)에 의해 제어된다.
- [0080] 도 5a를 참조하면, 전하 공유 기반의 쓰기 드라이버(500)는 내부 전원전압(CVDD)을 컬럼 다중화(column-multiplexed)하고, 제1 PMOS 트랜지스터(PS, 510)를 통해 전원 전압(VDD)과 내부 전원전압(CVDD)을 연결하며, 전원 공급(WVDD) 라인은 전하 공유를 위한 제2 PMOS 트랜지스터(PCS, 520)를 통해 내부 전원전압(CVDD)과 연결

된다.

- [0081] 전하 공유 기반의 쓰기 드라이버(500)는 쓰기 동작을 위해 워드라인(WL)이 어서트(assert)되면, 내부 전원전압(CVDD)의 플로팅을 위해 제1 PMOS 트랜지스터(PS, 510)가 꺼지고, 내부 전원전압(CVDD)는 제2 PMOS 트랜지스터(PCS, 520)를 켜서 전원 공급(WVDD) 라인에 연결된다. 여기서, 비트라인 쌍 중 하나의 비트라인은 메모리 셀에 데이터를 기록하기 위하여 내부 전원전압(CVDD)과 연결된다.
- [0082] 도 5b는 서로 다른 쓰기 성능(writabilities)을 가진 두 셀에서 쓰기 동작 중의 동작 파형을 나타낸다.
- [0083] 쓰기 동작을 위해 워드라인(WL)이 어서트(assert)되면, 전하 공유 기반의 쓰기 드라이버(500)에서, 내부 전원전압(CVDD)의 플로팅을 위해 PS(510)가 꺼지고, 내부 전원전압(CVDD)는 PCS(520)를 켜서 WD의 전원 공급(WVDD) 라인에 연결된다.
- [0084] 그런 다음, SR(도 5a의 BLR)에 데이터 '1'을 쓰기 위해 충전되어야 하는 비트라인이 내부 전원전압(CVDD)에 연결된다.
- [0085] 비트라인 쌍은 하프 전압 비트라인 프리차지 회로(110)에 의해 하프 전원전압(half-VDD)으로 사전 충전되므로, 내부 전원전압(CVDD)의 레벨은 내부 전원전압(CVDD)과 제2 비트라인(BLR) 간의 전하 공유에 의해 감소된다.
- [0086] 쓰기 동작이 성공적으로 수행될 때, 내부 전원전압(CVDD)의 레벨은 유지되고, 쓰기 동작이 성공적으로 수행되지 않으면, 내부 전원전압(CVDD)은 2 개의 방전 경로(②-a 및 ②-b)를 통해 더욱 감소된다.
- [0087] 종래 기술에서, 감소된 내부 전원전압(CVDD)의 양은 선택된 모든 컬럼에서 거의 동일하다.
- [0088] 반면, 본 실시예에 따른 전하 공유 TVC(BCS-TVC) 기술에서, 감소된 내부 전원전압(CVDD)의 양은 셀의 쓰기 성능에 따라 달라지게 된다. 예를 들어, 셀의 쓰기 성능이 기 설정된 기준 이상 높은 경우, 내부 전원전압(CVDD)을 충전하는데 종래보다 더 적은 에너지가 소비된다.
- [0089] 따라서, CVDD 변경에 소비되는 평균 전력은 종래의 TVC 기술에 비해 BCS-TVC 기술에서 감소될 수 있다. 또한, 쓰기 동작 후에, 전하 공유 기반의 쓰기 드라이버(CSWD, 500)에 의해 내부 전원전압(CVDD)와 전하가 공유되는 하나의 비트라인은 전원전압(VDD)에 충전되고, 그라운드(GND)로 구동되는 다른 비트라인은 하프 전압 비트라인 프리차지 회로(HVBP, 110)에 의해 그라운드(GND)로 유지된다.
- [0090] 다시 말해, 전하 공유 기반의 쓰기 드라이버(CSWD, 500)에 의해 그라운드(GND)로 구동되는 비트라인은 하프 전압 비트라인 프리차지 회로(HVBP, 110)에서 전원전압(VDD)로 충전될 필요가 없으며, 두 비트라인이 모두 VDD로 충전되어야 하는 종래의 풀 전압 비트라인 프리차지 회로와는 그 동작 구조가 전혀 상이하다. 따라서, 워드라인(WL)이 '하이'에서 '로우'로 떨어지면, 비트라인에 충전되는 양이 적기 때문에, 하프 전압 비트라인 프리차지 회로(HVBP, 110)에서 에너지 효율적인 쓰기 동작이 수행될 수 있다.
- [0091] 도 6은 본 발명의 다른 실시예에 따른 쓰기 드라이버 기반의 성능 향상을 설명하기 위한 도면이다.
- [0092] 도 6을 참조하면, 800mV의 전원전압(VDD)에서 FVBP 및 HVBP 각각이 적용된 TVC 기술, 비트라인 전하 공유 기반의 BCS-TVC와 보조 회로가 없는 TVC 기술들에서, 선택된 컬럼에서 쓰기 성능 및 쓰기 에너지 소비량을 나타낸다.
- [0093]  $T_{WL}$  및  $V_{WL}$ 은  $T_{WL,S60}$  and  $V_{WL,R60}$ 로 설정된다. 쓰기 동작 동안 선택된 컬럼에서 소비된 에너지는 목표 쓰기 성능이 800mV의 전원전압(VDD)에서 만족될 때 비교할 수 있다.
- [0094] FVBP를 HVBP로 교체하면, 쓰기 동작 후 비트라인 쌍을 프리차지하는 데 소비되는 에너지가 절약된다. 비트 라인 쌍은 인버터 타입의 WD에 의해 VDD와 GND로 각각 구동되기 때문에 비트라인 쌍을 프리차지하는 데 소비되는 에너지를 절약할 수 있다. 이러한 동작은 HVBP에서 프리차지 단계에서 수행되는 동작과 동일한 동작이다.
- [0095] 즉, WD에 의해 구동되는 VBL은 HVBP의 프리 차지 단계에서 재사용된다. HVBP에 의해 더 높은  $V_{WL,R60}$ 로 인해 더 작은 CVDD 변화가 동일한 쓰기 능력을 갖도록 요구되기 때문에 CVDD를 변화시키기 위해 소비되는 에너지도 감소된다.
- [0096] 한편, 하프-VDD로 프리 차지된 비트라인은 WL 어설션이 있는 인버터 타입의 WD에 의해 VDD로 충전되어야 한다. 따라서 WD의 에너지 소비가 증가한다. 그러나 WD에서 증가된 에너지 소비는 FVBP를 HVBP로 대체함으로써, 감소된 에너지 소비보다 훨씬 작다.

- [0097] 따라서, 쓰기 작업에서 기존 TVC 기술에 HVBP를 적용함으로써, 평균 에너지 소비는 21 % 감소될 수 있다.
- [0098] 도 7은 본 발명의 또 다른 실시예에 따른 워드라인 드라이버를 설명하기 위한 도면이다.
- [0099] 도 7에서는 쓰기 성능을 향상시키기 위한 워드라인 드라이버(700)에 관한 것으로서, 구체적으로는 기생 캐패시턴스(710)와 결합된 워드라인 오버드라이브(PCC-WLOD) 기술에 관한 것이다.
- [0100] 정적 메모리 장치의 쓰기 성능을 더욱 향상시키기 위해, 일반적인 워드라인 드라이버에는 다단계 워드라인(WL) 기술이 사용되고 있다. 다단계 WL 기술은 비트라인이 RHSC(row half-selected cells) 안정성을 보존하기에 충분히 방전될 때 워드라인 전압(VWL)을 전원전압(VDD) 이상으로 상승시킨다.
- [0101] 하지만, 도 7의 (a)에 도시된 바와 같이, WLOD 기술을 포함하는 종래의 3 단계 WL 기술에서, 용량성 커플링(capacitive coupling)을 통해 워드 라인(WL)을 부스트하기 위해서는 추가적인 커패시터가 필요하다.
- [0102] 영역 오버헤드를 최소화하기 위해, 커플링 커패시터는로우(Row) 단위로 커패시터를 구현하는 대신 모든 워드라인 드라이버(WLD) 소스와 공유된다.
- [0103] 커플링 커패시터의 커패시턴스는 커패시티브 커플링을 통해 선택된 워드라인뿐만 아니라 워드라인 드라이버(WLD)의 소스를 증폭시키기 위해 커지게 된다. 추가적인 커패시터를 제거하기 위해, 본 발명에서는 하프 전압 비트라인 프리차지 회로(HVBP, 110)를 이용하여 기생 캐패시턴스와 결합된 워드라인 오버드라이브(PCC-WLOD)에 대한 기술을 제안한다.
- [0104] 도 7의 (b)는 본 실시예에 따른 기생 캐패시턴스와 결합된 워드라인 오버드라이브(PCC-WLOD) 기술이 적용된 워드라인 드라이버(700)를 나타낸다.
- [0105] 도 7의 (b)에서, 하프 전압 비트라인 프리차지 회로(HVBP, 110)에서 헤드 스위치의 프리차지 제어신호(PC)만이 다중화 컬럼과 동일한 방식으로 다중화된다. 하프 전압 비트라인 프리차지 회로(HVBP, 110)에서 EQ 및 /PC 신호는 다중화되지 않는다.
- [0106] 도 7의 (b)에서, BL[N]은 선택된 비트라인을 의미하고, BL[M]은 선택되지 않은 비트라인을 의미한다.
- [0107] 종래의 WLOD 기술과 달리, 본 실시예에 따른 워드라인 드라이버(700)는 워드라인 드라이버에 전원 공급을 위한 헤드 스위치 및 워드 라인을 부스팅하기 위한 커플링 커패시터(coupling capacitor)가 제거된 구성을 가진다.
- [0108] 추가적인 커패시터 대신, PG(pass-gate NMOS, 712)의 기생 게이트 소스 커패시터(CGS, 710)가 커플링 커패시터(coupling capacitor)와 같이 사용된다.
- [0109] 워드라인 드라이버(700)는 워드라인 충전용 PMOS(PWLD, 702), 워드라인 방전용 NMOS(NWLD, 704) 및 언더 드라이브용 PMOS(PUD, 706)로 구성된다.
- [0110] PWLD(702) 및 NWLD(704)는 FLT [255 : 0] 및 /WL<sub>in</sub> [255 : 0]에 의해 제어된다. FLT [255 : 0]은 워드라인을 증가시키거나 플로팅하는 데 사용되고, /WL<sub>in</sub> [255 : 0]은 워드라인을 감소시키는 데 사용된다. 워드라인 드라이버(700)는 워드라인 언더 드라이브(WLUD) 기술을 구현하기 위해, /UD 신호에 의해 온 또는 오프되는 PUD(706)가 워드라인에 연결된다.
- [0111] 도 7의 (b)를 참조하면, 워드라인 드라이버(700)는 워드라인 충전용 트랜지스터(702), 워드라인 방전용 트랜지스터(704) 및 언더 드라이브용 트랜지스터(706)를 포함한다. 여기서, 워드라인 충전용 트랜지스터(702)는 워드라인을 증가시키거나 플로팅하는 데 사용되는 FLT 신호에 의해 제어된다. 또한, 워드라인 방전용 트랜지스터(704)는 워드라인을 감소시키는 데 사용되는 /WL<sub>in</sub> 신호에 의해 제어된다.
- [0112] 워드라인 드라이버(700)는 적어도 하나의 워드라인에 어서트하고, 어서트된 워드라인에 대해 언더 드라이브(Under Drive) 동작을 수행하며, 메모리 셀에 포함된 PG 트랜지스터(pass-gate NMOS)의 기생 게이트 소스 커패시터(CGS: capacitance between gate and source, 712)를 통한 용량성 커플링(capacitive coupling)에 의해 워드라인의 레벨이 증폭되도록 한다.
- [0113] 도 7의 (c)는 워드라인 드라이버(700) 기반의 쓰기 동작 동안의 동작 파형을 나타낸다.
- [0114] 도 7의 (c)를 참고하면, 비트라인 쌍은 하프 전압 비트라인 프리차지 회로(HVBP, 110)에 의해 하프 전원전압(half-VDD)으로 프리차지된 후, 쓰기 드라이버(500)에 의해 기록된 데이터에 따라 방전되거나 충전된다.
- [0115] 워드라인이 어서트(assert)되면, UD 신호를 '하이'로 상승시켜 워드라인 언더드라이브(WLUD)를 구현하여 워드라



인 드라이버(700)의 PUD(706)를 켜지도록 한다.

- [0116] RHSC(row half-selected cells)에 '0'을 저장하는 스토리지 노드에 연결된 BL(예: BL[M])이  $T_{WL}=V_{DD}$ 로 정의된 RHSC 안정성을 유지할 수 있을 만큼 방전될 때, 워드라인 전압(VWL)을 전원전압(VDD)으로 복구하기 위해 PUD(706)은 꺼지게 된다. 또한,  $T_{WLOD}$ 로 정의된 UD 신호가 '로우'로 하강된 후 워드라인 전압(VWL)이 풀 전원전압(VDD)으로 복구될 때, 워드라인은 FLT를 높여 PWLD(702)를 끄면 플로팅된다.
- [0117] 동시에, 선택되지 않은 컬럼(Column)에서 하프 전압 비트라인 프리차지 회로(HVBP, 110)의 PC 신호(PC [M])가 '로우'로 하강한다.
- [0118] 한편, 워드라인 신호와 선택되지 않은 컬럼(Column)의 PC 신호(PC[N])는 여전히 상승된 '하이'를 유지한다.
- [0119] 결과적으로, 비트라인 쌍 중 하나의 비트라인(예: BLR[N])은 하프 전압 비트라인 프리차지 회로(HVBP, 110)의 교차 결합 인버터(P0, P1, N0 및 N1)에 의해 전원전압(VDD)으로 충전된 다음 PG(pass-gate NMOS, 712)의 기생 게이트 소스 커패시터(CGS, 710)를 통한 용량성 커플링에 의해 워드라인의 레벨이 증폭(Boost)된다.
- [0120] 마지막으로, 워드라인이 '로우'로 하강하면, 하프 전압 비트라인 프리차지 회로(HVBP, 110)의 교차 결합 인버터(P0, P1, N0 및 N1)에 의해 모든 비트라인 쌍을 충전 및 방전한다.
- [0121] 도 8 및 도 9는 본 발명의 실시예에 따른 정적 메모리 장치의 성능 향상을 설명하기 위한 도면이다.
- [0122] 도 8은 복수의 전원전압(VDD) 조건에서, RHSC 안정성( $T_{WL=VDD, R6\sigma}$ )을 만족시키는  $T_{WL} = V_{DD}$ 를 찾기 위하여 FS 코너에서  $T_{WL} = V_{DD}$  및 85 °C에 따른 RHSC 안정성을 나타낸다.
- [0123] VDD가 낮아짐에 따라 FVBP에서 VTH 변동의 영향이 더 크기 때문에  $6\sigma$  RHSC 안정성을 만족시키기 위해 BL을 방전하기 위해 더 긴  $T_{WL} = V_{DD}$ 가 필요하다. 반면, HVBP로 인해 시동 VWL이 높고 BL 프리 차지 레벨이 낮아지면 BL[M]의 레벨이 빠르게 작아진다. FVBP에 비해 동일한 VDD에서  $T_{WL=VDD, R6\sigma}$  을 줄인다.
- [0124] 도 9는 제안된 PCC-WLOD 기술에서 TWLOD에 따른 FS 코너 및 85 °C에서의 RHSC 안정성과 SF 코너 및 -25 °C에서의 쓰기 가능성을 나타낸다.
- [0125] 다중 컬럼 비율은 4 : 1입니다. WL이 떨어지기 전에 HVBP의 헤드 스위치가 켜지므로 BL 쌍 중 하나가 상승한다. 짧은 TWLOD로 인해 BL 쌍 사이의 전압 차가 작은 경우, 전압이 다른 BL 쌍 중 하나가 HVBP의 VTH 변동에 의해 VDD로 충전 될 수 있다. 이는 RHSC 안정성을 저하시킨다. 따라서, HVBP 및 세포에서의 VTH 변이는 RHSC 안정성을 알아내는 것으로 간주된다. RHSC 안정성을 유지하려면 BL 쌍 간의 전압 차이를 확대하기 위해 긴 TWLOD가 필요하다.
- [0126] PCC-WLOD 기술의 기록성 경향은 종래의 WLOD 기술과 유사하다. PCC-WLOD 기술에서 최대 부스트 된 VWL 비율은 10 % 미만이지만, HVBP에 의한보다 높은 시작 VWL로 인해 60fF (20 % 부스트)를 갖는 기존의 WLOD 기술만큼 높은 쓰기 능력을 얻을 수 있다.
- [0127] 도 10은 본 발명의 실시예에 따른 정적 메모리 장치를 포함하는 전자 시스템의 블록도이다.
- [0128] 도 10을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다.
- [0129] 여기서, 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합 될 수 있다. 버스(1150)는 데이터들이 이동되는 경로(path)에 해당한다.
- [0130] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다.
- [0131] 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다.
- [0132] 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다.
- [0133] 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램

등을 더 포함할 수 있으며, 앞서 설명한 본 발명의 실시예들에 따른 정적 메모리 장치(100)가 컨트롤러(1110)에 채용될 수 있다.

[0134] 한편, 본 발명의 실시예에 따른 정적 메모리 장치(100)는 기억 장치(1130) 내에 제공되거나, 입출력 장치(1120, I/O) 등의 일부로 제공될 수도 있다.

[0135] 이러한 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 전자 제품, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다.

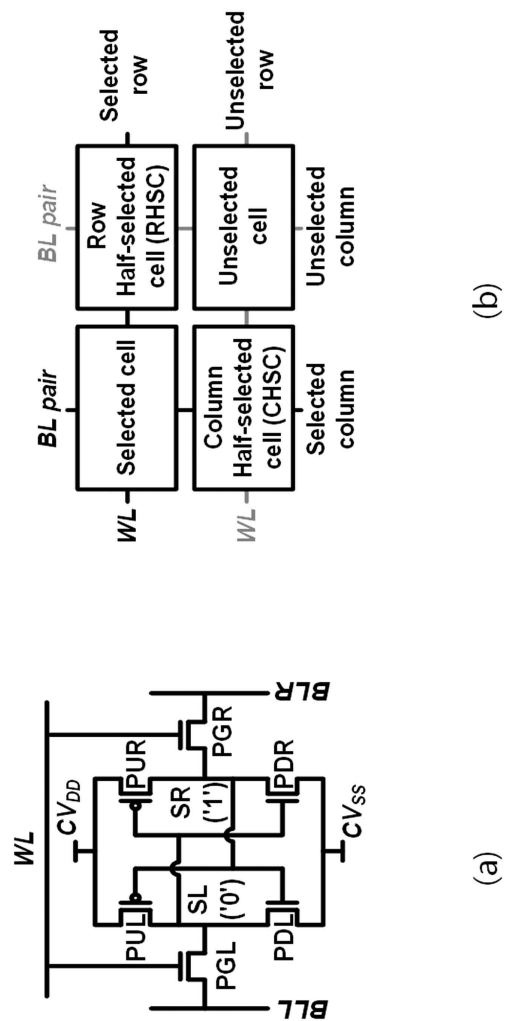
[0136] 이상의 설명은 본 발명의 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명의 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명의 실시예들은 본 발명의 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

### 부호의 설명

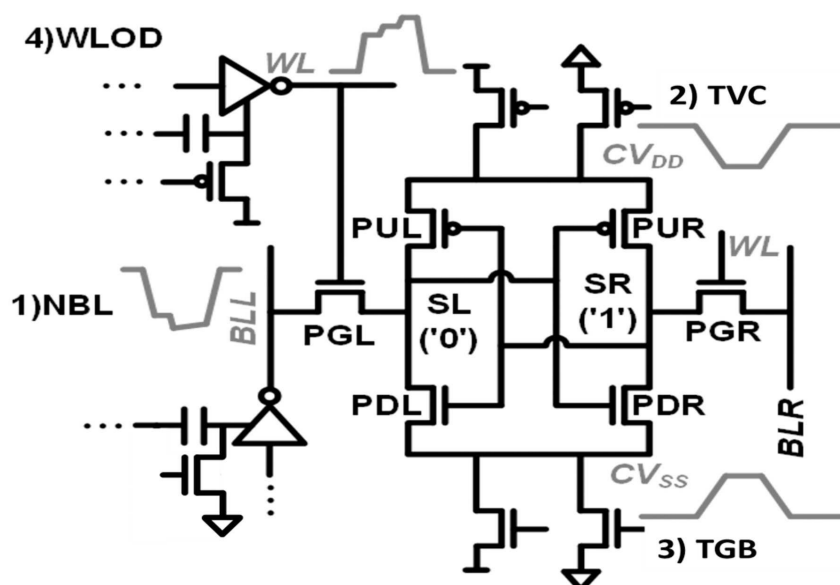
[0137] 100: 정적 메모리 장치  
110, 300: 하프 전압 프리차지 회로  
120: 메모리셀 어레이  
130, 700: 워드라인 드라이버  
140: 컬럼 먹스  
150, 500: 쓰기 드라이버

도면

도면 1a

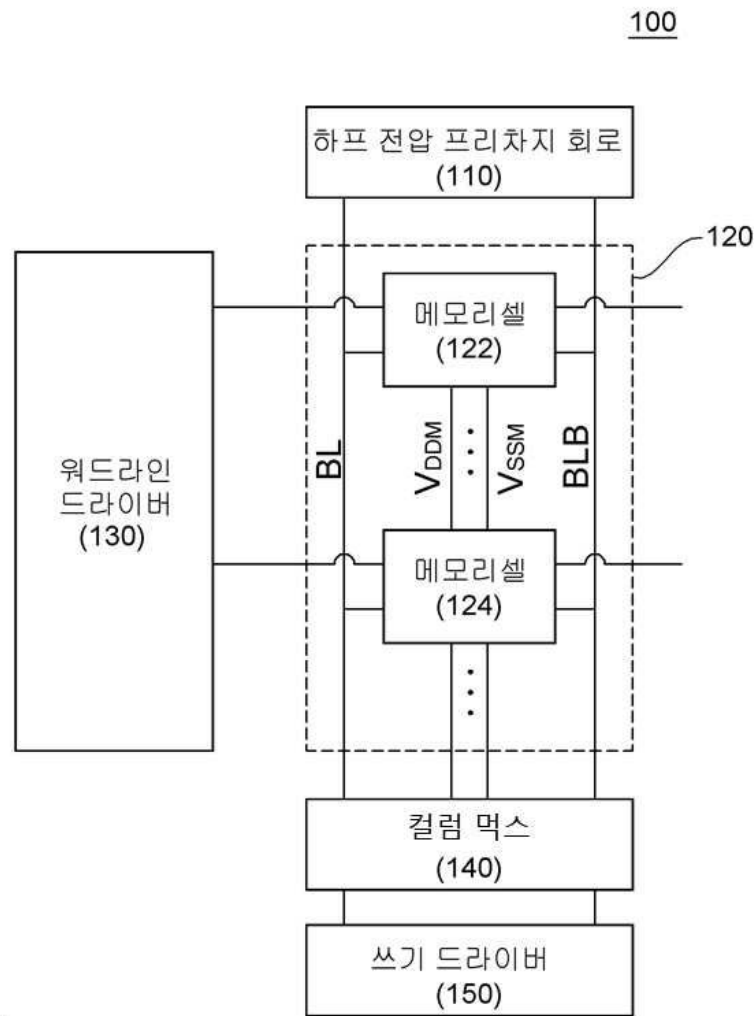


도면 1b

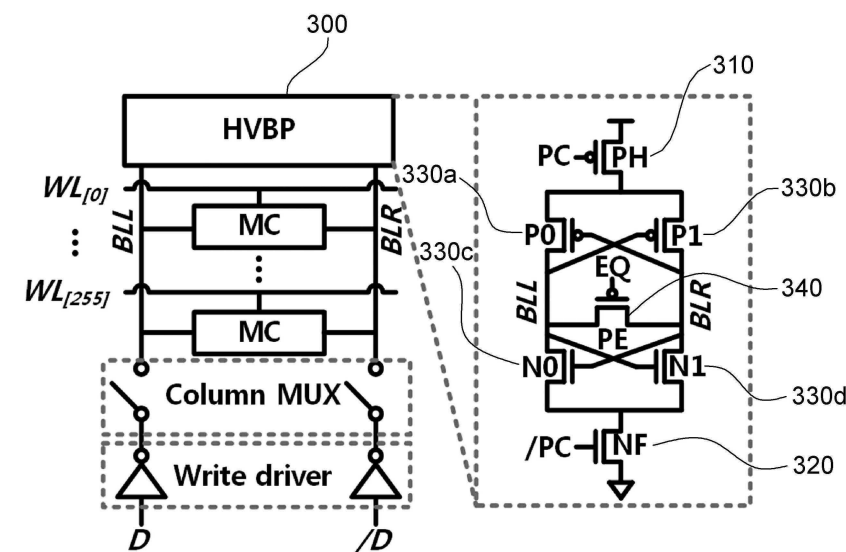




도면2

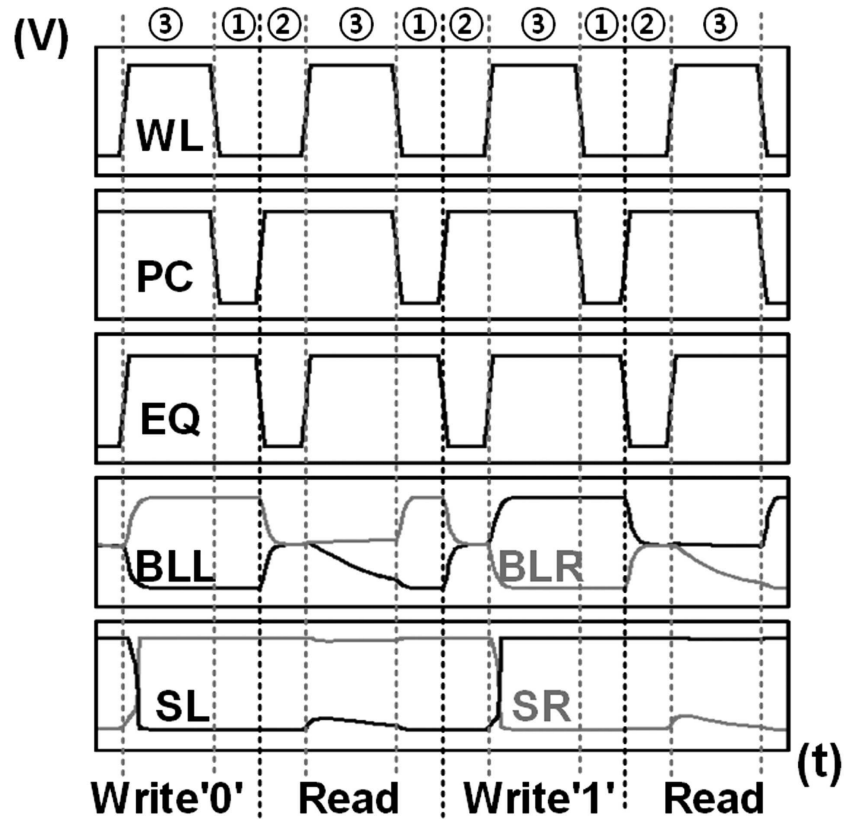


도면3a

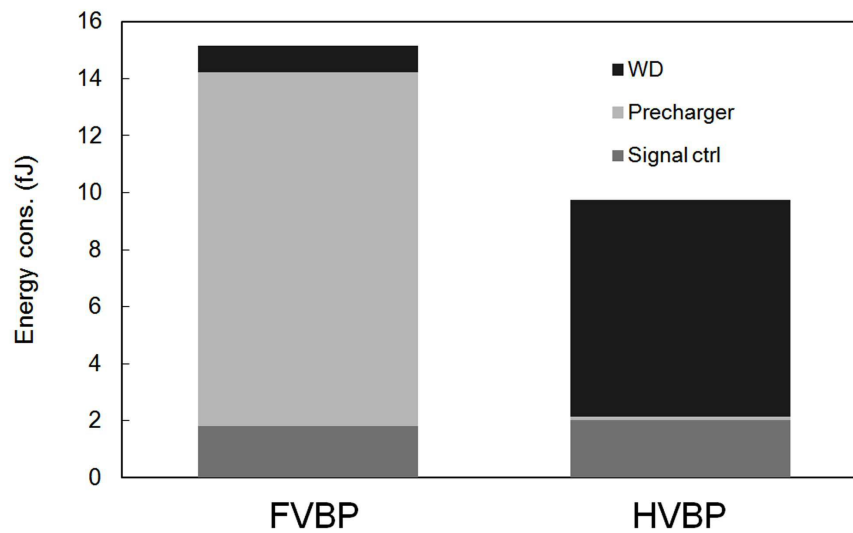


도면3b

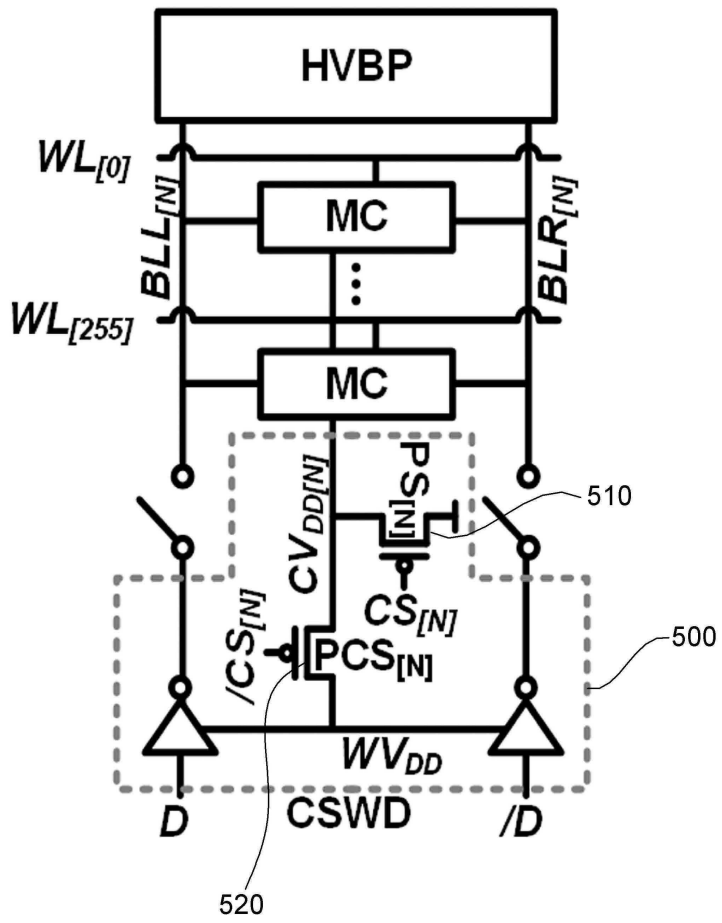
① : Precharge ② : Equalize ③ : Operation



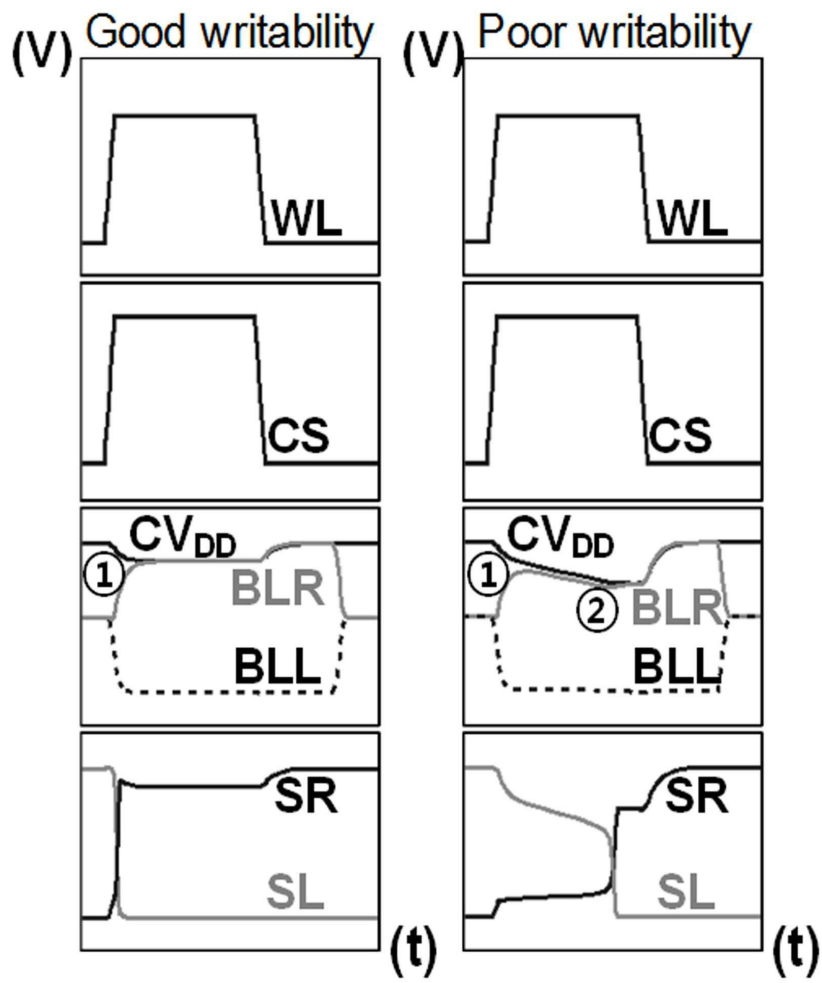
도면4



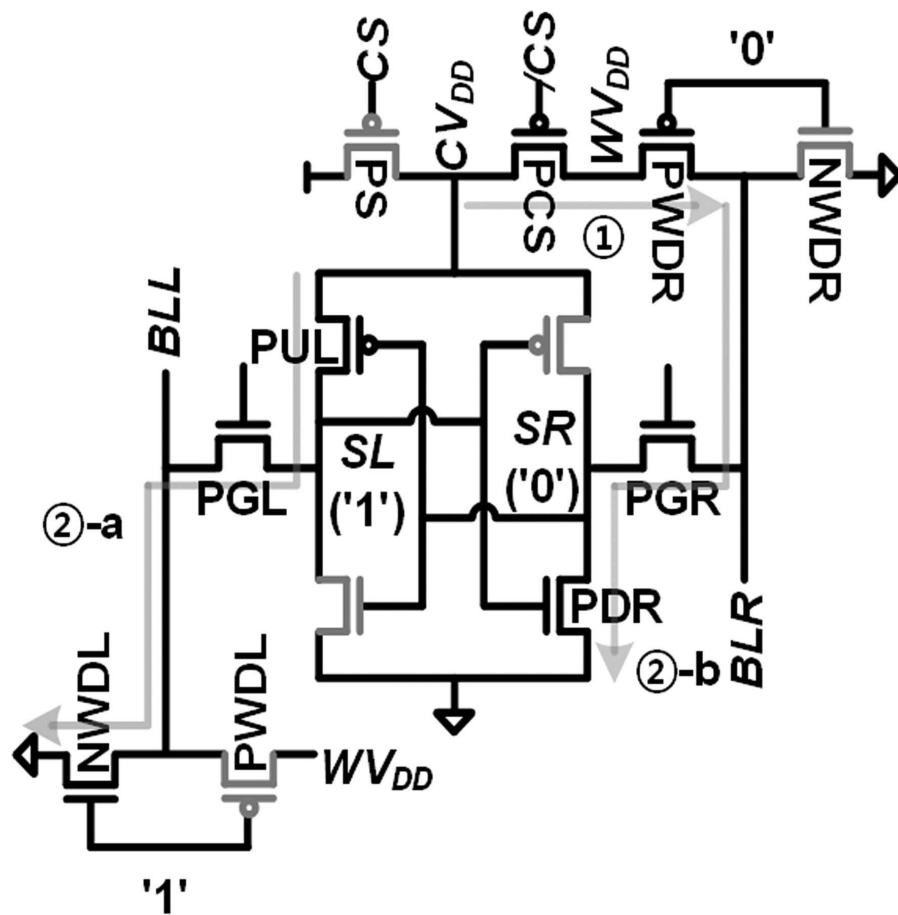
도면5a



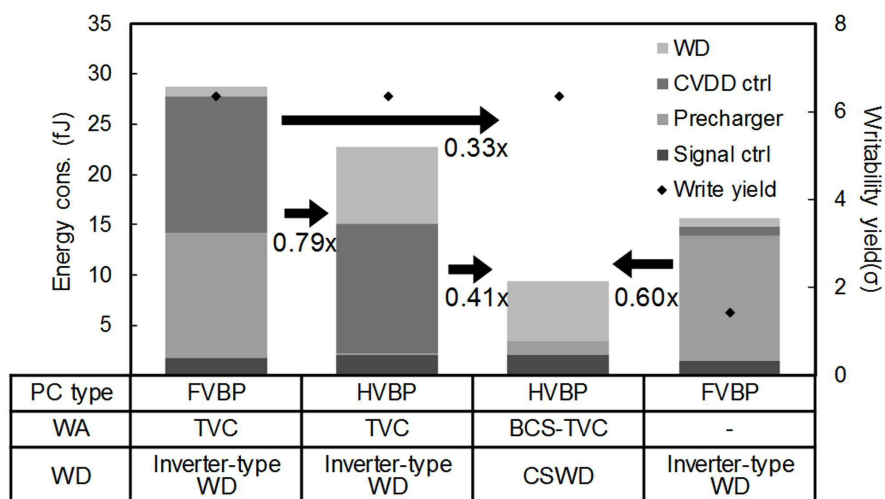
도면5b



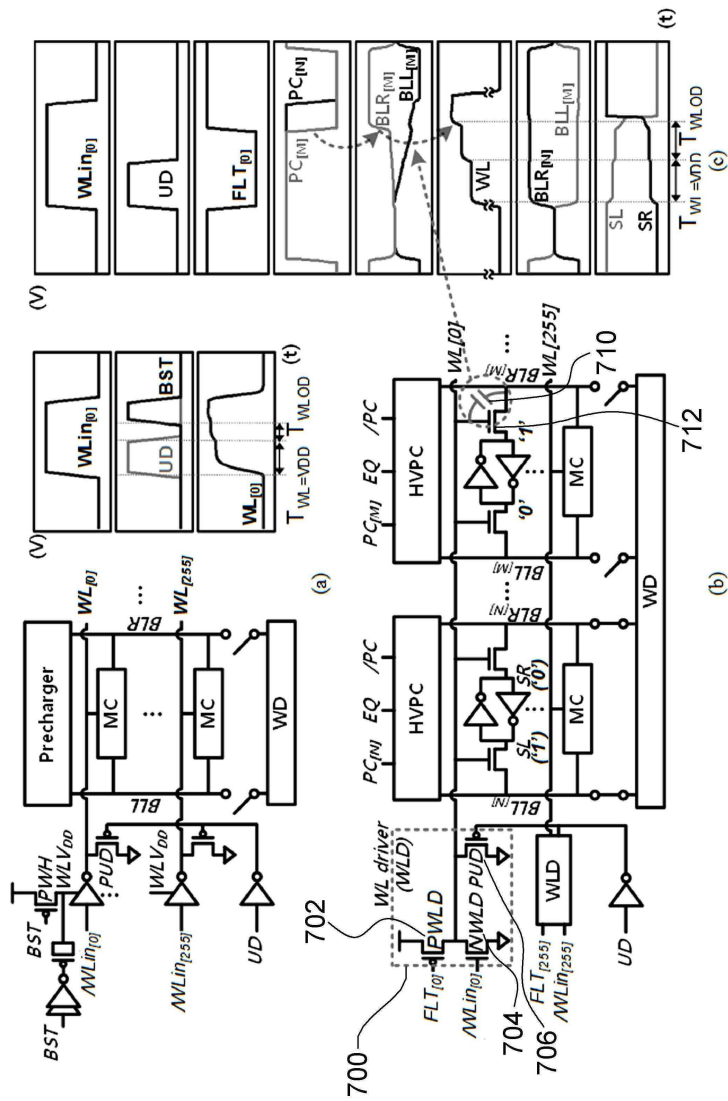
도면5c



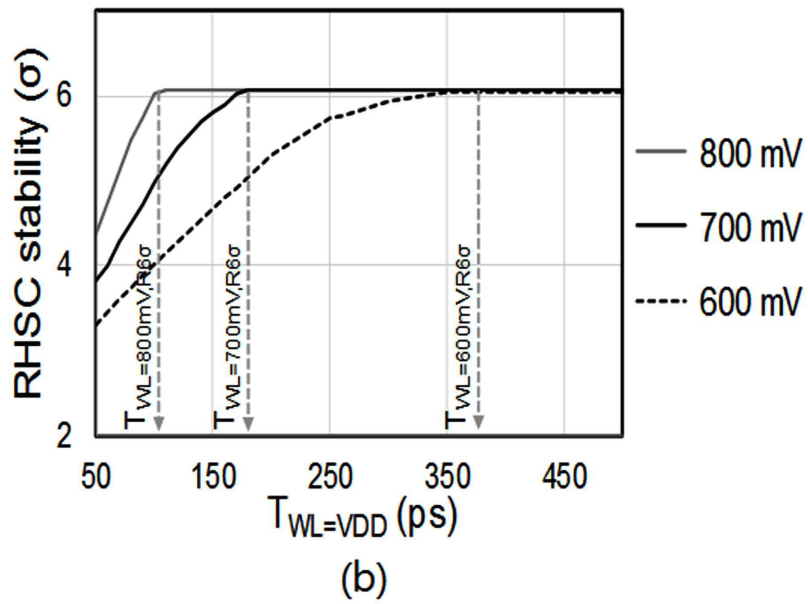
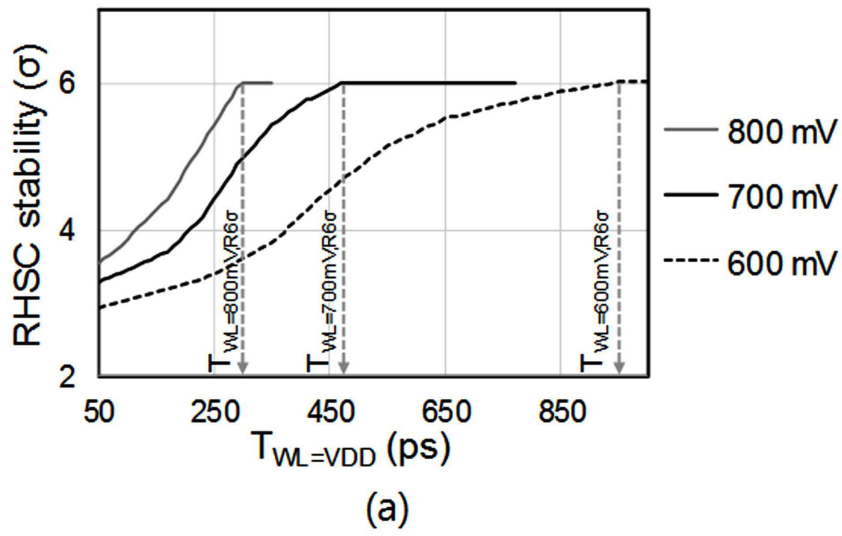
도면6



도면7

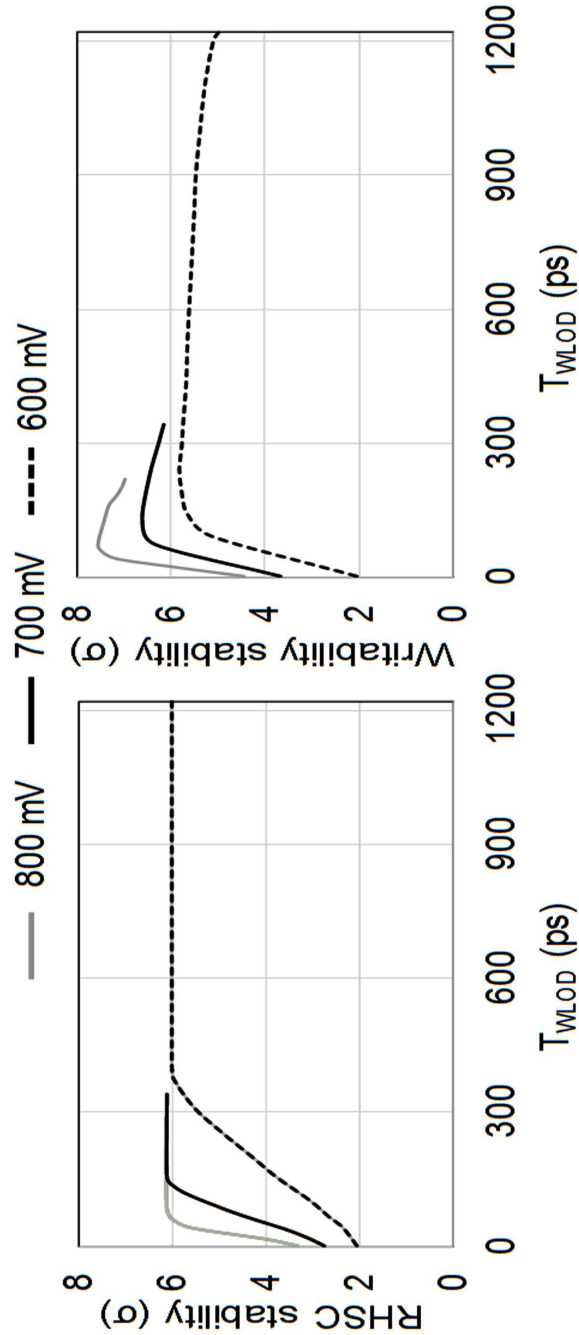


도면8





도면9



도면10

