



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년07월16일

(11) 등록번호 10-2279048

(24) 등록일자 2021년07월13일

(51) 국제특허분류(Int. Cl.)

G11C 13/00 (2006.01) G11C 7/06 (2021.01)

(52) CPC특허분류

G11C 13/004 (2013.01)

G11C 7/065 (2013.01)

(21) 출원번호 10-2020-0041580

(22) 출원일자 2020년04월06일

심사청구일자 2020년04월06일

(56) 선행기술조사문헌

US20140167848 A1*

US20190325941 A1*

KR1020130136388 A

US20150146475 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

윤홍일

서울특별시 서초구 태봉로2길 5, 107동 1302호(우면동, 서초네이처힐5단지)

윤영찬

서울특별시 마포구 승문길 98, 103동 901호(염리동, 마포자이3차)

(74) 대리인

특허법인우인

전체 청구항 수 : 총 2 항

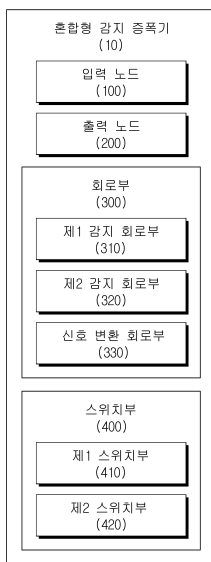
심사관 : 신우열

(54) 발명의 명칭 저항성 메모리용 고속 고안정성을 가진 혼합형 감지 증폭기

(57) 요약

본 실시예들은 차동 증폭 회로를 이용하여 프리센싱 동작을 수행하고 전압 래치 증폭 회로를 이용하여 래치 동작을 수행하며 차동 증폭 회로와 전압 래치 증폭 회로에 포함된 트랜지스터의 연결 구조를 가변하여 트랜지스터 일부를 공유함으로써 하드웨어 면적을 감소시킬 수 있는 혼합형 감지 증폭기를 제공한다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호	1711116046
과제번호	10080722
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발사업(반도체공정장비)
연구과제명	클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2017.10.01 ~ 2021.12.31

명세서

청구범위

청구항 1

프리차지 모드, 프리센싱 모드 또는 래치 증폭 모드로 동작 모드가 가변하는 혼합형 감지 증폭기에 있어서,

입력 노드;

출력 노드;

상기 입력 노드와 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 트랜지스터를 포함하는 회로부; 및

상기 회로부에 연결되며 제어 신호에 따라 상기 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 스위치를 포함하는 스위치부를 포함하며,

상기 프리센싱 모드에서 상기 스위치부에 의해 상기 회로부는 전류 거울 구조를 갖는 차동 증폭 회로를 형성하고,

상기 래치 증폭 모드에서 상기 스위치부에 의해 상기 회로부는 크로스 커플링 구조를 갖는 전압 래치 회로를 형성하고,

상기 차동 증폭 회로 및 상기 전압 래치 회로는 상기 회로부에 포함된 일부 트랜지스터를 공유하며,

상기 혼합형 감지 증폭기는, 상기 출력 노드에 연결되며 상기 프리차지 모드에서 상기 출력 노드의 전압을 공급 전압을 기준으로 설정하는 초기화 회로부를 포함하고,

상기 회로부는, (i) 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 제1 트랜지스터를 포함하는 동작하는 제1 감지 회로부, (ii) 상기 출력 노드에 연결되며 상기 래치 증폭 모드에서 동작하는 복수의 제2 트랜지스터를 포함하는 제2 감지 회로부, (iii) 상기 입력 노드와 상기 출력 노드에 연결되며 전압을 전류로 변환하는 신호 변환 회로부를 포함하고,

상기 스위치부는, (i) 제1 제어 신호에 따라 상기 제1 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제1 스위치를 포함하는 제1 스위치부 및 (ii) 제2 제어 신호에 따라 상기 제2 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제2 스위치를 포함하는 제2 스위치부를 포함하며,

상기 회로부는 상기 프리센싱 모드 및 상기 래치 증폭 모드에서 상기 제1 감지 회로부에 포함된 제1 트랜지스터를 공유하고,

상기 프리센싱 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 신호 변환 회로부를 통해 상기 입력 노드와 상기 출력 노드가 구분된 차동 증폭 회로로 동작하고,

상기 래치 증폭 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 제2 스위치부에 의해 연결 구조가 변경된 제2 감지 회로부를 통해 상기 입력 노드와 상기 출력 노드가 공유된 전압 래치 회로로 동작하는 것을 특징으로 하는 혼합형 감지 증폭기.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

메모리 장치에 있어서,

복수의 메모리 셀이 배치된 메모리 셀 어레이;

상기 메모리 셀 어레이에 연결되어 상기 메모리 셀에 데이터를 기록하거나 독출하는 기록 독출 회로;

상기 기록 독출 회로의 동작을 제어하는 신호를 전송하는 제어 로직을 포함하며,

상기 기록 독출 회로는 프리차지 모드, 프리센싱 모드 또는 래치 증폭 모드로 동작 모드가 가변하는 혼합형 감지 증폭기를 이용하여 상기 데이터를 독출하며,

상기 혼합형 감지 증폭기는,

입력 노드;

출력 노드;

상기 입력 노드와 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 트랜지스터를 포함하는 회로부; 및

상기 회로부에 연결되며 제어 신호에 따라 상기 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 스위치를 포함하는 스위치부를 포함하며,

상기 프리센싱 모드에서 상기 스위치부에 의해 상기 회로부는 전류 거울 구조를 갖는 차동 증폭 회로를 형성하고,

상기 래치 증폭 모드에서 상기 스위치부에 의해 상기 회로부는 크로스 커플링 구조를 갖는 전압 래치 회로를 형성하고,

상기 차동 증폭 회로 및 상기 전압 래치 회로는 상기 회로부에 포함된 일부 트랜지스터를 공유하며,

상기 혼합형 감지 증폭기는, 상기 출력 노드에 연결되며 상기 프리차지 모드에서 상기 출력 노드의 전압을 공급 전압을 기준으로 설정하는 초기화 회로부를 포함하고,

상기 회로부는, (i) 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 제1 트랜지스터를 포함하는 동작하는 제1 감지 회로부, (ii) 상기 출력 노드에 연결되며 상기 래치 증폭 모드에서 동작하는 복수의 제2 트랜지스터를 포함하는 제2 감지 회로부, (iii) 상기 입력 노드와 상기 출력 노드에 연결되며 전압을 전류로 변환하는 신호 변환 회로부를 포함하고,

상기 스위치부는, (i) 제1 제어 신호에 따라 상기 제1 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제1 스위치를 포함하는 제1 스위치부 및 (ii) 제2 제어 신호에 따라 상기 제2 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제2 스위치를 포함하는 제2 스위치부를 포함하며,

상기 회로부는 상기 프리센싱 모드 및 상기 래치 증폭 모드에서 상기 제1 감지 회로부에 포함된 제1 트랜지스터를 공유하고,

상기 프리센싱 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 신호 변환 회로부를 통해 상기 입력 노드와 상기 출력 노드가 구분된 차동 증폭 회로로 동작하고,

상기 래치 증폭 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 제2 스위치부에 의해 연결 구조가 변경된 제2 감지 회로부를 통해 상기 입력 노드와 상기 출력 노드가 공유된 전압 래치 회로로 동작하는 것을 특징으로 하는 메모리 장치.

발명의 설명

기술 분야

본 발명이 속하는 기술 분야는 혼합형 감지 증폭기에 관한 것이다.

[0001]

배경 기술

- [0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.
- [0003] 저항성 메모리의 셀은 기록 전류에 의해 크거나 작은 특정 저항 값을 나타내는 소자이다. 각각의 저항 값은 일정 오차 범위 내에서 형성되며, 저항성 메모리에서는 특정 독출 전류를 흘려주었을 때, 발생하는 전압이나 전류의 값을 기준 하는 전압이나 전류와 비교하여 데이터 0과 1을 판단한다.
- [0004] 낮은 전원 전압과 작은 독출 전류는 데이터 셀(data cell)과 기준 셀(reference cell) 값에 따라 유지되는 전위차를 감소시킨다. 전위차의 감소는 독출 동작 속도를 저하시킬 뿐만 아니라 노이즈 및 공정 편차에 따른 영향을 크게 받아 독출 동작 오류를 증가시킬 수 있다.
- [0005] 이러한 독출 동작 오류를 막기 위하여 미세한 입력 전위차를 프리센싱 (Presensing) 동작을 수행하여 증폭시키는 방식이 있다. 기존의 프리센싱 회로로는 전압 래치 증폭기, 전류 래치 증폭기 등이 있다.
- [0006] 전압 래치 증폭기는 다수의 데이터 셀(data cell)이 비트 라인(bit line)을 공유할 때 독출 동작 속도가 저하되는 단점이 있고, 전류 래치 증폭기는 상대적인 면적이 크다는 단점이 있다.
- [0007] 프리센싱 회로를 구비하는 감지 증폭기는 프리센싱 회로와 래치 증폭 회로를 각각 구비하는 구조를 사용해 하드웨어 면적을 증가시킨다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 한국등록특허공보 제10-0813628호 (2008.03.07)
- (특허문헌 0002) 한국등록특허공보 제10-0574592호 (2006.04.21)
- (특허문헌 0003) 한국등록특허공보 제10-1657744호 (2016.09.08)
- (특허문헌 0004) 한국공개특허공보 제10-2016-0064901호 (2016.06.08)

발명의 내용

해결하려는 과제

- [0009] 본 발명의 실시예들은 초기 동작 속도가 빠르고 노이즈 성분에 강한 차동 증폭 회로를 이용하여 프리센싱 동작을 수행하고 전압 래치 증폭 회로를 이용하여 래치 동작을 수행하며 차동 증폭 회로와 전압 래치 증폭 회로에 포함된 트랜지스터의 연결 구조를 가변하여 트랜지스터 일부를 공유함으로써 하드웨어 면적을 감소시키는데 주된 목적이 있다.
- [0010] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

- [0011] 본 실시예의 일 측면에 의하면, 프리센싱 모드 또는 래치 증폭 모드로 동작 모드가 가변하는 혼합형 감지 증폭기에 있어서, 입력 노드, 출력 노드, 상기 입력 노드와 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 트랜지스터를 포함하는 회로부, 및 상기 회로부에 연결되며 제어 신호에 따라 상기 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 스위치를 포함하는 스위치부를 포함하는 혼합형 감지 증폭기를 제공한다.
- [0012] 상기 프리센싱 모드에서 상기 스위치부에 의해 상기 회로부는 전류 거울 구조를 갖는 차동 증폭 회로를 형성할 수 있다.
- [0013] 상기 래치 증폭 모드에서 상기 스위치부에 의해 상기 회로부는 크로스 커플링 구조를 갖는 전압 래치 회로를 형성할 수 있다.

- [0014] 상기 차동 증폭 회로 및 상기 전압 래치 회로는 상기 회로부에 포함된 일부 트랜지스터를 공유할 수 있다.
- [0015] 상기 혼합형 감지 증폭기는 상기 출력 노드에 연결되며 프리차지 모드에서 상기 출력 노드의 전압을 공급 전압을 기준으로 설정하는 초기화 회로부를 포함할 수 있다.
- [0016] 상기 회로부는, (i) 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 제1 트랜지스터를 포함하는 동작하는 제1 감지 회로부, (ii) 상기 출력 노드에 연결되며 상기 래치 증폭 모드에서 동작하는 복수의 제2 트랜지스터를 포함하는 제2 감지 회로부, (iii) 상기 입력 노드와 상기 출력 노드에 연결되며 전압을 전류로 변환하는 신호 변환 회로부를 포함할 수 있다
- [0017] 상기 스위치부는, (i) 제1 제어 신호에 따라 상기 제1 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제1 스위치를 포함하는 제1 스위치부 및 (ii) 제2 제어 신호에 따라 상기 제2 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제2 스위치를 포함하는 제2 스위치부를 포함할 수 있다.
- [0018] 상기 감지 회로부는 상기 프리센싱 모드 및 상기 래치 증폭 모드에서 상기 제1 감지 회로부에 포함된 제1 트랜지스터를 공유할 수 있다.
- [0019] 상기 프리센싱 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 신호 변환 회로부를 통해 차동 증폭 회로로 동작할 수 있다.
- [0020] 상기 래치 증폭 모드에서 상기 제1 스위치부에 의해 연결 구조가 변경된 제1 감지 회로부 및 상기 제2 스위치부에 의해 연결 구조가 변경된 제2 감지 회로부를 통해 전압 래치 회로로 동작할 수 있다.
- [0021] 본 실시예의 다른 측면에 의하면, 메모리 장치에 있어서, 복수의 메모리 셀이 배치된 메모리 셀 어레이; 상기 메모리 셀 어레이에 연결되어 상기 메모리 셀에 데이터를 기록하거나 독출하는 기록 독출 회로; 상기 기록 독출 회로의 동작을 제어하는 신호를 전송하는 제어 로직을 포함하며, 상기 기록 독출 회로는 프리센싱 모드 또는 래치 증폭 모드로 동작 모드가 가변하는 혼합형 감지 증폭기를 이용하여 상기 데이터를 독출하며, 상기 혼합형 감지 증폭기는, 입력 노드; 출력 노드; 상기 입력 노드와 상기 출력 노드에 연결되며 상기 프리센싱 모드 또는 상기 래치 증폭 모드에서 동작하는 복수의 트랜지스터를 포함하는 회로부; 및 상기 회로부에 연결되며 제어 신호에 따라 상기 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 스위치를 포함하는 스위치부를 포함하는 것을 특징으로 하는 메모리 장치를 제공한다.

발명의 효과

- [0022] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 초기 동작 속도가 빠르고 노이즈 성분에 강한 차동 증폭 회로를 이용하여 프리센싱 동작을 수행하고 전압 래치 증폭 회로를 이용하여 래치 동작을 수행하며 차동 증폭 회로와 전압 래치 증폭 회로에 포함된 트랜지스터의 연결 구조를 가변하여 트랜지스터 일부를 공유함으로써 하드웨어 면적을 감소시킬 수 있는 효과가 있다.
- [0023] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 메모리 장치를 예시한 블록도이다.
- 도 2는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기를 예시한 블록도이다.
- 도 3은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기를 예시한 회로도이다.
- 도 4는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기가 적용된 메모리 셀 어레이를 예시한 도면이다.
- 도 5는 전압 래치 감지 증폭 회로를 예시한 도면이다.
- 도 6은 전류 래치 감지 증폭 회로를 예시한 도면이다.
- 도 7은 차동 증폭 회로를 예시한 도면이다.
- 도 8은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리차지 모드에서 회로 연결을 예시한 도면이다.

도 9는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리차지 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.

도 10은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리센싱 모드에서 회로 연결을 예시한 도면이다.

도 11은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리센싱 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.

도 12는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 래치 증폭 모드에서 회로 연결을 예시한 도면이다.

도 13은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 래치 증폭 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.

도 14는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 전체 동작을 설명하기 위한 예시적인 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 메모리 장치를 예시한 블록도이다.
- [0027] 메모리 시스템은 메모리 장치(1) 및 메모리 컨트롤러(미도시)를 포함할 수 있다. 메모리 장치(1)는 메모리 셀 어레이(11), 기록 독출 회로(12), 및 제어 로직(13)을 포함할 수 있다.
- [0028] 메모리 셀 어레이(11)는 복수의 제1 신호 라인들과 복수의 제2 신호 라인들이 교차하는 영역들에 각각 배치되는 복수의 메모리 셀들(미도시)을 포함할 수 있다. 복수의 제1 신호 라인들은 복수의 비트 라인들일 수 있고, 복수의 제2 신호 라인들은 복수의 워드 라인들일 수 있다. 또는 복수의 제1 신호 라인들은 복수의 워드 라인들일 수 있고, 복수의 제2 신호 라인들은 복수의 비트 라인들일 수 있다.
- [0029] 메모리 셀 어레이(11)는 가변 저항을 갖는 가변 저항 소자(미도시)를 포함하는 저항성 메모리 셀들을 포함할 수 있다. 예를 들어, 가변 저항 소자가 상변화(phase change) 물질(GST, Ge-SbTe)로서 온도에 따라 저항이 변화하는 경우에는 저항성 메모리 장치는 PRAM이 될 수 있다. 가변 저항 소자가 상부 전극, 하부 전극 및 그 사이에 있는 전이금속 산화물(complex metal oxide)로 형성된 경우에는 저항성 메모리 장치는 RRAM이 될 수 있다. 가변 저항 소자가 자성체의 상부 전극, 자성체의 하부 전극 및 그 사이에 있는 유전체로 형성된 경우에는 저항성 메모리 장치는 MRAM이 될 수 있다.
- [0030] 메모리 셀 어레이(11)는 다수의 레이어들이 적층된 3 차원 구조를 가질 수 있다. 메모리 셀 어레이(11)에 구비되는 다수의 레이어들 중 적어도 일부는 메모리 셀들이 배치되는 셀 영역을 포함할 수 있다. 다수의 레이어들 중 다른 일부는 셀 영역에 대한 메모리 동작을 수행하기 위한 주변 회로들이 배치되는 제어 레이어에 해당할 수 있다.
- [0031] 기록 독출 회로(12)는 메모리 셀들에 대한 기록 및 독출 동작을 수행한다. 기록 독출 회로(12)는 다수의 비트 라인들을 통해 메모리 셀들에 연결되며, 메모리 셀들에 데이터를 기록하기 위한 기록 드라이버와, 메모리 셀들로부터 독출된 데이터를 증폭하는 감지 증폭기를 포함할 수 있다. 기록 독출 회로(12)는 제어 로직(13)의 제어 하에서, 각종 전압 신호들을 이용한 메모리 동작을 수행할 수 있다.
- [0032] 제어 로직(13)은 메모리 장치(1)의 전반적인 동작을 제어할 수 있으며, 기록 및 독출 등의 메모리 동작을 수행하기 위하여 기록 독출 회로(12)를 제어할 수 있다. 메모리 장치(1)에 대한 기록 및 독출 동작 등을 위하여, 제어 로직(13)은 각종 전압 신호들을 기록 독출 회로(12)로 제공하는 역할을 수행할 수 있다. 제어 로직(13)은 선택된 메모리 셀로 제공되는 기록 전압(또는 기록 전류)이나 독출 전압(또는 독출 전류)을 생성하는 펄스 전원 생성부와 펄스 전원 생성부에서 생성되는 펄스 전원을 제어하는 펄스 전원 제어부를 포함할 수 있다.
- [0033] 도 2는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기를 예시한 블록도이다.
- [0034] 혼합형 감지 증폭기(10)는 입력 노드(100), 출력 노드(200), 회로부(300), 및 스위치부(400)를 포함한다. 혼합

형 감지 증폭기(10)는 프리센싱 모드 또는 래치 증폭 모드로 동작 모드가 가변한다.

- [0035] 회로부(300)는 입력 노드(100)와 출력 노드(200)에 연결되며 프리센싱 모드 또는 래치 증폭 모드에서 동작하는 복수의 트랜지스터를 포함한다. 프리센싱 모드는 1차 독출 동작에 해당하고, 래치 증폭 모드는 2차 독출 동작에 해당한다.
- [0036] 스위치부(400)는 회로부(300)에 연결되며 제어 신호에 따라 회로부(300)에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 스위치를 포함한다.
- [0037] 프리센싱 모드에서 스위치부(400)에 의해 회로부(300)는 전류 거울 구조를 갖는 차동 증폭 회로를 형성할 수 있다. 래치 증폭 모드에서 스위치부(400)에 의해 회로부(300)는 크로스 커플링 구조를 갖는 전압 래치 회로를 형성할 수 있다. 차동 증폭 회로 및 전압 래치 회로는 회로부(300)에 포함된 일부 트랜지스터를 공유할 수 있다.
- [0038] 회로부(300)는 출력 노드에 연결되며 프리차지 모드에서 출력 노드의 전압을 공급 전압을 기준으로 설정하는 초기화 회로부를 포함할 수 있다. 회로부(300)는 출력 노드에 연결되며 프리센싱 모드 또는 래치 증폭 모드에서 동작하는 복수의 제1 트랜지스터를 포함하는 동작하는 제1 감지 회로부(310)를 포함할 수 있다. 회로부(300)는 출력 노드에 연결되며 래치 증폭 모드에서 동작하는 복수의 제2 트랜지스터를 포함하는 제2 감지 회로부(320)를 포함할 수 있다. 회로부(300)는 입력 노드와 출력 노드에 연결되며 전압을 전류로 변환하는 신호 변환 회로부(330)를 포함할 수 있다.
- [0039] 스위치부(400)는 제1 제어 신호에 따라 상기 제1 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제1 스위치를 포함하는 제1 스위치부(410)를 포함할 수 있다. 스위치부(400)는 제2 제어 신호에 따라 제2 감지 회로부에 포함된 복수의 트랜지스터의 연결 구조를 변경하는 하나 이상의 제2 스위치를 포함하는 제2 스위치부(420)를 포함할 수 있다.
- [0040] 회로부(300)는 프리센싱 모드 및 래치 증폭 모드에서 제1 감지 회로부(310)에 포함된 제1 트랜지스터를 공유할 수 있다.
- [0041] 회로부(300)는 프리센싱 모드에서 제1 스위치부(410)에 의해 연결 구조가 변경된 제1 감지 회로부(310) 및 신호 변환 회로부(330)를 통해 차동 증폭 회로로 동작할 수 있다.
- [0042] 회로부(300)는 래치 증폭 모드에서 제1 스위치부(410)에 의해 연결 구조가 변경된 제1 감지 회로부(310) 및 제2 스위치부(420)에 의해 연결 구조가 변경된 제2 감지 회로부(320)를 통해 전압 래치 회로로 동작할 수 있다.
- [0043] 도 3은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기를 예시한 회로도이고, 도 4는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기가 적용된 메모리 셀 어레이를 예시한 도면이고, 도 5는 전압 래치 감지 증폭 회로를 예시한 도면이고, 도 6은 전류 래치 감지 증폭 회로를 예시한 도면이고, 도 7은 차동 증폭 회로를 예시한 도면이다.
- [0044] 혼합형 감지 증폭기는 미세한 전압 차이의 입력에서도 안정적이고 빠른 독출 동작을 할 수 있어야 한다. 저항성 메모리에서는 셀에 저장된 전압과 기준에 저장된 전압의 차이가 작다. 작은 전압차이를 0과 1로 데이터를 독출하기 위해서는 이를 감지하는 프리센싱 단계와 증폭하는 래치 증폭 단계가 있다. 프리센싱 단계에서 많이 사용하는 감지 증폭기로는 전압 래치 감지 증폭기, 전류 래치 감지 증폭기, 차동증폭기 등이 있다.
- [0045] 전압 감지 증폭기는 입력과 출력을 공유하는 특징이 있다. 구조적 특징으로 인해 BL에 적은 셀이 있을 때, 임의 접근 독출 속도가 빠른 장점과 면적이 작다는 장점으로 메모리에서 많이 사용한다. 하지만 셀의 개수가 많아질수록 RC 지연(delay)에 의해 독출 속도가 느린 단점이 있다.
- [0046] 전류 래치 감지 증폭기는 입력과 출력이 분리된 특징이 있다. BL에 셀이 많을수록 전압 감지 증폭기보다 빠른 독출 속도를 갖는다. 하지만, 면적이 크다는 단점이 있다.
- [0047] 차동 증폭기는 전류 래치 감지 증폭기와 구조적으로 유사하게 입력과 출력이 분리된 특징이 있다. 이러한 구조의 장점은 셀의 개수가 많을수록 높은 독출 속도를 가질 수 있다. 회로 특성상 전류 래치 증폭기와 차동 증폭기를 비교했을 때, 차동 증폭기는 입력 잡음에 면역성이 좋다. 전류 래치 증폭기와 비교했을 때, 면적이 작다. 하지만, 차동 증폭기는 입력 전압 차이에 예민한 단점이 있다.
- [0048] 본 실시예에 따른 혼합형 감지 증폭기는 프리센싱 단계에서 차동 증폭기를 이용해 빠른 독출 속도와 입력 잡음에 대한 안정성을 확보하고 래치 증폭 단계에서는 전압 래치 감지 증폭기를 이용해 빠른 독출 속도를 확보할 수 있다.

- [0049] 도 3을 참조하면, 독출 전류에 의해 유기되는 입력 전압 값 V_{data} , V_{ref} 를 게이트 입력으로 NMOS 쌍을 가지고, $PSE \cdot EQ$, SE 신호에 의해 차동 증폭 회로 구조와 래치 증폭 회로 구조로 전환할 수 있는 NMOS, PMOS 쌍을 가진다. EQ 신호에 의해 출력 V_{out} , V_{outb} 를 초기화시킬 수 있는 PMOS 쌍을 구비하고, $Foot$ 신호를 받아 감지 증폭 회로 동작을 시작할 수 있는 NMOS 스위치를 구비한다.
- [0050] 브랜치(Branch) 회로부는 데이터 셀(Data Cell)과 기준 셀(Reference Cell) 등을 스트링(String) 형태로 구성하는 회로이다. 비트 라인 스트링(Bit line string)에서는 데이터 셀이 연결되어 있으며 기준 셀 스트링에는 기준 셀이 연결되어 있다. 각 스트링에 흐를 수 있는 독출 전류는 클램프(clamp) 신호에 의해 제한되어 일정 크기 이상의 전류가 흘러 기록 동작이 수행되지 못하도록 한다. WL , SL 신호에 의해 원하는 데이터 셀을 비트 라인에 연결될 수 있다.
- [0051] 감지 증폭기 본체(Sense Amplifier Body)는 EQ 신호를 받아 출력 노드(V_{out} , V_{outb})를 초기화시키는 동기화 회로부($M11$, $M12$), 브랜치 회로부의 출력 전압을 입력으로 받아 전류로 전환시키는 입력 회로부($M15$, $M16$), $PSE \cdot EQ$ 신호와 SE 신호를 받아 연결 구성을 전환할 수 있는 스위치 회로부($M20$, $M21$, $M22$, $M23$, $M24$)와 감지 회로부($M13$, $M14$, $M17$, $M18$, $M19$)를 포함한다.
- [0052] 도 4는 예시적인 회로에 해당하며, 비트 라인(BL)에 1024개의 셀당 하나씩 SA 가 구성될 수 있다. 워드 라인(WL)은 데이터를 읽고자 하는 행의 셀들을 모두 켜는 역할을 한다. 이는 워드 라인 드라이버(Word Line Driver)에 연결된다. 워드 라인 드라이버에서 행을 선택한다. 소스 라인(SL)은 어떤 열의 데이터를 읽을지 선택하게 된다. 소스 라인 드라이버가 열을 선택한다. 워드 라인 드라이버와 소스 라인 드라이버가 하나의 행과 열을 선택하면 하나의 셀을 선택하여 읽을 수 있다.
- [0053] 도 5를 참조하면, 전압 래치 감지 증폭 회로는 7개의 트랜지스터로 구성될 수 있다. 인버터(Inverter) 2개가 크로스 커플링(Cross Coupled) 구조로 되어 있다. 1개의 NMOS foot switch transistor를 가지고 있고, 2개의 프리차지 PMOS 트랜지스터를 가진다. 입력 노드(Input Node)이자 출력 노드(Output Node)는 $V1$, $V2$ 는 BL 과 BLB 에 연결된다. 전압 래치 감지 증폭 회로는 비트 라인(Bit Line)과 비트 라인 바(Bit line Bar) 간의 전압 차이를 감지한다. 그리고 전압 차이가 양의 되먹임(Positive Feedback) 동작으로 공급 전압(VDD)부터 GND 까지 증폭된다. 전압 래치 감지 증폭기의 장점은 전류 래치 감지 증폭 회로와 비교해 트랜지스터의 수가 적기 때문에 속도가 빠르고, 면적이 작다는 장점이 있다. 하지만 입력 노드를 출력 노드와 공유하기 때문에 입력 노드의 데이터 결정 과정(decision process)이 끝날 때까지 출력 값을 결정할 수 없다. 비트 라인에 셀이 많아질수록 저항이나 캐패시턴스가 증가한다. 따라서, 데이터를 읽는 지연 시간이 길어지고, 전력 소모가 커질 수 있다.
- [0054] 도 6을 참조하면, 전류 래치 감지 증폭 회로는 전압 래치 감지 증폭 회로 구성과 유사하다. 크로스 커플링된 인버터(Inverter)구조를 가진다. 양의 되먹임(Positive Feedback) 동작을 하는 구조이다. 하지만 전압 래치 감지 증폭 회로와는 다르게 입력 노드와 출력 노드를 공유하지 않는다. 전류 래치 감지 증폭 회로의 입력이 출력으로 나타나는 과정을 살펴보면, $M5$ 와 $M6$ 트랜지스터 게이트로 BL 과 BLB 가 연결된다. 비트 라인과 비트 라인바의 전압 차이에 의해 $M5$, $M6$ 에 흐르는 전류에 차이가 생긴다. 전류 차이는 다시 래치 NMOS의 게이트-소스 전압에 차이를 만들어낸다. 양의 되먹임으로 출력 노드의 전압이 나타난다. 전류 래치 감지 증폭 회로의 구조는 BL 과 BLB 에서 기생(Parasitic) 캐패시턴스(Capacitance)와 저항의 영향이 적다. 잡음(Noise)에 대한 영향도 덜하다. 하지만, BL 에 셀의 개수가 적을 때, 전압 래치 증폭기보다 독출 속도(Latency)가 느리며, 면적(Area)이 크다는 단점이 있다.
- [0055] 도 7을 참조하면, 차동 증폭 회로는 공통 모드 잡음(Common mode noise) 신호는 감소시키고, 차동 모드(Differential mode) 신호는 증폭시키는 특징이 있다. 전류 거울(Current Mirror), 공통 소스 증폭기(Common source amplifier), 바이어스 전류 소스(Biasing current source) 3가지로 구성될 수 있다. 모든 트랜지스터는 포화 영역에서 동작하도록 초기에 설정한다. $M1$ 과 $M2$ 는 PMOS 전류 거울로 구성되어 있기 때문에 $M1$ 에 흐르는 전류의 크기는 $M2$ 와 동일하다. V_{outb} 는 $M1$ 의 드레인(Drain)에 흐르는 전류에 의해 전압이 결정되고, V_{out} 은 $M2$ 에 흐르는 전류와 $M4$ 에 흐르는 전류의 크기에 의해 결정된다. 따라서 VBL 과 $VBLB$ 의 전압차이에 의해서 $M3$, $M4$ 에 흐르는 전류차이가 생겨서 V_{out} 과 V_{outb} 사이의 전압 차이가 증폭된다. 증폭의 크기는 $M1$ 과 $M2$ 의 W (게이트 폭)/ L (게이트 길이) 비율에 따라 결정된다. 차동 증폭 회로는 노이즈에 면역성(Immunity)과 속도(Speed)를 향상시키기 위해 주로 사용한다.
- [0056] 차동 증폭 회로는 전압 래치 감지 증폭 회로와 전류 래치 증폭 회로와 비교해 빠른 지연(latency)를 갖는다. 하지만 전압 래치 감지 증폭 회로와 전류 래치 증폭 회로에 비해 많은 전력은 소모한다. 전압 래치 감지 증폭 회

로에 비해 면적이 크지만, 전류 래치 감지 증폭 회로보다는 작은 장점이 있다.

- [0057] 본 실시예에 따른 혼합형 감지 증폭기는 순차적인 동작 단계인 프리차지 모드, 프리센싱 모드, 래치 증폭 모드 로 동작한다. 각 모드에서의 제어 신호와 그에 따른 스위치 동작에 따라 회로 구조가 가변된다.
- [0058] 도 8은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리차지 모드에서 회로 연결을 예시한 도면이고, 도 9는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리차지 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.
- [0059] 프리차지 모드에서는 브랜치 회로부에 인가되는 전류에 따라 유기되는 전위차가 Vdata, Vref에 나타나게 되며 EQ 신호에 의해 출력 Vout, Voutb가 VDD로 초기화 된다.
- [0060] 본 실시예에 따른 혼합형 감지 증폭기는 BL에 많은 셀들이 있어도 올바른 독출 동작을 수행한다. 예컨대, BL에 셀이 하나 일 때, 감지 증폭기 본체로 들어가는 입력의 전압차이가 33.7338mV가 될 수 있도록 설계 가능하다. 최적화된 셀의 개수가 1024개에서 동작할 수 있다.
- [0061] 도 10은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리센싱 모드에서 회로 연결을 예시한 도면이고, 도 11은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 프리센싱 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.
- [0062] 프리센싱 모드에서 Vdata, Vref에 유기된 전압이 감지 증폭기 본체에 입력되고, PMOS 트랜지스터 쌍은 PSE 신호에 의해 전류 거울(Current Mirror) 형태로 전환되어 감지 증폭기 본체가 차동 증폭 회로 구조를 가지게 된다. 이를 통해 증폭된 전위차는 Vout, Voutb에 나타난다.
- [0063] 프리센싱 모드에서 작은 전압 차이를 증폭 단계에서 빠르고, 올바르게 0과 1로 구분하기 위해서는 일정 수준 이상의 전압 차이를 만들어야 한다. 예컨대, 0.32V를 최적 전압 차이로 설정할 수 있다.
- [0064] 트랜지스터 스위치를 이용해 프리센싱 모드에서는 차동 증폭 회로로, 래치 증폭 모드에서 전압 래치 증폭 회로로 동작하도록 구성한다. PMOS 2개를 같이 공유하며, 이러한 혼합형 회로를 이용해 기존에 분리된 형태의 구조보다 작은 하드웨어 면적을 가질 수 있다.
- [0065] 도 12는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 래치 증폭 모드에서 회로 연결을 예시한 도면이고, 도 13은 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 래치 증폭 모드에서 동작을 설명하기 위한 예시적인 타이밍도이다.
- [0066] 래치 증폭 모드에서 SE신호에 의해 감지 증폭기 본체가 전압 래치 증폭 회로 구조를 가지게 된다. 선행 단계에서 Vout, Voutb에 나타난 전위차는 래치 증폭 회로의 양의 피드백 동작을 통해 증폭되어 0 또는 1을 읽어내게 된다.
- [0067] 도 14는 본 발명의 다른 실시예에 따른 혼합형 감지 증폭기의 전체 동작을 설명하기 위한 예시적인 타이밍도이다.
- [0068] 독립된 레퍼런스 셀 스트링을 구비하고, 이와 연결된 기준 라인이 비트 라인의 스트링과 같이 구성되어 있다. 기준 라인과 비트 라인이 감지 증폭기 본체의 입력으로 이용한다.
- [0069] 본 실시예에 따른 혼합형 감지 증폭기는 차동 증폭 회로를 이용해 두 입력의 전압 차이를 감지한다. 본 실시예에 따른 혼합형 감지 증폭기는 저항성 메모리에 데이터를 읽어내기 위해서 1차 센싱을 하는 프리센싱 모드의 차동 증폭 회로와 차동 증폭 회로의 출력을 입력으로 하여, 2차 센싱을 하는 래치 증폭 회로를 포함한다.
- [0070] 먼저 프리차지 모드에서 제어신호 Preb신호와 EQ신호는 동시에 인가되어 감지 증폭기의 입력이 되는 Vdata 노드와 Vref노드의 전압차를 만들어 냈고 동시에 감지 증폭기의 출력이 되는 Vout, Voutb 노드의 전압을 VDD로 동일하게 만든다. 데이터 라인에서 전압이 오를 때 감지 증폭기 본체에 Vout과 Voutb의 전압 수준을 VDD로 동일하게 하는 동작이 일어남으로써 시간을 줄일 수 있다.
- [0071] 혼합형 감지 증폭기는 1차 센싱을 하는 프리센싱 모드에서 PSE, FOOT 제어 신호를 받아 차동 증폭 회로 구조로 전환된다.
- [0072] 혼합형 감지 증폭기는 2차 센싱을 하는 래치 증폭 모드에서 SE 제어 신호를 받아 전압 래치 회로 구조로 전환된다. 프리센싱 모드와 래치 증폭 모드에서 M13, M14 PMOS를 공유하며 PSE, SE 제어 신호에 의해 트랜지스터의 연결이 전환될 수 있다.

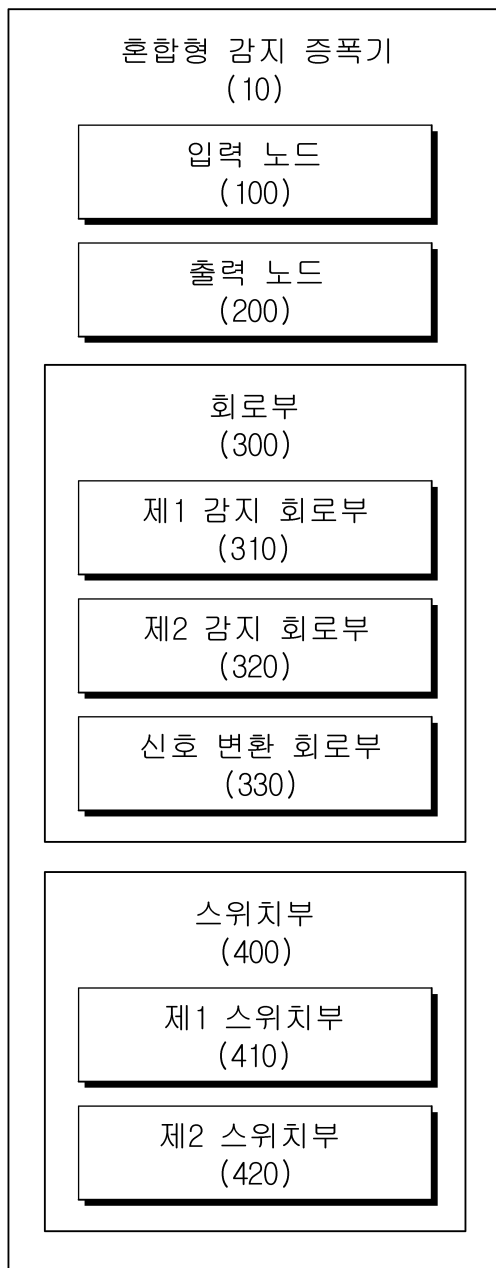
- [0073] 혼합형 감지 증폭기 회로에서 스위치 동작으로 차동 증폭 회로 동작과 전압 래치 증폭 회로 동작을 수행한다. 차동 증폭 회로의 PMOS쌍과 전압 래치 증폭 회로의 PMOS쌍을 공유해 따로 분리된 구조에 비해 면적을 줄일 수 있다.
- [0074] 도 14를 참조하면, 본 실시예에 따른 혼합형 감지 증폭기를 통해 데이터 1과 0을 읽어내는 독출 동작 결과가 정상적으로 수행됨을 알 수 있다.
- [0075] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

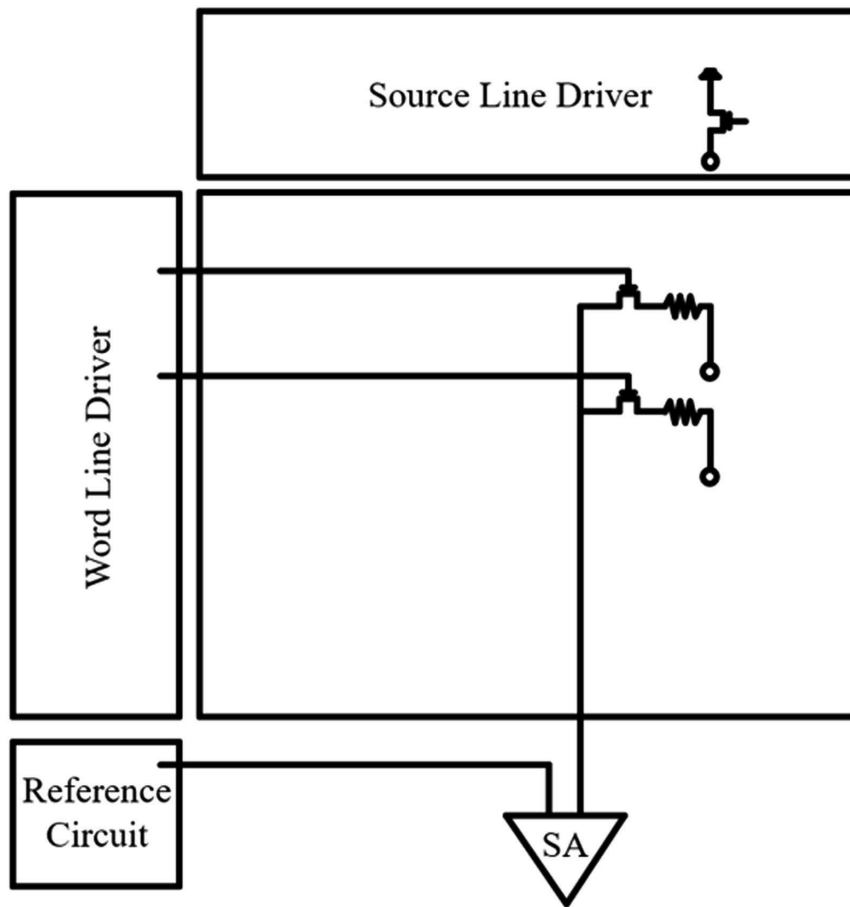
도면1



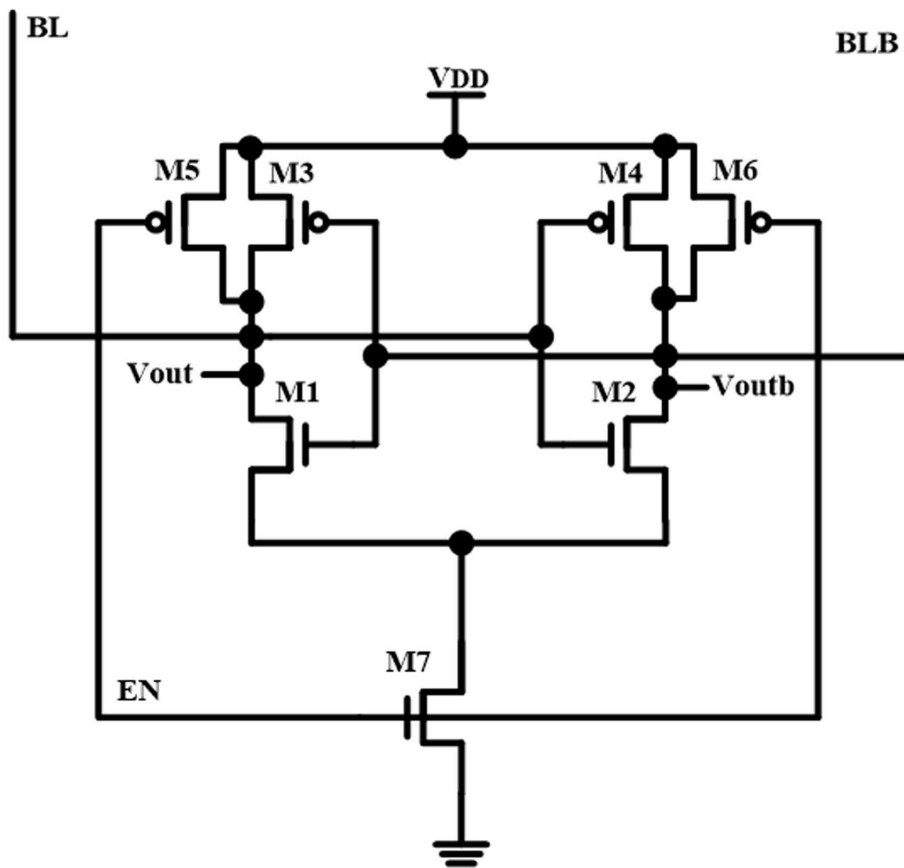
도면2



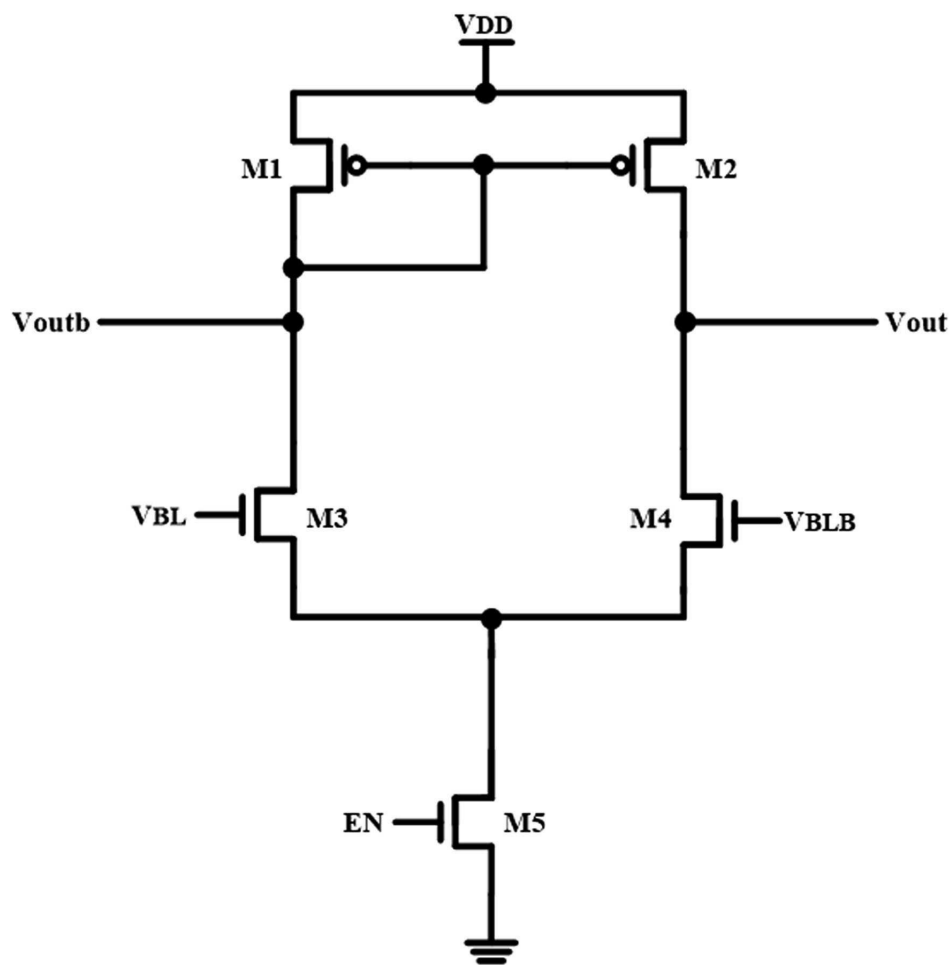
도면4



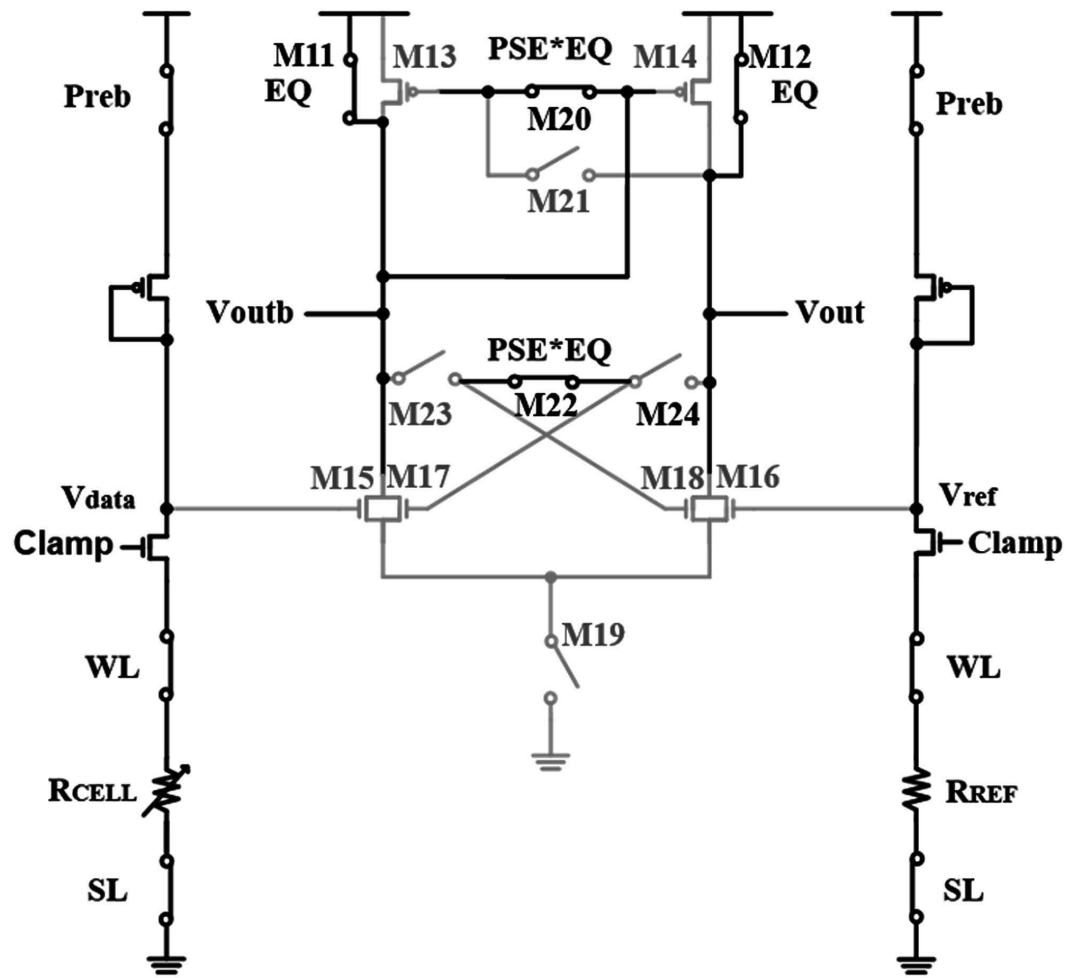
도면5



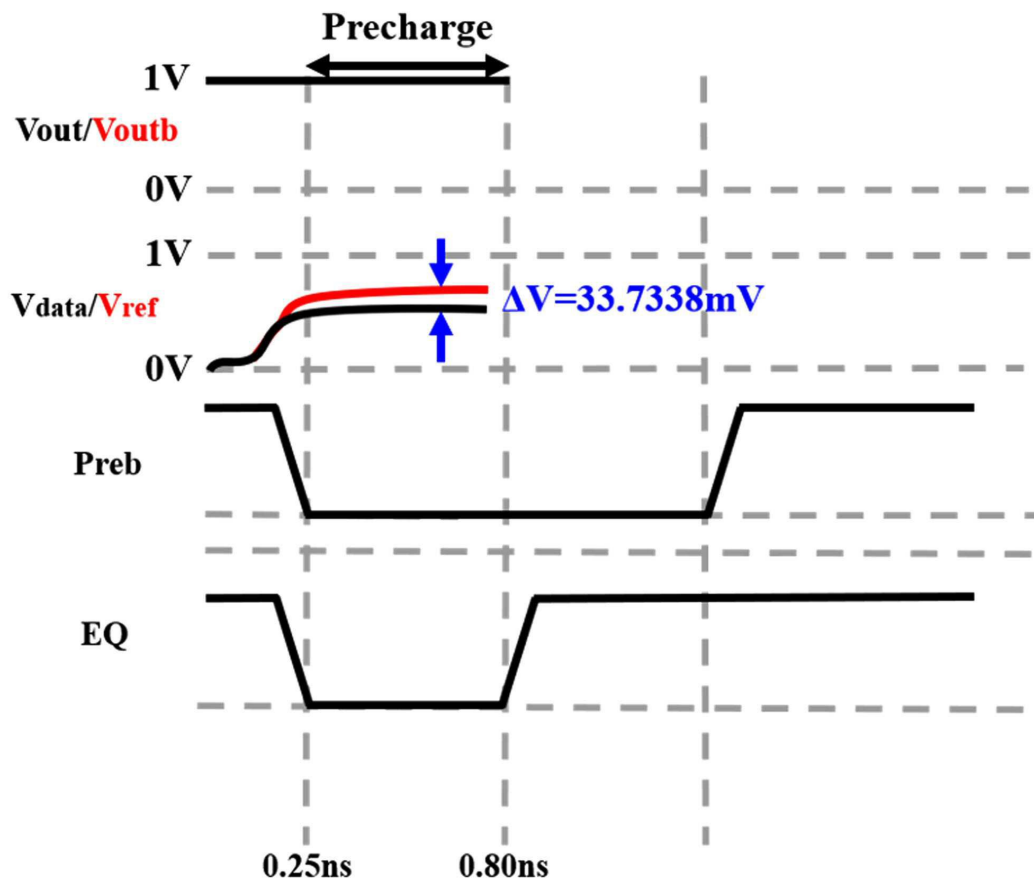
도면7



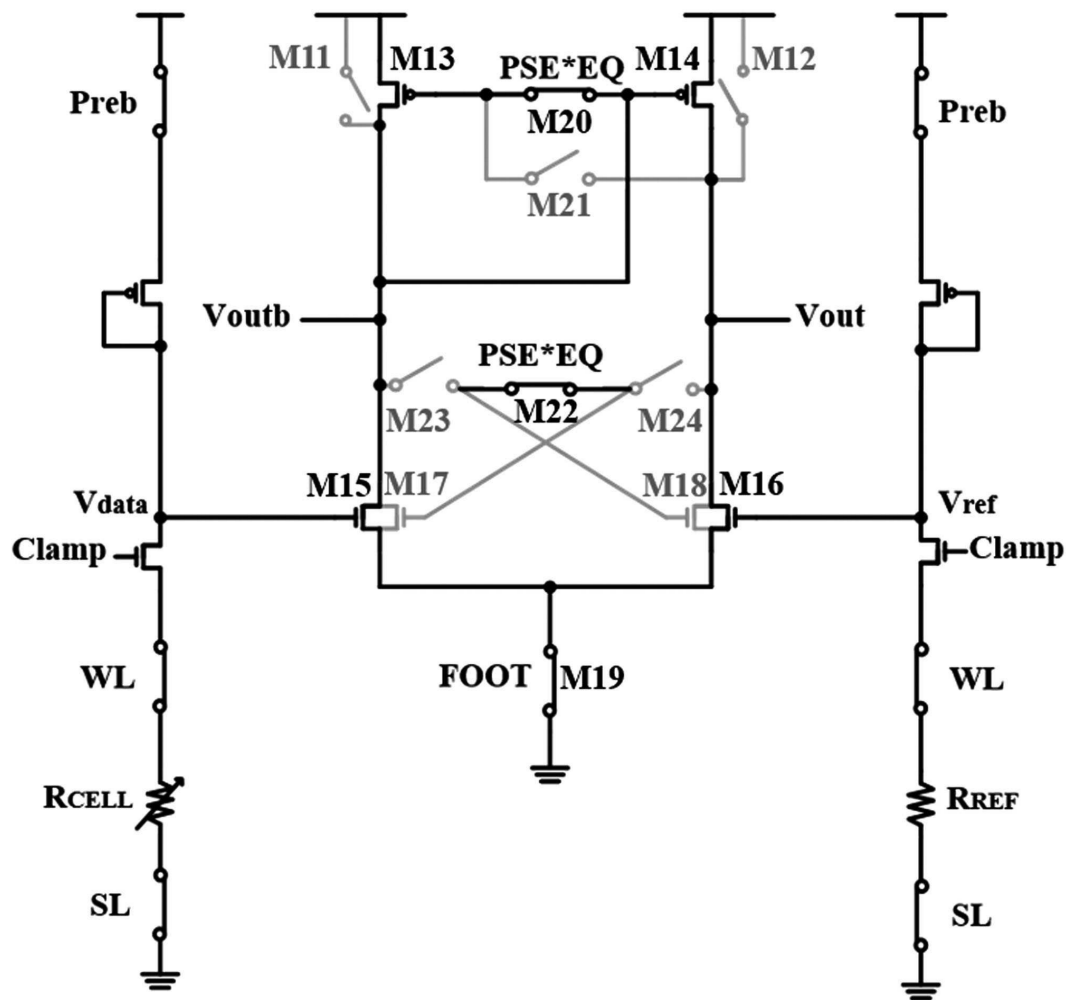
도면8



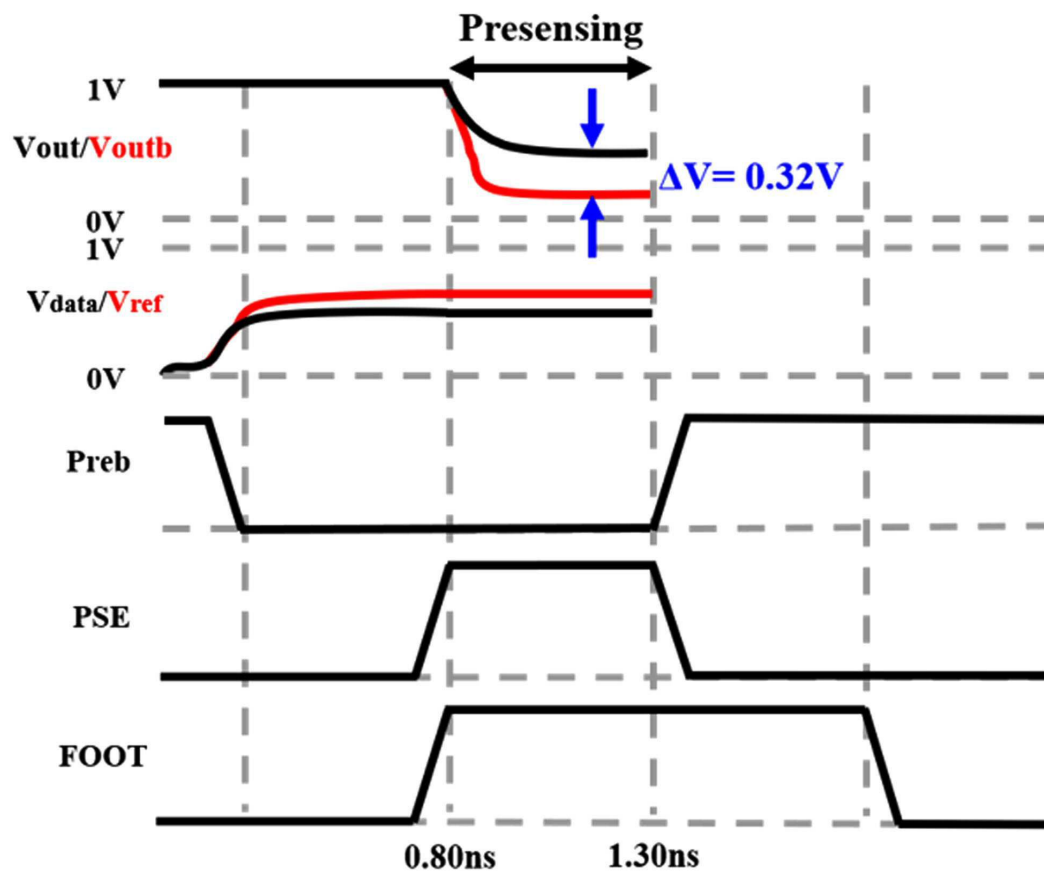
도면9



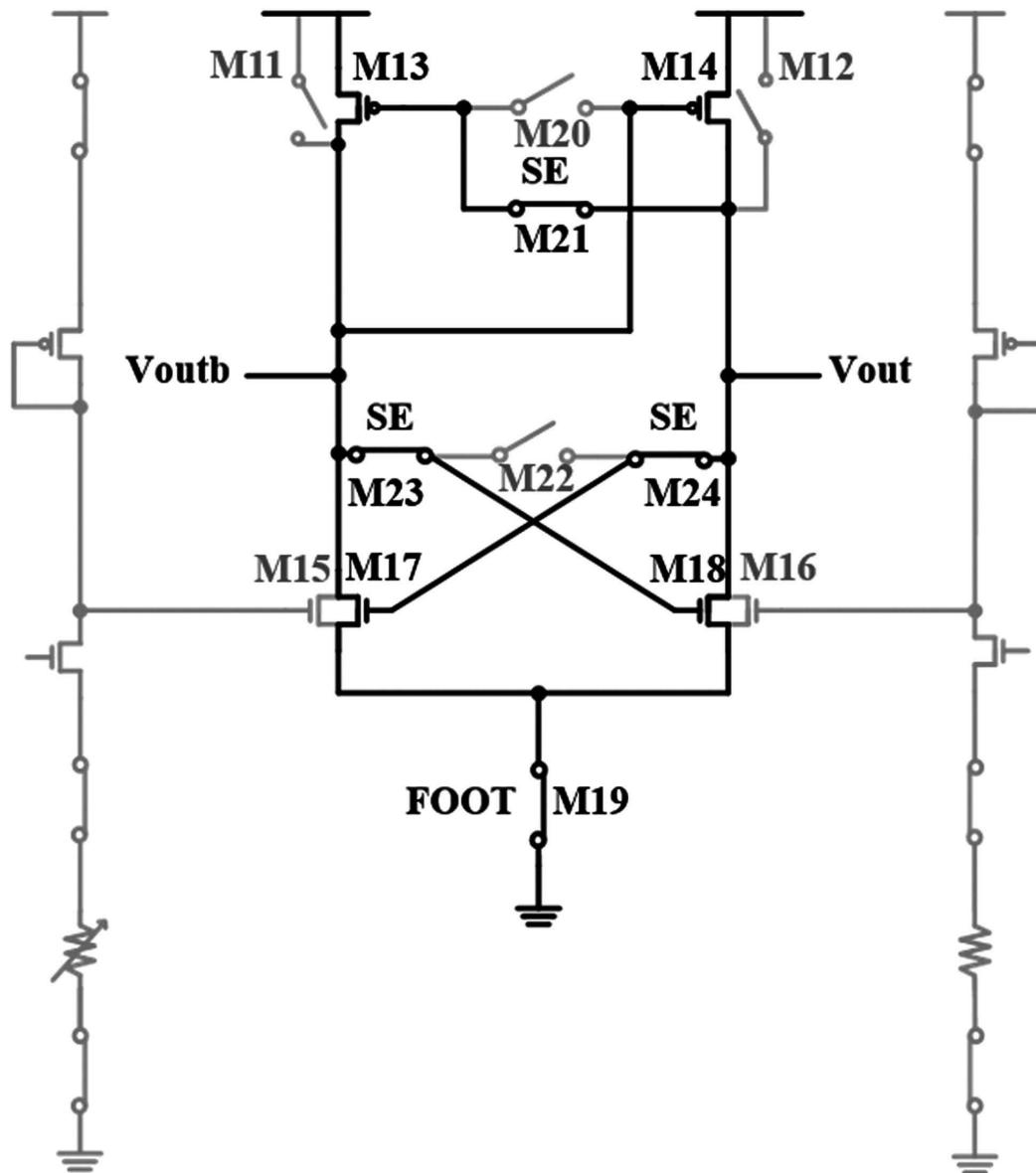
도면 10



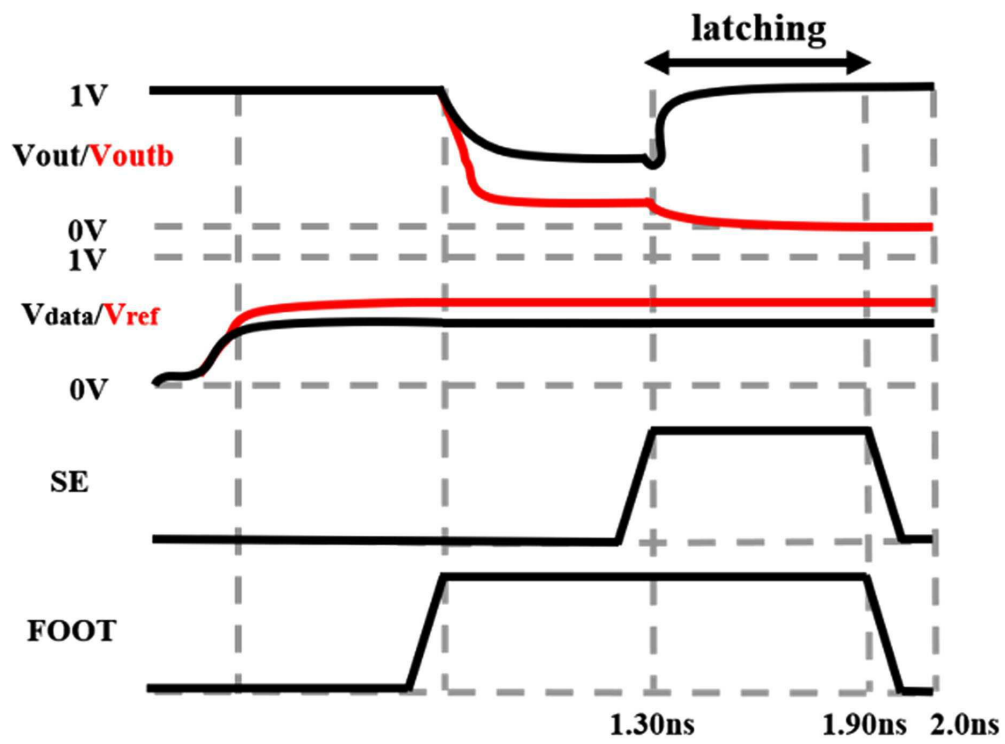
도면11



도면12



도면13



도면14

