



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월12일  
(11) 등록번호 10-2325905  
(24) 등록일자 2021년11월08일

(51) 국제특허분류(Int. Cl.)  
CO9K 13/08 (2006.01)  
(52) CPC특허분류  
CO9K 13/08 (2013.01)  
(21) 출원번호 10-2021-0093905  
(22) 출원일자 2021년07월19일  
심사청구일자 2021년07월19일  
(30) 우선권주장  
1020210036435 2021년03월22일 대한민국(KR)  
(56) 선행기술조사문헌  
KR1020180133226 A  
(뒷면에 계속)

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
임상우  
서울특별시 강남구 압구정로 321, 32-1005  
김태현  
서울특별시 서초구 서운로 104, 203-3204  
(74) 대리인  
특허법인 플러스

전체 청구항 수 : 총 13 항

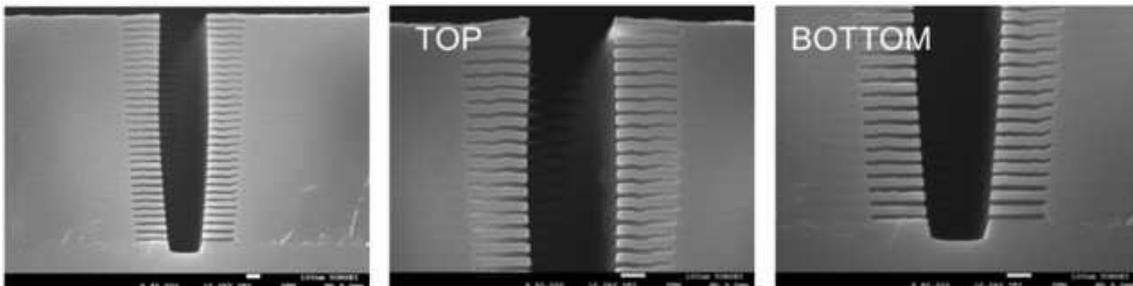
심사관 : 이동욱

(54) 발명의 명칭 실리콘 질화막 식각 조성물 및 이를 이용한 식각방법

(57) 요약

본 발명은 실리콘 질화막 식각 조성물 및 이를 이용한 식각방법에 관한 것으로, 보다 구체적으로 실리콘 질화막과 실리콘 산화막이 동시에 표면에 노출되거나 실리콘 질화막과 실리콘 산화막이 교대로 적층되어 있는 수직 적층구조에서 실리콘 산화막의 식각은 억제하고 실리콘 질화막을 선택적으로 식각하기 위한 식각 조성물 및 이를 이용한 식각방법에 관한 것이다.

대표도 - 도2



(56) 선행기술조사문헌  
KR1020180109746 A  
KR1020180004870 A  
KR1020190051656 A  
JP2020096161 A

---

## 명세서

### 청구범위

#### 청구항 1

실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하기 위한 식각 조성물로, 상기 식각 조성물 총 중량 기준, 30 내지 95중량%의 인산, 0.001 내지 20중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 식각 조성물.

#### 청구항 2

제 1항에 있어서,  
상기 유기산은,  
방향족 유기산인 식각 조성물.

#### 청구항 3

제 2항에 있어서,  
상기 유기산은,  
벤조산을 포함하는 것인 식각 조성물.

#### 청구항 4

제 1항에 있어서,  
상기 식각 조성물은,  
아미노산계 화합물, 불소계 화합물 또는 이들의 조합을 더 포함하는 것인 식각 조성물.

#### 청구항 5

제 1항에 있어서,  
상기 식각 조성물은,  
킬레이팅제를 더 포함하는 것인 식각 조성물.

#### 청구항 6

제 1항에 있어서,  
상기 식각 조성물은,  
유기 용매를 더 포함하는 것인 식각 조성물.

#### 청구항 7

제 1항에 있어서,  
상기 식각 조성물은,  
규소계 화합물을 실질적으로 포함하지 않는 것인 식각 조성물.

#### 청구항 8

제 1항에 있어서,  
상기 식각 조성물은,

실리콘 산화막 대비 실리콘 질화막 식각 선택비가 50 내지 1000인 식각 조성물.

**청구항 9**

제 1항에 있어서,

상기 식각 조성물은,

실리콘 산화막과 실리콘 질화막을 단위층으로 하는 수직 적층구조에서, 상기 실리콘 산화막의 내부 두께( $T_i$ ) 대비 외부 두께( $T_o$ )가 하기 식1을 만족하는 것인 식각 조성물:

[식1]

$$0.80 \leq T_o/T_i \leq 1.0$$

**청구항 10**

제 1항 내지 제 9항에서 선택되는 어느 한 항에 따른 식각 조성물을 이용하여, 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하는 단계;를 포함하는 식각방법.

**청구항 11**

제 11항에 있어서,

상기 식각 조성물의 식각대상은,

상기 실리콘 산화막과 실리콘 질화막이 모두 표면에 노출된 웨이퍼; 또는

상기 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 적층구조의 웨이퍼인 식각방법.

**청구항 12**

제 11항에 있어서,

상기 식각방법은,

100 °C 이상의 고온 식각을 위한 것인, 식각방법.

**청구항 13**

제 1항 내지 제 9항에서 선택되는 어느 한 항에 따른 식각 조성물을 이용하는 반도체 소자의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 실리콘 질화막 식각 조성물 및 이를 이용한 식각방법에 관한 것이다. 상세하게, 본 발명은 실리콘 질화막과 실리콘 산화막이 동시에 표면에 노출되거나 실리콘 질화막과 실리콘 산화막이 교대로 적층되어 있는 수직 적층구조에서 실리콘 산화막의 식각은 억제하고 실리콘 질화막을 선택적으로 식각하는 식각 조성물 및 이를 이용한 식각방법에 관한 것이다.

**배경 기술**

[0002] 실리콘 산화막( $SiO_2$ ) 및 실리콘 질화막( $SiN_x$ )은 반도체 제조공정에서 대표적인 절연막으로 사용되며, 각각 단독으로 사용되어 이들이 동시에 표면에 노출되거나 또는 1층 이상의 실리콘 산화막 및 1층 이상의 실리콘 질화막이 교대로 적층되어 사용되기도 한다. 최근 입체적인 수직형 낸드(vertical NAND, V-NAND) 구조의 메모리 반도체 제작에서는 하기 도 1에 도시한 바와 같이 실리콘 질화막과 실리콘 산화막이 교대로 적층되어 있는 구조가 이용된다. 이에, 이러한 다층의 수직 적층구조에서도 유효한 식각능을 구현할 수 있는 식각 조성물 및 이를 식각하는 공정이 요구된다.

[0003] 종래에는 실리콘 질화막을 식각하기 위해 고온의 인산용액을 이용하는 식각방법이 일반적으로 사용되었다. 그러나, 이러한 인산용액을 이용하는 식각방법의 경우, 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 높이

는데 한계가 있었다. 이를 해결하기 위해, 규소계 화합물을 첨가제로 투입하는 식각방법이 제안되었으나, 식각 공정 중 규소계 화합물의 안정성에 문제점이 있었다. 예를 들면, 산 개질 실리카, 산 개질 규산을 첨가제로 포함하는 식각방법의 경우, 산 개질 실리카, 산 개질 규산이 상온으로 냉각되면 서로 결합함으로써 안정성이 떨어지거나 개질 전의 상태로 되돌아감을 확인하였다. 이것을 다시 고온에서의 식각에 적용할 경우 안정적인 식각 선택비의 구현이 어려울 수 있다. 그렇다고, 산 개질 실리카, 산 개질 규산을 계속해서 고온에서 보관하거나 이송할 경우에는 고온 유지를 위한 추가적인 설비와 비용이 필요하다.

[0004] 이에, 언급한 식각 조성물 외, 고온의 인산을 사용해야 하는 종래 식각 공정의 문제점을 해결하기 위한 새로운 조성 및 공정의 개발은 여전히 필요하다.

**선행기술문헌**

**특허문헌**

[0005] (특허문헌 0001) KR 10-1769349 B1

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 목적은 실리콘 산화막과 실리콘 질화막으로 이루어진 절연막을 식각함에 있어서, 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각할 수 있는 식각 조성물을 제공하는 것이다. 특히, V-NAND 구조에서도 유효한 식각능을 발휘할 수 있는 식각 조성물을 제공하는 것이다.

[0007] 상세하게, 본 발명은 실리콘 질화막과 실리콘 산화막이 동시에 표면에 노출된 구조에서는 물론 실리콘 질화막과 실리콘 산화막이 교대로 적층되어 있는 수직 적층구조에서도 안정적으로 식각능을 구현할 수 있는 실리콘 질화막을 선택적으로 식각하기 위한 식각 조성물을 제공하는 것이다. 본 발명의 또 다른 목적은 상술된 식각 조성물을 이용하여, 실리콘 질화막을 선택적으로 식각하는 방법 및 반도체 소자의 제조방법을 제공하는 것이다.

**과제의 해결 수단**

[0008] 상술된 과제의 해결을 위하여, 본 발명에서는 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하기 위한 식각 조성물로, 상기 식각 조성물 총 중량 기준, 30 내지 95중량%의 인산, 0.001 내지 20중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 식각 조성물이 제공된다.

[0009] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 유기산은 방향족 유기산일 수 있다.

[0010] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 유기산은 벤조산을 포함하는 것일 수 있다.

[0011] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 아미노산계 화합물, 불소계 화합물 또는 이들의 조합을 더 포함하는 것일 수 있다.

[0012] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 킬레이팅제를 더 포함하는 것일 수 있다.

[0013] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 유기 용매를 더 포함하는 것일 수 있다.

[0014] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 규소계 화합물을 포함하지 않는 것일 수 있다.

[0015] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물의 실리콘 산화막 대비 실리콘 질화막 식각 선택비는 50 내지 1000일 수 있다.

[0016] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 실리콘 산화막과 실리콘 질화막을 단위 층으로 하는 수직 적층구조에서, 상기 실리콘 산화막의 내부 두께( $T_i$ ) 대비 외부 두께( $T_o$ )가 하기 식1을 만족하는 것일 수 있다.

- [0017] [식1]
- [0018]  $0.80 \leq T_{-o}/T_i \leq 1.0$
- [0019] 또한, 본 발명에서는 상술된 식각 조성물을 이용하여, 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하는 단계;를 포함하는 식각방법이 제공된다.
- [0020] 본 발명의 일 실시예에 따른 식각방법에 있어서, 상기 식각 조성물의 식각대상은 상기 실리콘 산화막과 실리콘 질화막이 모두 표면에 노출된 웨이퍼; 또는 상기 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 적층구조의 웨이퍼일 수 있다.
- [0021] 본 발명의 일 실시예에 따른 식각방법에 있어서, 상기 식각방법은 100 °C 이상의 고온 식각을 위한 것일 수 있다.
- [0022] 또한, 본 발명에서는 상술된 식각 조성물을 이용하는 반도체 소자의 제조방법이 제공된다.

**발명의 효과**

- [0023] 본 발명에 따른 식각 조성물은 규소계 화합물을 사용하지 않아도, 실리콘 산화막의 식각을 효과적으로 억제할 수 있으며, 실리콘 산화막 대비 실리콘 질화막에 대한 높은 선택비의 구현도 가능하다. 특히, 본 발명에 따른 식각 조성물은 V-NAND 구조에서도 안정적으로 유효한 식각능을 발휘할 수 있으며, 실질적으로 실리콘 산화막의 찌닝(thinning) 현상을 방지할 수 있다.
- [0024] 상술한 바와 같이, 본 발명에 따른 식각 조성물은 규소계 화합물을 사용하지 않아, 이로부터 야기될 수 있는 산화물의 재성장 발생을 현저히 줄일 수 있다는 장점을 갖는다.
- [0025] 본 발명에 따른 식각 조성물은 식각속도와 선택비 간의 트레이드-오프(trade-off) 관계를 해소하여 양자를 균형적으로 구현할 수 있고, 그에 따라 반도체의 생산원가를 절감하고 생산성을 현저히 개선할 수 있다.
- [0026] 본 발명에 따른 식각 조성물은 식각 공정 중 발생하는 부반응을 막아 실리콘 질화막 식각 시 실리콘 산화막의 막질 손상이나 실리콘 산화막의 재성장으로 인한 전기적 특성 저하를 방지하면서도 약액의 변화없이 실리콘 질화막을 안정적으로 식각함으로써, 반도체 소자 특성 저하를 방지하여 신뢰성 높은 반도체 소자를 제공할 수 있다는 이점을 제공한다.
- [0027] 상술한 바와 같이, 반도체 집적도가 향상됨에 따라 미세 패턴 구조 내에서의 선택적 식각이 중요해지고 있는 최근 트렌드에 따라 본 발명에 따른 식각 조성물은 기존의 식각 공정보다 다양한 관점에서 유리한 이점을 제공할 수 있다.

**도면의 간단한 설명**

- [0028] 도1은 실리콘 질화막과 실리콘 산화막의 수직 적층구조의 예시 도면이고,  
 도2는 본 발명에 따른 수직 적층구조에서의 식각예(실시예1)를 도시한 것이고,  
 도3은 본 발명에 따른 수직 적층구조에서의 식각예(실시예2)를 도시한 것이고,  
 도4는 본 발명에 따른 수직 적층구조에서의 식각예(실시예3)를 도시한 것이고,  
 도5는 본 발명에 따른 수직 적층구조에서의 식각예(실시예4)를 도시한 것이고,  
 도6은 본 발명에 따른 수직 적층구조에서의 식각예(실시예5)를 도시한 것이고,  
 도7은 본 발명에 따른 수직 적층구조에서의 식각예(실시예6)를 도시한 것이고,  
 도8은 본 발명에 따른 수직 적층구조에서의 식각예(실시예7)를 도시한 것이고,  
 도9는 본 발명에 따른 수직 적층구조에서의 식각예(비교예1)를 도시한 것이고,  
 도10은 본 발명에 따른 수직 적층구조에서의 식각예(비교예2)를 도시한 것이고,  
 도11은 본 발명에 따른 수직 적층구조에서의 식각예(비교예3)를 도시한 것이고,  
 도12는 본 발명에 따른 수직 적층구조에서의 식각예(비교예4)를 도시한 것이고,

도13은 본 발명에 따른 수직 적층구조에서의 식각예(비교예5)를 도시한 것이고,

도14는 본 발명에 따른 수직 적층구조에서 식각속도와 식각 선택비를 구하는 방법을 도시한 것이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하, 본 발명에 대하여 보다 구체적으로 설명한다. 이때 사용되는 기술 용어 및 과학 용어에 있어서 다른 정의가 없다면, 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 통상적으로 이해하고 있는 의미를 가지며, 하기의 설명에서 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 설명은 생략한다.
- [0030] 또한 본 명세서에서 사용되는 단수 형태는 문맥에서 특별한 지시가 없는 한 복수 형태도 포함하는 것으로 의도할 수 있다.
- [0031] 또한 본 명세서에서 특별한 언급 없이 사용된 단위는 중량을 기준으로 하며, 일 예로 % 또는 비의 단위는 중량% 또는 중량비를 의미하고, 중량%는 달리 정의되지 않는 한 전체 조성물 중 어느 하나의 성분이 조성물 내에서 차지하는 중량%를 의미한다.
- [0032] 또한 본 명세서에서 사용되는 수치 범위는 하한치와 상한치와 그 범위 내에서의 모든 값, 정의되는 범위의 형태와 폭에서 논리적으로 유도되는 증분, 이중 한정된 모든 값 및 서로 다른 형태로 한정된 수치 범위의 상한 및 하한의 모든 가능한 조합을 포함한다. 일례로서 수치값이 100 내지 10,000이고, 구체적으로 500 내지 5,000으로 한정된 경우 500 내지 10,000 또는 100 내지 5,000의 수치범위도 본 발명의 명세서에 기재된 것으로 해석되어야 한다. 본 발명의 명세서에서 특별한 정의가 없는 한 실험 오차 또는 값의 반올림으로 인해 발생할 가능성이 있는 수치범위 외의 값 역시 정의된 수치범위에 포함된다.
- [0033] 본 명세서의 용어, "포함한다"는 "구비한다", "함유한다", "가진다" 또는 "특징으로 한다" 등의 표현과 등가의 의미를 가지는 개방형 기재이며, 추가로 열거되어 있지 않은 요소, 재료 또는 공정을 배제하지 않는다.
- [0034] 본 명세서의 용어, "실질적으로~포함하지 않는다"는 특정된 요소, 재료 또는 공정과 함께 열거되어 있지 않은 다른 요소, 재료 또는 공정이 발명의 적어도 하나의 기본적인 신규한 기술적 사상에 허용할 수 없을 만큼의 현저한 영향을 미치지 않는 양으로 존재할 수 있는 것을 의미한다. 또한, 이에 의한 영향이 미미함을 의미한다.
- [0035] 본 명세서의 용어, "식각 선택비"는 실리콘 산화막의 식각속도 대비 실리콘 질화막의 식각속도의 비를 의미한다. 또한, 실리콘 산화막의 식각속도가 거의 0에 가까워지거나 식각 선택비의 수치가 큰 경우, 실리콘 질화막을 선택적으로 식각할 수 있음을 의미한다.
- [0036] 종래 실리콘 질화막을 선택적으로 식각하기 위한 식각 공정은 고온의 인산을 이용하여 진행되어 왔다. 그러나, 고온의 인산은 실리콘 질화막 뿐만 아니라 실리콘 산화막도 동시에 식각하기 때문에 실리콘 질화막에 대한 높은 식각 선택비의 구현이 어려웠다. 게다가, 입체적인 V-NAND 구조에서는 실리콘 산화막이 얇아지는 찌닝현상이 발생하는 등의 공정상 불리함을 야기하였다. 이와 같은 문제점을 해결하기 위한 방안으로, 최근 다양한 구조의 구조체 화합물을 첨가제로 사용하는 식각 조성물들이 제안되고 있다. 그러나, 이들 식각 조성물의 경우, 식각 선택비를 향상시킬 수는 있지만 첨가제에 의해 야기되는 것으로 예상되는 실리콘 산화막 주변 산화물의 재성장을 방지할 수는 없었다. 특히, 이와 같은 산화물의 재성장의 문제는 입체적인 V-NAND 구조에서 더욱 두드러진다.
- [0037] 이와 같은 인식 하에서, 본 발명자들은 구조체 화합물을 사용하지 않음에도 실리콘 산화막 대비 실리콘 질화막에 대한 높은 식각 선택비를 구현할 수 있는 새로운 조성 및 식각방법에 대한 연구를 심화하였다. 그 결과, 적어도 하나이상의 불포화기를 갖는 유기산과 인산의 조합 및 조건이 존재한다는 사실을 확인하였다.
- [0038] 이하, 본 발명에 대하여 구체적으로 설명한다.
- [0039] 본 발명의 일 실시예에 따른 식각 조성물은 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각할 수 있는 인산계 식각 조성물일 수 있다. 상술한 바와 같이, 본 발명에서는 식각 선택비를 향상시키기 위한 종래 인산계 식각 조성물에서의 첨가제인 구조체 화합물을 사용하지 않고도 향상된 식각 선택비를 구현할 수 있는 신규한 조성을 제공하고자 한다.
- [0040] 구체적으로, 본 발명의 일 실시예에 따른 식각 조성물은 상기 식각 조성물 총 중량 기준, 30 내지 95중량%의 인산, 0.001 내지 20중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 식각 조성물일 수 있다. 여기서, 상기 탄소-탄소 이중결합은 지방족 또는 지환족 탄화수소기 내에 포함되는 것일 수 있으며, 방향

족 탄화수소의 일부를 의미하는 것일 수 있다.

- [0041] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 유기산은 방향족 유기산일 수 있다. 예를 들어, 상기 방향족 유기산은 C<sub>6-30</sub> 아릴에 산기가 치환된 화합물일 수 있다. 구체적으로는, 카르복실산기가 적어도 하나이상 치환된 방향족 유기산일 수 있으며, 이의 비한정적인 일 예로는 벤조산(benzoic acid), 살리실산(salicylic acid), 프탈산(phthalic acid), 이소프탈산(Isophthalic acid), 테레프탈산(terephthalic acid), 및 4-히드록시벤조산(4-hydroxybenzoic acid) 등에서 선택되는 하나 또는 둘이상일 수 있다.
- [0042] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 유기산은 벤조산을 포함하는 것일 수 있다. 예를 들어, 상기 벤조산을 단일로 사용하거나 상술된 방향족 유기산에서 선택되는 적어도 둘이상의 혼합물로 사용될 수 있음은 물론이다.
- [0043] 일 예로, 상기 방향족 유기산은 상기 식각 조성물 총 중량 기준, 0.01 내지 15중량%, 또는 0.1 내지 10중량%, 또는 1 내지 8중량%, 또는 3 내지 7중량%로 포함될 수 있다.
- [0044] 또한, 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 유기산은 벤조산을 포함하되, 탄소-탄소 이중결합을 포함하는 지방족 또는 지환족 유기산과의 조합으로 사용될 수 도 있다. 여기서, 상기 탄소-탄소 이중결합을 포함하는 지방족 또는 지환족 유기산의 비한정적인 일 예로는 아크릴산, 말레산 등을 들 수 있으나, 이에 한정되는 것은 아니다.
- [0045] 일 예로, 상기 방향족 유기산이 벤조산을 포함하는 혼합물인 경우, 상기 벤조산 1중량부 기준 0.1 내지 1중량부의 제2유기산을 포함하는 혼합물일 수 있다. 여기서, 상기 제2유기산은 상기 벤조산을 제외한 상술된 방향족 유기산, 지방족 유기산 및 지환족 유기산에서 선택되는 것일 수 있다. 또한, 상기 제2유기산은 상기 벤조산 1중량부 기준 0.1 내지 0.8중량부, 또는 0.1 내지 0.5중량부, 또는 0.1 내지 0.3중량부로 포함될 수 있다.
- [0046] 본 발명의 일 실시예에 따른 식각 조성물은 상기 식각 조성물 총 중량 기준, 40 내지 95중량%의 인산, 0.01 내지 15중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 식각 조성물일 수 있다. 또는 45 내지 95중량%의 인산, 0.1 내지 10중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 것일 수 있고, 또는 50 내지 90중량%의 인산, 1 내지 8중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 것일 수 있고, 또는 50 내지 85중량%의 인산, 3 내지 7중량%의 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하는 것일 수 있다.
- [0047] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 아미노산계 화합물, 불소계 화합물 또는 이들의 조합을 더 포함하는 것일 수 있다.
- [0048] 상기 아미노산계 화합물은 제한되는 것은 아니나, 카르복실산기와 아미노기 사이에 탄소 1개원자를 포함하는 알파-아미노산일 수 있다. 이의 비한정적인 일 예로는 히스티딘(C<sub>6</sub>H<sub>9</sub>N<sub>3</sub>O<sub>2</sub>), 아르기닌(C<sub>6</sub>H<sub>14</sub>N<sub>4</sub>O<sub>2</sub>), 알라닌(C<sub>3</sub>H<sub>7</sub>NO<sub>2</sub>), 아스파르트산(C<sub>4</sub>H<sub>7</sub>NO<sub>4</sub>), 글라이신(C<sub>2</sub>H<sub>5</sub>NO<sub>2</sub>) 등을 들 수 있으나, 이에 한정되는 것은 아니다. 아울러, 히스티딘과 유사한 형태의 고리형 화합물인 피라졸계 화합물에서 선택되는 것도 일 양태일 수 있다.
- [0049] 일 예로, 상기 아미노산계 화합물은 상기 식각 조성물 총 중량 기준, 0.001 내지 10중량%, 또는 0.05 내지 5중량%, 또는 0.1 내지 3중량%, 또는 0.5 내지 2중량%로 포함될 수 있다.
- [0050] 상기 불소계 화합물의 비한정적인 일 예로는 불산(HF), 불화암모늄(ammonium fluoride), 중불화암모늄(ammonium bifluoride), 불화테트라메틸암모늄(tetramethyl ammonium fluoride), 불화테트라에틸암모늄(tetraethyl ammonium fluoride), 불화테트라프로필암모늄(tetrapropyl ammonium fluoride), 불화테트라부틸암모늄(tetrabutyl ammonium fluoride), 불화테트라펜틸암모늄(tetrapentyl ammonium fluoride) 등을 들 수 있으나, 이에 한정되는 것은 아니다.
- [0051] 일 예로, 상기 불소계 화합물은 상기 식각 조성물 총 중량 기준, 0.0001 내지 10중량%, 또는 0.0005 내지 5중량%, 또는 0.001 내지 3중량%, 또는 0.001 내지 2중량%로 포함될 수 있다.
- [0052] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 킬레이팅제를 더 포함하는 것일 수 있다.
- [0053] 상기 킬레이팅제는 시트르산(citric acid), 에티드론산(etidronic acid), 에틸렌디아민테트라아세트산(ethylene diaminetetraacetic acid), 니트릴로트리메틸포스포닉산(nitrilo trimethyl phosphonic acid), 니트릴로트리아

세트산(nitrilotriacetic acid) 등을 들 수 있으나, 이에 한정되는 것은 아니다.

- [0054] 일 예로, 상기 킬레이팅제는 상기 식각 조성물 총 중량 기준, 0.1 내지 10중량%, 또는 0.5 내지 8중량%, 또는 0.5 내지 5중량%, 또는 0.5 내지 3중량%로 포함될 수 있다.
- [0055] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 유기 용매를 더 포함하는 것일 수 있다.
- [0056] 상기 유기 용매는 알코올계 용매, 계통계 용매 또는 이들의 조합인 극성용매일 수 있으며, 이의 비한정적인 일 예로는 메탄올, 에탄올, 프로판올, 부탄올, 아세톤 또는 이들의 조합일 수 있으나, 이에 한정되는 것은 아니다.
- [0057] 일 예로, 상기 유기 용매는 상기 식각 조성물 총 중량 기준, 1 내지 60중량%, 또는 1 내지 50중량%, 또는 3 내지 40중량%로 포함될 수 있다.
- [0058] 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 인산, 탄소-탄소 이중결합을 포함하는 유기산 및 잔량의 물을 포함하되, 상술된 아미노산계 화합물, 불소계 화합물, 킬레이팅제, 유기 용매 또는 이들의 조합을 포함하는 것일 수 있다.
- [0059] 본 발명에 따른 식각 조성물은 상술한 바와 같은 단순한 조성 및 조건만으로, 목적하는 식각대상에 대한 우수한 식각능의 구현이 가능하다. 그러나, 본 발명에 따른 조성 또는 조건만을 만족하는 경우에는 동일 효과의 구현이 불가능하다.
- [0060] 일반적으로, 블랭킷(blanket) 웨이퍼에서는 매우 저하된 실리콘 산화막의 식각속도 및 우수한 식각 선택비(실리콘 질화막 식각속도/실리콘 산화막 식각속도)를 나타내더라도, 실제의 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 수직 적층구조의 웨이퍼에서는 전혀 다른 식각특성을 나타내는 경우가 많다(Microelectronic Engineering 221 (2020) 111191). 현대, 본 발명에 따르면 블랭킷 웨이퍼에서는 물론 실제의 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 수직 적층구조의 웨이퍼에서 보다 향상된 식각특성을 나타낼 수 있다는 점에서 주목된다.
- [0061] 이와 같은 이유로, 본 발명의 일 실시예에 따른 식각 조성물의 식각대상은 상기 실리콘 산화막과 실리콘 질화막이 모두 표면에 노출된 웨이퍼; 또는 상기 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 적층구조의 웨이퍼; 등일 수 있으며, 다양한 양태로 적층된 형태 모두를 포괄할 수 있다. 또한, 상기 단위층은 상기 실리콘 산화막 상에 실리콘 질화막이 적층된 것이거나 상기 실리콘 질화막 상에 실리콘 산화막이 적층된 것일 수 있다.
- [0062] 또한, 본 발명의 일 실시예에 따른 식각 조성물의 잔량은 물이다. 상기 물은 특별히 한정되는 것은 아니나, 구체적으로는 증류수 또는 탈이온수(deionized water: DIW)일 수 있으며, 보다 구체적으로는 반도체 공정용 탈이온수로서, 비저항 값이 18.25 MΩ·cm 이상인 것일 수 있다.
- [0063] 본 발명의 일 실시예에 따른 식각 조성물은 규소 원자(Si)를 포함하는 화합물을 실질적으로 포함하지 않는 것일 수 있다. 여기서, 상기 규소계 화합물은 무기물, 유기물 또는 이들의 혼합물일 수 있다.
- [0064] 본 발명의 일 실시예에 따른 식각 조성물의 식각 선택비는 60 내지 1000일 수 있다. 또는 60 내지 600, 또는 200 내지 600일 수 있다.
- [0065] 또한, 본 발명의 일 실시예에 따른 식각 조성물이 상술된 아미노산계 화합물, 불소계 화합물 또는 이들의 조합을 더 포함하는 경우, 상기 식각 선택비가 더욱 향상될 수 있다. 또한, 상기 식각 조성물은 실리콘 산화막에 대한 식각속도 억제제는 물론 실리콘 또는 폴리실리콘에 대한 식각속도 억제능에 더욱 향상된 이점을 제공할 수 있다.
- [0066] 일 예로, 상기 식각 조성물은 상기 폴리실리콘 대비 상기 실리콘 질화막에 대한 식각 선택비( $ER_{Si_3N_4}/ER_{p-Si}$ )가 15 이상, 또는 18이상, 또는 19 내지 50일 수 있다.
- [0067] 또한, 본 발명의 일 실시예에 따른 식각 조성물이 상술된 킬레이팅제를 더 포함하는 경우, 상술된 킬레이팅제를 포함하지 않는 경우에 비해 실리콘 질화막의 식각 속도( $ER_{Si_3N_4}$ )를 10 내지 20% 향상시키는 이점을 제공할 수 있다.
- [0068] 일 예로, 상기 식각 조성물은 상기 실리콘 질화막 식각 속도( $ER_{Si_3N_4}$ , Å/분)가 170 이상, 또는 180 이상 내지 250일 수 있다.

- [0069] 또한, 본 발명의 일 실시예에 따른 식각 조성물이 상술된 유기 용매를 포함하는 경우, 상온에서 벤조산의 용해를 가능하게 하여 균일한 식각 조성물의 제조를 가능하게 하는 이점을 제공할 수 있다.
- [0070] 또한, 본 발명의 일 실시예에 따른 식각 조성물에 있어서, 상기 식각 조성물은 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 수직 적층구조에서, 상기 실리콘 산화막의 내부 두께( $T_i$ ) 대비 외부 두께( $T_o$ )가 하기 식1을 만족하는 것일 수 있다.
- [0071] [식1]
- [0072]  $0.80 \leq T_o/T_i \leq 1.0$
- [0073] 하기 도13에 도시한 바에 따르면, 구체적으로 상기 실리콘 산화막의 내부 두께( $T_i$ )는 실리콘 질화막이 식각되는 식각 깊이방향의 말단에서 측정된 실리콘 산화막의 두께를 의미하고, 상기 실리콘 산화막의 외부 두께( $T_o$ )는 상기  $T_i$ 에서 반대방향으로 대향된 말단에서 측정된 실리콘 산화막의 두께를 의미하는 것일 수 있다.
- [0074] 예를 들면, 상기 식1( $T_o/T_i$ )이 1에 수렴하는 값을 갖는 경우, 실리콘 산화막의 식각 발생이 없음을 의미하는 것일 수 있다.
- [0075] 예를 들면, 상기 식각 조성물은 상기 식1( $T_o/T_i$ )이 0.85이상, 또는 0.88 내지 1을 만족하는 것일 수 있다.
- [0076] 또한, 본 발명의 일 실시예에 따른 식각 조성물은 통상적으로 공지된 방법에 의해서 제조가 가능하며, 반도체 공정용의 순도를 가지는 것이라면 제한되지 않는다.
- [0077] 또한, 본 발명은 상술한 식각 조성물을 이용하여 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하는 식각방법 및 상기 식각방법을 포함하는 반도체 소자의 제조방법을 제공한다.
- [0078] 본 발명의 일 실시예에 따른 식각방법에 있어서, 상기 가열은 100 내지 500℃ 또는 100 내지 300℃, 또는 150 내지 300℃, 또는 160 내지 200℃범위의 공정 온도에서 수행될 수 있으며, 적정 온도는 다른 공정과 기타 요인을 고려하여 필요에 따라 변경될 수 있음은 물론이다.
- [0079] 본 발명의 일 실시예에 따른 식각방법에 있어서, 상기 식각대상은 상기 실리콘 산화막과 실리콘 질화막이 모두 표면에 노출된 웨이퍼; 또는 상기 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 적층구조의 웨이퍼; 동일 수 있으며, 다양한 양태로 적층된 형태 모두를 포괄할 수 있다. 또한, 상기 단위층은 상기 실리콘 산화막 상에 실리콘 질화막이 적층된 것이거나 상기 실리콘 질화막 상에 실리콘 산화막이 적층된 것일 수 있다. 상기 실리콘 산화막과 실리콘 질화막을 단위층으로 하는 적층구조의 웨이퍼의 구체적인 양태는, 하기 도1에 도시하고 있는 수직 적층구조로 예시될 수 있다.
- [0080] 상기 실리콘 질화막은 SiN막, SiON막 및 도핑된 SiN막(doped SiN layer) 등을 포함할 수 있으며, 게이트 전극 등의 형성 시 절연막으로 주로 사용되는 막질을 의미하나, 실리콘 산화막 대비 실리콘 질화막을 선택적으로 식각하기 위한 목적을 가지는 기술분야라면 제한되지 않고 사용될 수 있다.
- [0081] 또한, 상기 실리콘 산화막은 당업계에서 통상적으로 사용되는 실리콘 산화막이라면 제한되지 않으며, 일 예로, SOD(Spin On Dielectric)막, HDP(High Density Plasma)막, 열산화막(thermal oxide), BPSG(Borophosphate Silicate Glass)막, PSG(Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSZ(Polysilazane)막, FSG(Fluorinated Silicate Glass)막, LP-TEOS(Low Pressure Tetra Ethyl Ortho Silicate)막, PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate)막, HTO(High Temperature Oxide)막, MTO(Medium Temperature Oxide)막, USG(Undopped Silicate Glass)막, SOG(Spin On Glass)막, APL(Advanced Planarization Layer)막, ALD(Atomic Layer Deposition)막, PE-산화막(Plasma Enhanced oxide) 및  $O_3$ -TEOS( $O_3$ -Tetra Ethyl Ortho Silicate) 등에서 선택되는 적어도 하나 이상의 막일 수 있다. 하지만 이는 구체적인 일 예일 뿐, 이에 제한되는 것은 아니다.
- [0082] 본 발명의 일 실시예에 따른 식각방법에 있어서, 상기 웨이퍼는 통상의 것이라면 제한되지 않고 사용될 수 있으며, 예를 들어 실리콘, 석영, 유리, 실리콘 웨이퍼, 폴리실리콘 웨이퍼, 고분자, 금속 및 금속 산화물 등이 사용될 수 있으나, 이에 한정되지 않는다. 상기 고분자 기판의 일 예로, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate), 폴리카보네이트(Polycarbonate), 폴리이미드(polyimide), 폴리에틸렌 나프탈레이트(polyethylene naphthalate), 환상올레핀 폴리머(cycloolefin polymer) 등과 같은 필름 기판이 사용될 수 있음

나, 이에 한정되지 않는다. 본 발명에 따르면, 통상의 실리콘 웨이퍼 또는 폴리실리콘 웨이퍼에 데미지를 최소화할 수 있어 좋다.

[0083] 또한, 본 발명은 상술한 식각 조성물을 이용하여 실리콘 산화막의 재성장을 억제하는 방법을 제공한다. 상기 방법은 당업계에서 통상적으로 사용되는 방법에 따라 수행될 수 있음은 물론이다.

[0084] 이하 실시예 및 비교예를 바탕으로 본 발명을 더욱 상세히 설명한다. 다만 하기 실시예 및 비교예는 본 발명을 더욱 상세히 설명하기 위한 하나의 예시일 뿐, 본 발명이 하기 실시예 및 비교예에 의해 제한되는 것은 아니다. 발명에서 달리 언급하지 않는 한 온도는 모두 °C 단위를 의미하고, 다른 언급이 없는 한 조성물의 사용량은 중량%의 단위를 의미한다.

[0085] (실시예1 내지 실시예7 및 비교예1 내지 비교예5)

[0086] 85 중량% 인산(15 중량% H<sub>2</sub>O)의 약액을 준비하고, 식각 조성물 총 중량을 기준으로 아래 기재된 각 성분과 잔량의 약액을 혼합한 후 상온(25°C)에서 5분간 500 rpm의 속도로 교반하여, 각 식각 조성물을 제조하였다.

[0087] 실시예1: 벤조산 (6.6 중량%)

[0088] 실시예2: 벤조산 (6.6 중량%) + 시트르산 (1.0 중량%)

[0089] 실시예3: 벤조산 (6.5 중량%) + 에티드론산 (1.1 중량%)

[0090] 실시예4: 벤조산 (6.6 중량%) + L-히스티딘 (0.84 중량%)

[0091] 실시예5: 벤조산 (6.6 중량%) + HF (0.001 중량%)

[0092] 실시예6: 프탈산 (9.0 중량%)

[0093] 실시예7: 벤조산 (4.2 중량%) + 에탄올 (37.9 중량%)

[0094] 비교예1: 85 중량% 인산 (첨가물 없음)

[0095] 비교예2: 테트라에톡시실란 (19.8 중량%)

[0096] 비교예3: 규산 (0.1 중량%) + HF (0.1 중량%)

[0097] 비교예4: 비닐트리메톡시실란 (0.85 중량%)

[0098] 비교예5: 알릴트리메톡시실란 (0.1 중량%)

[0099] (평가방법)

[0100] **식각평가①**

[0101] 상기 실시예 및 비교예에서 제조된 식각 조성물의 식각능을 평가하기 위해, 실리콘 웨이퍼 상에 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>)과 실리콘 산화막(SiO<sub>2</sub>)을 PECVD 방식으로 교대로 30회 증착하고 포토리소그래피 과정 후 건식식각을 통하여 패터닝을 진행하여, 패터화된 실리콘 질화막/실리콘 산화막(단위층, 1단) 30단 수직 적층구조를 제작하였다(패턴 웨이퍼).

[0102] 각각의 실험 완료 후, 각각의 웨이퍼를 탈이온수로 세정한 후 질소 가스를 이용하여 건조하였다.

[0103] 식각 공정 후 건조된 각각의 30단 수직 적층구조에 대한 평가는, FE-SEM (Field Emission Scanning Electron Microscopes, 모델명: JEOL-7610-Plus, 제조사: JEOL Ltd.)를 이용하여 수평방향으로 식각된 실리콘 질화막의 두께와 남아있는 실리콘 산화막의 두께를 측정하였다. 또한, 이를 통해 수득된 식각속도 값을 통해 실리콘 산화막 대비 실리콘 질화막의 선택비(ER<sub>Si<sub>3</sub>N<sub>4</sub></sub>/ER<sub>SiO<sub>2</sub></sub>)를 계산하였다.

[0104] 그 결과는 하기 표1에 도시하였다.

[0105] 또한, 각 식각예의 30단 수직 적층구조 단면을 SEM으로 측정하고, 그 이미지를 하기 도2 내지 도13에 도시하였다.

[0106] **식각평가②**

[0107] 또한, 실리콘 질화막/실리콘 산화막 30단 수직 적층구조에서 얻어진 실리콘 질화막 식각속도(ER<sub>Si<sub>3</sub>N<sub>4</sub></sub>)와 실리콘

산화막 식각속도( $ER_{SiO_2}$ ) 및 그 비에 의해 결정되는 식각 선택비( $ER_{Si_3N_4}/ER_{SiO_2,o}$ )를 하기 도14의 방법에 의해 구하였다. 구체적으로, 실리콘 질화막/실리콘 산화막 30단 수직 적층구조에서 수평방향으로의 실리콘 질화막의 식각속도( $ER_{Si_3N_4}$ )를 구하였으며, 실리콘 산화막의 경우 수평방향으로의 식각속도를 구하기 난해하므로 실리콘 산화막 층의 두께의 변화로부터 수직방향의 실리콘 산화막 식각속도( $ER_{SiO_2}$ )를 구하였다. 특히, 실리콘 산화막의 외부와 내부의 두께가 상이한 경우가 많으므로, 두 군데에서의 실리콘 산화막 식각속도(외부  $ER_{SiO_2,o}$ 와 내부  $ER_{SiO_2,i}$ )를 각기 표기하였고, 외부와 내부의 두께비( $T_o/T_i$ )도 표기하였다. 실리콘 질화막/실리콘 산화막의 대표 식각 선택비는 외부 실리콘 산화막 식각속도에 대한 수평방향으로의 내부 실리콘 질화막의 식각 속도의 비( $ER_{Si_3N_4}/ER_{SiO_2,o}$ )로 나타내었다.

[0108] 그 결과는 하기 표1에 도시하였다.

[0109] **식각평가③**

[0110] 블랭킷 실리콘 질화막 웨이퍼와 폴리실리콘 웨이퍼를 각기 제작하였다(블랭킷 웨이퍼). 준비된 각각의 식각 조성물과 각각의 웨이퍼를 이용하여, 상기 식각평가①의 방법과 유사하게 식각평가를 수행하였다. 여기서, 상기 식각평가는 160 °C, 상압에서 수행되었다. 참고로, 블랭킷 웨이퍼는 엘립소미터(모델명: MG-1000, 제조사: Nano-View)를 이용하여 실리콘 질화막과 실리콘 산화막의 두께를 측정하고 실험 전후의 두께 차이를 통해 식각속도를 계산하였다. 이를 통해 수득된 식각속도 값을 통해 폴리실리콘 대비 실리콘 질화막의 선택비( $ER_{Si_3N_4}/ER_{p-Si}$ )를 계산하였다.

[0111] 그 결과는 하기 표2에 도시하였다.

**표 1**

패턴 웨이퍼	실리콘 질화막 $ER_{Si_3N_4}$ (Å/분)	실리콘 산화막 외부 $ER_{SiO_2,o}$ (Å/분)	실리콘 산화막 내부 $ER_{SiO_2,i}$ (Å/분)	실리콘 산화막 내·외부 두께비 ( $T_o/T_i$ )	대표 식각 선택비 ( $ER_{Si_3N_4}/ER_{SiO_2,o}$ )
실시예1	161	0.75	0	0.93	215
실시예2	183	0.67	0	0.93	273
실시예3	189	1.33	0.17	0.88	142
실시예4	168	0.33	0.17	0.98	509
실시예5	188	0.33	0.33	1	570
실시예6	170	2.7	0.83	0.80	63
실시예7	151	0.5	0	0.95	302
비교예1	188	4.33	0.33	0.59	43
비교예2	41	-1.67	0.33	1.21	-
비교예3	408	-5.5	-0.31	1.51	-
비교예4	161	-8.5	0.08	1.87	-
비교예5	226	-4.75	-2.42	1.19	-

[0112]

[0113] 상기 표 1에 기재된 바와 같이, 본 발명에 따른 식각 조성물은 161 Å/분이상의 실리콘 질화막에 대한 식각속도의 구현이 가능하다. 특히, 본 발명에 따른 식각 조성물을 이용하는 경우, 규소계 화합물을 포함하지 않음에도 불구하고 실리콘 산화막 대비 실리콘 질화막에 대한 높은 식각 선택비를 안정적으로 구현할 수 있다. 구체적으로, 본 발명에 따른 식각 조성물의 식각 선택비는 63이상을 만족함과 동시에 실리콘 산화막에 대한 씨닝현상과 재성장이 확인되지 않았다. 더욱이, 본 발명에 따른 식각 조성물이 히스티딘 또는 불산 등을 더 포함하는 경우, 식각 선택비에 보다 이점을 제공할 수 있다.

[0114] 반면, 비교예1의 경우, 실리콘 질화막에 대한 높은 식각속도의 구현이 가능하지만 실리콘 산화막을 동시에 식각하게 되어 식각 선택비에 이점을 제공할 수 없음을 확인할 수 있다. 더욱이, 규소계 화합물을 포함하는 식각 조성물인 비교예2 내지 비교예5의 모든 경우, 실리콘 산화막에 대한 씨닝현상이 발생하였다.

표 2

블랭킷 웨이퍼	실리콘 질화막 ER <sub>Si3N4</sub> (Å/분)	폴리실리콘 ER <sub>p-Si</sub> (Å/분)	폴리실리콘 대비 실리콘 질화막 식각 선택비 (ER <sub>Si3N4</sub> /ER <sub>p-Si</sub> )
실시예1	55.2	3.3	16.7
실시예3	52.9	2.5	21.2
실시예4	55.1	2.9	19.0
실시예5	62.9	3.1	20.3
실시예6	47.8	5.8	8.2
실시예7	43.0	5.2	8.3
비교예1	60.6	7.5	8.1
비교예2	42.7	0.08	533.8
비교예3	108.0	8.5	12.7
비교예4	42.8	-0.33	-
비교예5	53.1	6.1	8.7

[0115]

[0116] 상기 표 2에 기재된 바와 같이, 본 발명에 따른 식각 조성물은 실리콘 산화막에 대한 식각속도 억제는 물론 폴리실리콘 등과 같은 절연막에 대한 식각속도 역시도 안정적으로 억제할 수 있다. 특히, 본 발명에 따른 식각 조성물이 에티드론산, 히스티딘 또는 불화수소를 더 포함하는 실시예3 내지 실시예5의 경우, 폴리실리콘에 대한 식각속도를 현저하게 낮출 수 있음을 확인하였다.

[0117] 한편, 식각된 실리콘 산화막 내·외부 두께비(T<sub>o</sub>/T<sub>i</sub>)를 대비하여 본 결과, 상기 표1 및 하기 도 2 내지 도 8에 도시한 바와 같이, 본 발명에 따른 식각 조성물은 수직 적층구조에서 실리콘 산화막 내·외부 두께비(T<sub>o</sub>/T<sub>i</sub>)가 0.8 내지 1.0으로 확인되었다. 특히, 벤조산을 포함하는 실시예의 경우 보다 향상된 효과를 구현함을 확인하였다.

[0118] 반면, 상기 표1 및 하기 도 9에 도시한 바와 같이, 비교예1의 경우 식각된 실리콘 산화막 내·외부 두께비(T<sub>o</sub>/T<sub>i</sub>)가 0.59로 현저하게 낮았고, 바닥부(bottom)에서의 끝부분을 보면 실리콘 산화막의 두께가 얇아져서 시각적으로도 공정이 열위함을 확인할 수 있었다. 또한, 상기 표1 및 하기 도 10 내지 도 13에 도시한 바와 같이, 비교예2 내지 비교예5의 경우 바닥부(bottom)에서의 끝부분을 보면 실리콘 산화막의 두께가 두꺼워져 산화막의 재성장이 확인되었다. 또한, 비교예2의 경우, 동일한 공정시간에서도 실리콘 질화막의 식각이 거의 이루어지지 않았음이 확인되었다.

[0119] 이와 같은 결과로부터, 본 발명에 따른 식각 조성물을 이용하여 식각공정을 수행하는 경우, 수직 적층구조에서도 실리콘 산화막에 대한 씨닝현상은 물론 산화물의 재성장 가능성을 억제하여 매우 안정적으로 실리콘 질화막을 선택적으로 식각할 수 있음을 알 수 있다. 또한, 본 발명에 따르면, 수직 적층구조에서의 식각공정 시에도 실리콘 산화막의 막질 손상을 최소화함과 동시에 실리콘 산화막에 대한 씨닝현상과 산화물의 재성장 가능성을 완벽하게 방지할 수 있어 공정의 안정성 및 신뢰성을 확보할 수 있다.

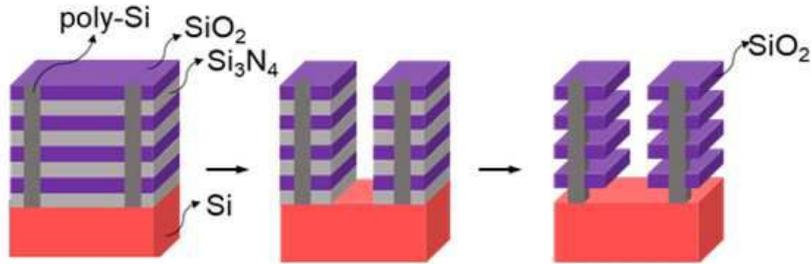
[0120] 따라서, 본 발명에 따른 식각 조성물은 실리콘 산화막의 막질 손상이나 실리콘 산화막의 과식각으로 인한 전기적 특성 저하 및 재성장 발생을 방지하면서 안정적으로 실리콘 질화막의 선택적 식각을 가능케 함으로써, 반도체 소자 특성을 향상시킬 수 있다.

[0121] 상기 본 발명은 전술한 실시예에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내

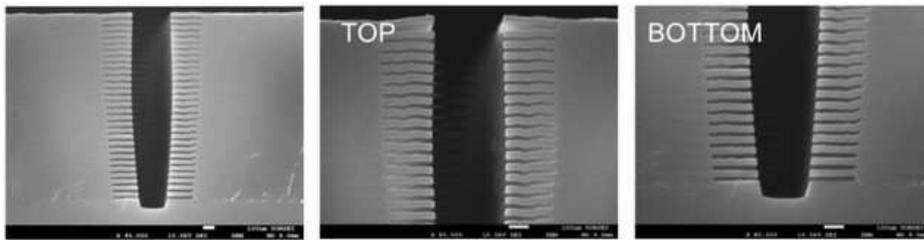
에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명백할 것이다.

도면

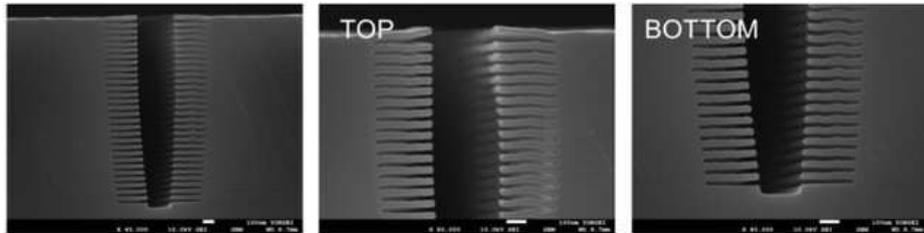
도면1



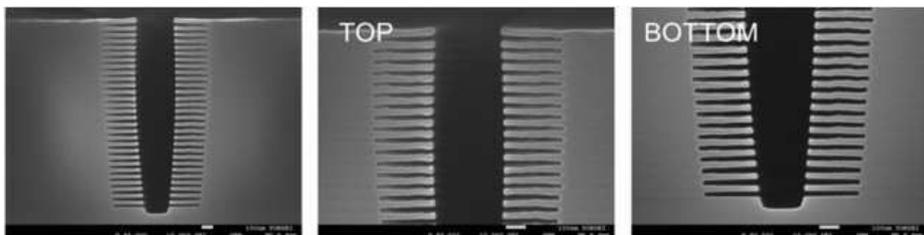
도면2



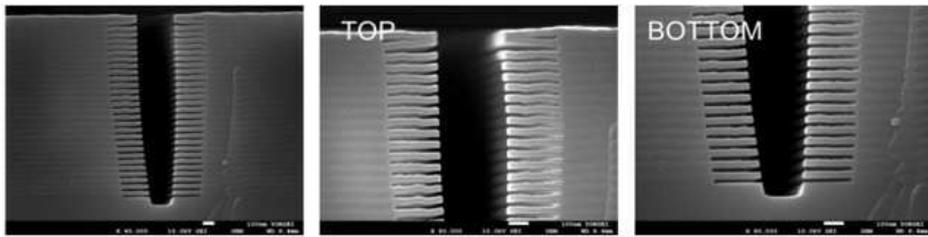
도면3



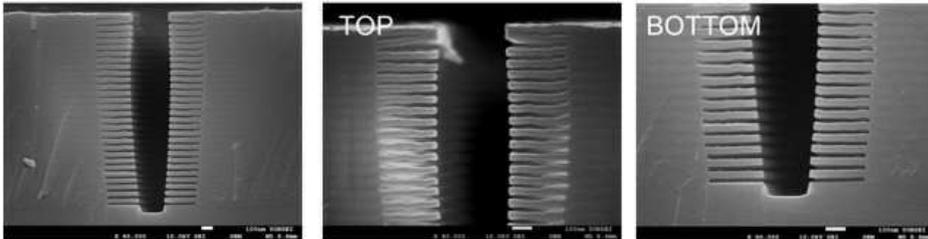
도면4



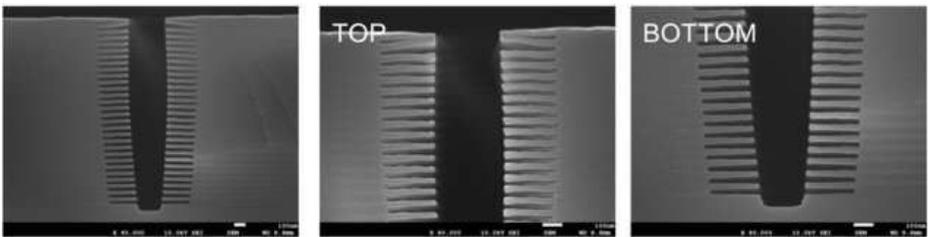
도면5



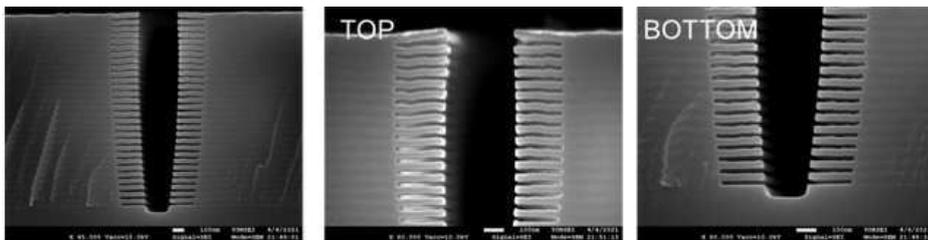
도면6



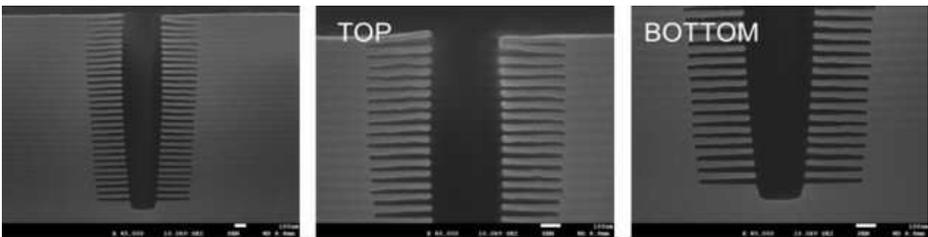
도면7



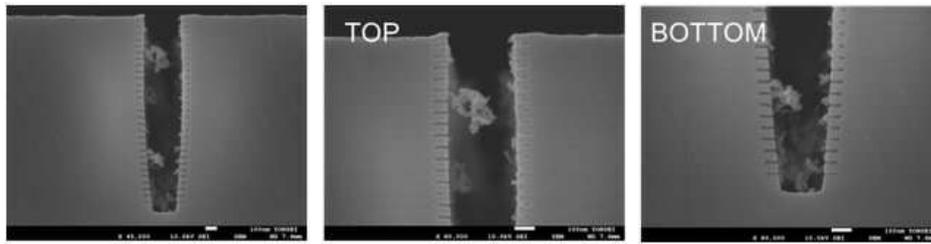
도면8



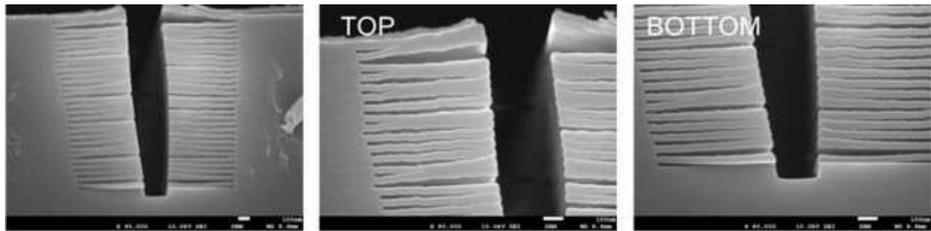
도면9



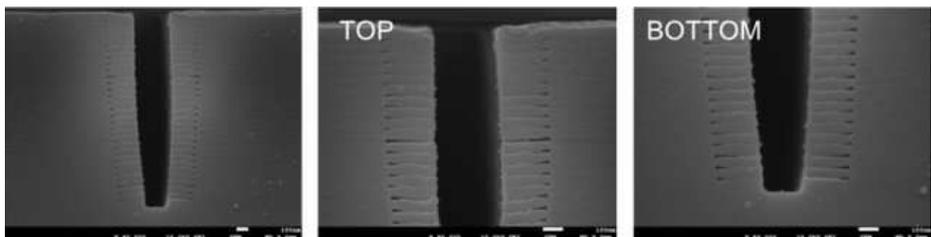
도면10



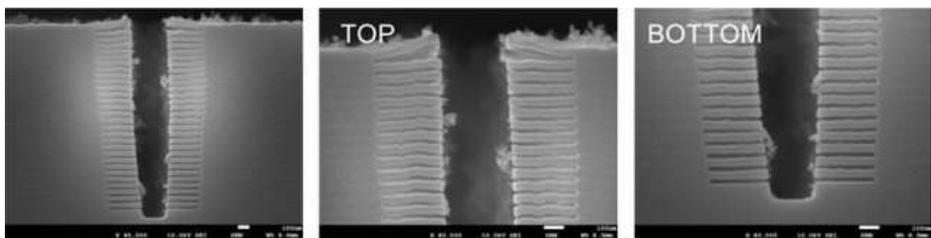
도면11



도면12



도면13



도면14

실리콘 질화막/실리콘 산화막 적층 구조

