



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월30일  
(11) 등록번호 10-2196891  
(24) 등록일자 2020년12월23일

(51) 국제특허분류(Int. Cl.)  
G06F 7/503 (2006.01) G06N 3/063 (2006.01)  
(52) CPC특허분류  
G06F 7/503 (2013.01)  
G06N 3/063 (2013.01)  
(21) 출원번호 10-2020-0011725  
(22) 출원일자 2020년01월31일  
심사청구일자 2020년01월31일  
(56) 선행기술조사문헌  
KR100739947 B1  
JP2005346373 A  
KR1020090081687 A  
KR1020190074938 A

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
정성욱  
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C513(신촌동)  
임세희  
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C206(신촌동)  
오태우  
서울특별시 서대문구 연세로 50, 연세대학교 제3공학관 C421(신촌동)  
(74) 대리인  
민영준

전체 청구항 수 : 총 12 항

심사관 : 지정훈

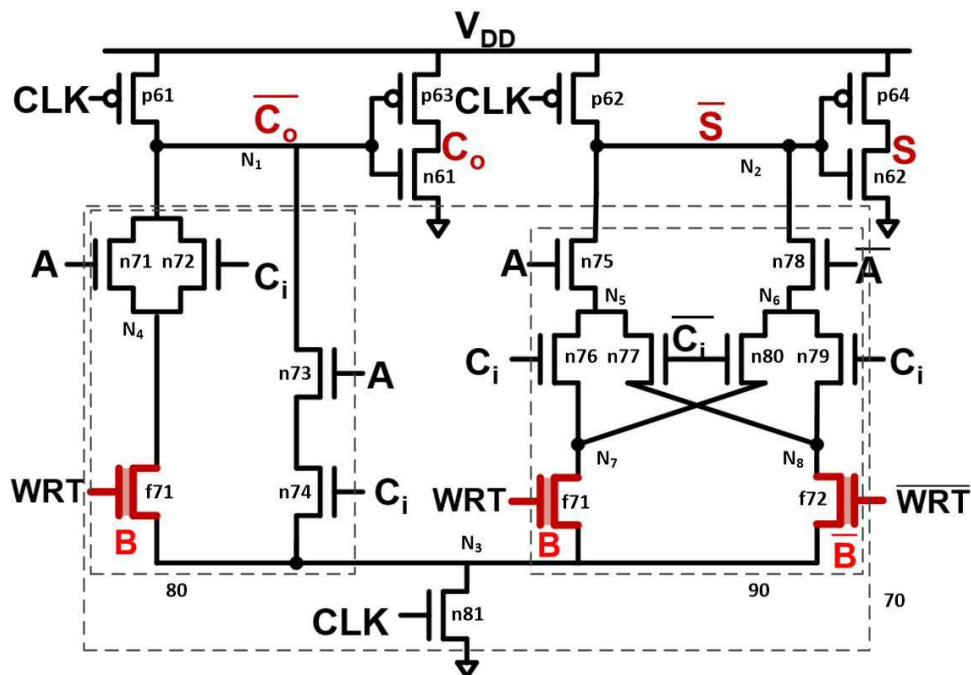
(54) 발명의 명칭 강유전체 소자 기반 전가산기

(57) 요약

본 발명은 클럭 신호에 응답하여 프리차지 구간에서 제1 및 제2 노드를 제1 전원 전압 레벨로 프리차지하는 프리차지부, 클럭 신호에 응답하여 연산 구간에서 활성화되며, 저장 비트가 미리 저장된 제1 및 제2 비휘발성 메모리 스위치와 반전 저장 비트가 미리 저장된 제3 비휘발성 메모리 스위치를 포함하여 입력 비트와 입력 캐리 및 제1

(뒷면에 계속)

대표도 - 도12



비휘발성 메모리 스위치에 미리 저장된 저장 비트에 응답하여 제1 노드의 전압 레벨을 제2 전원 전압 레벨로 디스차지하고, 입력 비트와 반전 입력 비트, 입력 캐리와 반전 입력 캐리 및 제2 및 제3 비휘발성 메모리 스위치에 미리 저장된 저장 비트와 반전 저장 비트에 응답하여, 제2 노드의 전압 레벨을 제2 전원 전압 레벨로 디스차지하는 디스차지부 및 제1 및 제2 노드 각각의 전압 레벨을 반전하여 출력 캐리와 가산 비트를 출력하는 반전 출력부를 포함하여, 소형으로 저전력을 소모하며 고속으로 덧셈 연산을 수행할 수 있는 인공 신경망의 효율적 연산을 위한 강유전체 소자 기반 전가산기를 제공할 수 있다.

이 발명을 지원한 국가연구개발사업

과제고유번호 1711097930

부처명 과학기술정보통신부

과제관리(전문)기관명 정보통신기획평가원

연구사업명 신소자핵심선도기술

연구과제명 전기 다이폴 스위칭이 가능한 소재, 3단자 소자 및 아키텍처 연구  
(Dipole-switching dielectric based 3-terminal device and its architecture)

기 여 율 1/1

과제수행기관명 한국과학기술원

연구기간 2019.06.28 ~ 2021.12.31

## 명세서

### 청구범위

#### 청구항 1

클럭 신호에 응답하여 프리차지 구간에서 제1 및 제2 노드를 제1 전원 전압 레벨로 프리차지하는 프리차지부;

상기 클럭 신호에 응답하여 연산 구간에서 활성화되며, 저장 비트가 미리 저장된 제1 및 제2 비휘발성 메모리 스위치와 반전 저장 비트가 미리 저장된 제3 비휘발성 메모리 스위치를 포함하여 입력 비트와 입력 캐리 및 상기 제1 비휘발성 메모리 스위치에 미리 저장된 저장 비트에 응답하여 상기 제1 노드의 전압 레벨을 제2 전원 전압 레벨로 디스차지하고, 입력 비트와 반전 입력 비트, 입력 캐리와 반전 입력 캐리 및 상기 제2 및 제3 비휘발성 메모리 스위치에 미리 저장된 상기 저장 비트와 상기 반전 저장 비트에 응답하여, 상기 제2 노드의 전압 레벨을 상기 제2 전원 전압 레벨로 디스차지하는 디스차지부; 및

상기 제1 및 제2 노드 각각의 전압 레벨을 반전하여 출력 캐리와 가산 비트를 출력하는 반전 출력부를 포함하는 전가산기.

#### 청구항 2

제1 항에 있어서, 상기 디스차지부는

상기 제1 노드와 제3 노드 사이에 연결되고, 상기 입력 비트와 상기 입력 캐리 및 상기 제1 비휘발성 메모리 스위치에 저장된 저장 비트 중 1의 비트값이 둘 이상이면, 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 캐리 디스차지부;

상기 제2 노드와 상기 제3 노드 사이에 연결되고, 상기 입력 비트와 상기 반전 입력 비트, 상기 입력 캐리와 상기 반전 입력 캐리 및 상기 제2 및 제3 비휘발성 메모리 스위치에 미리 저장된 상기 저장 비트와 상기 반전 저장 비트에 응답하여, 상기 입력 비트와 상기 입력 캐리 및 상기 저장 비트 중 1의 비트값이 홀수개이면 상기 제2 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 가산 디스차지부; 및

상기 제3 노드와 제2 전원 전압 사이에 연결되고 상기 클럭 신호에 응답하여 연산 구간에서 상기 제3 노드를 풀다운 하는 풀다운 트랜지스터를 포함하는 전가산기.

#### 청구항 3

제2 항에 있어서, 상기 캐리 디스차지부는

상기 저장 비트의 비트값이 1이고 상기 입력 비트와 상기 입력 캐리 중 적어도 하나가 1의 비트값을 가지면 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제1 캐리 연산부; 및

상기 입력 비트와 상기 입력 캐리의 비트값이 모두 1이면 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제2 캐리 연산부를 포함하는 전가산기.

#### 청구항 4

제3 항에 있어서, 상기 제1 캐리 연산부는

상기 제1 노드에 일단이 연결되고, 서로 병렬로 연결되어 각각 상기 입력 비트와 입력 캐리를 인가받는 제1 및 제2 NMOS 트랜지스터; 및

상기 제1 및 제2 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 게이트로 인가된 라이트 신호에 따라 상기 저장 비트가 미리 저장되는 제1 비휘발성 메모리 스위치를 포함하는 전가산기.

#### 청구항 5

제3 항에 있어서, 상기 제2 캐리 연산부는

상기 제1 노드와 상기 제3 노드 사이에 직렬로 연결되고, 각각 상기 입력 비트와 상기 입력 캐리를 인가받는 제

3 및 제4 NMOS 트랜지스터를 포함하는 전가산기.

#### 청구항 6

제2 항에 있어서, 상기 가산 디스차지부는

상기 저장 비트의 비트값이 1이고 상기 입력 비트와 상기 입력 캐리의 비트값이 모두 1이거나 0인 경우에, 상기 제2 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제1 가산 연산부; 및

상기 저장 비트의 비트값이 0이고 상기 입력 비트와 상기 입력 캐리의 비트값 중 하나가 1인 경우에, 상기 제2 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제2 가산 연산부를 포함하는 전가산기.

#### 청구항 7

제6 항에 있어서, 상기 제1 가산 연산부는

상기 제2 노드에 일단이 연결되고, 상기 입력 비트를 인가받는 제5 NMOS 트랜지스터;

상기 제5 NMOS 트랜지스터의 타단에 일단이 연결되고, 상기 입력 캐리를 인가받는 제6 NMOS 트랜지스터;

상기 제5 NMOS 트랜지스터의 타단에 일단이 연결되고, 타단이 상기 제2 가산 연산부의 대응하는 위치에 연결되며, 상기 반전 입력 캐리를 인가받는 제7 NMOS 트랜지스터; 및

상기 제6 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 상기 저장 비트가 미리 저장되는 제2 비휘발성 메모리 스위치를 포함하는 전가산기.

#### 청구항 8

제7 항에 있어서, 상기 제2 가산 연산부는

상기 제2 노드에 일단이 연결되고, 상기 반전 입력 비트를 인가받는 제8 NMOS 트랜지스터;

상기 제8 NMOS 트랜지스터의 타단에 일단이 연결되고, 상기 입력 캐리를 인가받는 제9 NMOS 트랜지스터;

상기 제8 NMOS 트랜지스터의 타단에 일단이 연결되고, 타단이 상기 제6 NMOS 트랜지스터의 타단에 연결되며, 상기 반전 입력 캐리를 인가받는 제10 NMOS 트랜지스터; 및

상기 제9 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 게이트로 인가된 라이트 신호에 따라 상기 반전 저장 비트가 미리 저장되는 제3 비휘발성 메모리 스위치를 포함하는 전가산기.

#### 청구항 9

제1 항에 있어서, 상기 제1 내지 제3 비휘발성 메모리 스위치 각각은

게이트로 인가된 라이트 신호에 따라 상기 저장 비트 또는 반전 저장 비트가 저장되는 강유전체 전기장 효과 트랜지스터(ferroelectric field-effect transistor)로 구현되는 전가산기.

#### 청구항 10

제1 항에 있어서, 상기 프리차지부는

상기 제1 전원 전압과 상기 제1 노드 사이에 연결되고, 상기 클럭 신호가 게이트로 인가되는 제1 PMOS 트랜지스터; 및

상기 제1 전원 전압과 상기 제2 노드 사이에 연결되고, 상기 클럭 신호가 게이트로 인가되는 제2 PMOS 트랜지스터를 포함하는 전가산기.

#### 청구항 11

제1 항에 있어서, 상기 반전 출력부는

상기 제1 노드의 전압 레벨을 반전하여 상기 출력 캐리를 출력하는 제1 인버터; 및

상기 제2 노드의 전압 레벨을 반전하여 상기 가산 비트를 출력하는 제2 인버터를 포함하는 전가산기.

## 청구항 12

제1 항에 있어서, 상기 전가산기는

인공 신경망의 곱셈 및 덧셈 연산에 이용되며, 상기 저장 비트는 미리 학습이 수행된 인공 신경망의 가중치 또는 바이어스의 대응하는 비트값으로 저장되는 전가산기.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 전가산기에 관한 것으로, 인공 신경망의 효율적 연산을 위한 강유전체 소자 기반 전가산기에 관한 것이다.

### 배경 기술

[0002] 현재 인간의 두뇌가 패턴을 인식하는 방법을 모사하여 두뇌와 비슷한 방식으로 여러 정보를 처리하도록 구성된 인공 신경망(artificial neural network)을 이용한 딥 러닝에 대한 연구가 활발하게 진행되고 있다. 딥 러닝은 일 예로 객체 분류, 객체 검출, 음성 인식, 자연어 처리, 자율 주행 등의 다양한 분야에 적용되고 있으며, 적용 분야가 계속 확장되고 있다. 이와 같이 적용 분야가 확장되어 감에 따라 최근에는 인공 신경망의 고속 동작 및 저전력화가 요구되고 있다.

[0003] 그러나 기존의 인공 신경망은 대부분 소프트웨어로 구현되며, 소프트웨어로 구현되는 인공 신경망은 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit)와 같은 로직회로와 메모리 등의 범용 하드웨어를 이용하여 요구되는 연산을 수행한다.

[0004] 도 1은 인공 신경망의 연산 구조의 일 예를 나타낸다.

[0005] 도 1에 도시된 바와 같이, 인공 신경망은 일반적으로 입력 데이터( $x_1, x_2 \sim x_n$ )와 가중치( $w_1, w_2, \sim w_n$ )의 곱셈과 곱셈 결과 및 바이어스(bias)에 대한 덧셈 연산을 수행하도록 구성된다.

[0006] 이때 범용 하드웨어를 이용하는 기존의 인공 신경망은 로직 회로와 메모리가 별도로 구비됨에 따라 로직회로는 연산되어야 하는 입력 데이터( $x_1, x_2 \sim x_n$ )와 가중치( $w_1, w_2, \sim w_n$ ) 및 바이어스를 메모리로부터 전달받아야 하며, 연산 결과인 출력값(output)을 다시 메모리로 전달하여 저장해야 한다.

[0007] 이와 같이, 인공 신경망은 대량의 데이터에 대한 연산, 특히 곱셈 및 덧셈 연산을 요구하므로, 로직회로와 메모리 사이에는 대규모의 데이터 전송이 필요하게 된다. 이는 인공 신경망의 연산 속도를 크게 저하시킬 뿐만 아니라, 대량의 전력 소모를 유발한다. 현재 아키텍처에서 로직회로와 메모리 사이의 데이터 전송은 로직회로의 부동 소수점 연산 대비 100배 이상의 전력 소비가 요구되는 경우도 있다.

[0008] 이러한 비효율성을 극복하기 위해, 최근에는 로직회로와 메모리를 단일 칩에 결합한 LiM(Logic-in-Memory)을 인공 신경망에 이용하고자 하는 연구가 진행되고 있다. 로직회로와 메모리가 결합된 LiM에서는 데이터 전송에 따른 지연 시간과 전력 소모량을 크게 줄일 수 있다는 장점이 있다.

[0009] 특히 인공 신경망은 학습 단계에서는 가중치( $w_1, w_2, \sim w_n$ ) 및 바이어스(bias)가 계속적으로 업데이트되지만, 학습이 완료된 이후에는 가중치와 바이어스가 학습에 의해 결정된 값으로 고정된다. 따라서 비휘발성 메모리 소자를 이용하여 LiM을 구성하는 경우, 항시 전원 전압을 공급해야 하는 휘발성 메모리 소자를 이용하는 경우에 비해 전력 소모를 더욱 저감시킬 수 있다는 장점이 있다. 또한 일반적으로 비휘발성 메모리 소자는 휘발성 소자에 비해 온/오프 전환 속도가 느리지만, 상기한 바와 같이 인공 신경망에서는 가중치( $w_1, w_2, \sim w_n$ ) 및 바이어스(bias)가 고정된 값을 가지므로, 비휘발성 메모리 소자를 이용하여 LiM을 구성하여도 동작 속도에 영향을 거의 미치지 않는다.

[0010] 이에 비휘발성 메모리 소자를 이용하여 인공 신경망에서 수행되는 연산을 효율적으로 수행할 수 있는 연산회로가 요구되고 있다.

[0011] 도 2는 곱셈기 논리 회로의 일 예를 나타낸다.

[0012] 도 2에 도시된 바와 같이, 논리 회로 수준에서 곱셈 연산은 덧셈 연산의 조합으로 이루어진다. 즉 인공 신경망에서 요구되는 곱셈 연산과 덧셈 연산은 모두 덧셈 연산으로 구성될 수 있다. 상기한 바와 같이, 인공 신경망

은 일반적으로 곱셈 연산과 덧셈 연산을 수행하지만, 논리 회로 수준에서는 곱셈 연산 또한 덧셈 연산을 이용하여 수행된다. 그러므로 비휘발성 메모리 소자를 이용하여 덧셈 연산을 수행할 수 있는 가산기가 요구되고 있다.

## 선행기술문헌

### 특허문헌

[0013] (특허문헌 0001) 한국 등록 특허 제10-0975086호 (2010.08.04 등록)

## 발명의 내용

### 해결하려는 과제

[0014] 본 발명의 목적은 강유전체 비휘발성 메모리 소자를 적용한 전가산기를 제공하는데 있다.

[0015] 본 발명의 다른 목적은 Lim으로 구현되는 인공 신경망에 적용되어 전력 소모를 저감하고, 고속으로 동작할 수 있는 전가산기를 제공하는데 있다.

### 과제의 해결 수단

[0016] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 전가산기는 클럭 신호에 응답하여 프리차지 구간에서 제1 및 제2 노드를 제1 전원 전압 레벨로 프리차지하는 프리차지부; 상기 클럭 신호에 응답하여 연산 구간에서 활성화되며, 저장 비트가 미리 저장된 제1 및 제2 비휘발성 메모리 스위치와 반전 저장 비트가 미리 저장된 제3 비휘발성 메모리 스위치를 포함하여 입력 비트와 입력 캐리 및 상기 제1 비휘발성 메모리 스위치에 미리 저장된 저장 비트에 응답하여 상기 제1 노드의 전압 레벨을 제2 전원 전압 레벨로 디스차지하고, 입력 비트와 반전 입력 비트, 입력 캐리와 반전 입력 캐리 및 상기 제2 및 제3 비휘발성 메모리 스위치에 미리 저장된 상기 저장 비트와 상기 반전 저장 비트에 응답하여, 상기 제2 노드의 전압 레벨을 상기 제2 전원 전압 레벨로 디스차지하는 디스차지부; 및 상기 제1 및 제2 노드 각각의 전압 레벨을 반전하여 출력 캐리와 가산 비트를 출력하는 반전 출력부를 포함한다.

[0017] 상기 디스차지부는 상기 제1 노드와 제3 노드 사이에 연결되고, 상기 입력 비트와 상기 입력 캐리 및 상기 제1 비휘발성 메모리 스위치에 저장된 저장 비트 중 1의 비트값이 둘 이상이면, 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 캐리 디스차지부; 상기 제2 노드와 상기 제3 노드 사이에 연결되고, 상기 입력 비트와 상기 반전 입력 비트, 상기 입력 캐리와 상기 반전 입력 캐리 및 상기 제2 및 제3 비휘발성 메모리 스위치에 미리 저장된 상기 저장 비트와 상기 반전 저장 비트에 응답하여, 상기 입력 비트와 상기 입력 캐리 및 상기 저장 비트 중 1의 비트값이 홀수개이면 상기 제2 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 가산 디스차지부; 및 상기 제3 노드와 제2 전원 전압 사이에 연결되고 상기 클럭 신호에 응답하여 연산 구간에서 상기 제3 노드를 풀다운 하는 풀다운 트랜지스터를 포함할 수 있다.

[0018] 상기 캐리 디스차지부는 상기 저장 비트의 비트값이 1이고 상기 입력 비트와 상기 입력 캐리 중 적어도 하나가 1의 비트값을 가지면 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제1 캐리 연산부; 및 상기 입력 비트와 상기 입력 캐리의 비트값이 모두 1이면 상기 제1 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제2 캐리 연산부를 포함할 수 있다.

[0019] 상기 제1 캐리 연산부는 상기 제1 노드에 일단이 연결되고, 서로 병렬로 연결되어 각각 상기 입력 비트와 입력 캐리를 인가받는 제1 및 제2 NMOS 트랜지스터; 및 상기 제1 및 제2 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 게이트로 인가된 라이트 신호에 따라 상기 저장 비트가 미리 저장되는 제1 비휘발성 메모리 스위치를 포함할 수 있다.

[0020] 상기 제2 캐리 연산부는 상기 제1 노드와 상기 제3 노드 사이에 직렬로 연결되고, 각각 상기 입력 비트와 상기 입력 캐리를 인가받는 제3 및 제4 NMOS 트랜지스터를 포함할 수 있다.

[0021] 상기 가산 디스차지부는 상기 저장 비트의 비트값이 1이고 상기 입력 비트와 상기 입력 캐리의 비트값이 모두 1 이거나 0인 경우에, 상기 제2 노드와 상기 제3 노드 사이의 전류 경로를 형성하는 제1 가산 연산부; 및 상기 저장 비트의 비트값이 0이고 상기 입력 비트와 상기 입력 캐리의 비트값 중 하나가 1인 경우에, 상기 제2 노드와

상기 제3 노드 사이의 전류 경로를 형성하는 제2 가산 연산부를 포함할 수 있다.

[0022] 상기 제1 가산 연산부는 상기 제2 노드에 일단이 연결되고, 상기 입력 비트를 인가받는 제5 NMOS 트랜지스터; 상기 제5 NMOS 트랜지스터의 타단에 일단이 연결되고, 상기 입력 캐리를 인가받는 제6 NMOS 트랜지스터; 상기 제5 NMOS 트랜지스터의 타단에 일단이 연결되고, 타단이 상기 제2 가산 연산부의 대응하는 위치에 연결되며, 상기 반전 입력 캐리를 인가받는 제7 NMOS 트랜지스터; 및 상기 제6 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 상기 저장 비트가 미리 저장되는 제2 비휘발성 메모리 스위치를 포함할 수 있다.

[0023] 상기 제2 가산 연산부는 상기 제2 노드에 일단이 연결되고, 상기 반전 입력 비트를 인가받는 제8 NMOS 트랜지스터; 상기 제8 NMOS 트랜지스터의 타단에 일단이 연결되고, 상기 입력 캐리를 인가받는 제9 NMOS 트랜지스터; 상기 제8 NMOS 트랜지스터의 타단에 일단이 연결되고, 타단이 상기 제6 NMOS 트랜지스터의 타단에 연결되며, 상기 반전 입력 캐리를 인가받는 제10 NMOS 트랜지스터; 및 상기 제9 NMOS 트랜지스터의 타단과 상기 제3 노드 사이에 연결되고, 게이트로 인가된 라이트 신호에 따라 상기 반전 저장 비트가 미리 저장되는 제3 비휘발성 메모리 스위치를 포함할 수 있다.

[0024] 상기 제1 내지 제3 비휘발성 메모리 스위치 각각은 게이트로 인가된 라이트 신호에 따라 상기 저장 비트 또는 반전 저장 비트가 저장되는 강유전체 전기장 효과 트랜지스터(ferroelectric field-effect transistor)로 구현될 수 있다.

[0025] 상기 프리차지부는 상기 제1 전원 전압과 상기 제1 노드 사이에 연결되고, 상기 클럭 신호가 게이트로 인가되는 제1 PMOS 트랜지스터; 및 상기 제1 전원 전압과 상기 제2 노드 사이에 연결되고, 상기 클럭 신호가 게이트로 인가되는 제2 PMOS 트랜지스터를 포함할 수 있다.

[0026] 상기 반전 출력부는 상기 제1 노드의 전압 레벨을 반전하여 상기 출력 캐리를 출력하는 제1 인버터; 및 상기 제2 노드의 전압 레벨을 반전하여 상기 가산 비트를 출력하는 제2 인버터를 포함할 수 있다.

[0027] 상기 전가산기는 인공 신경망의 곱셈 및 덧셈 연산에 이용되며, 상기 저장 비트는 미리 학습이 수행된 인공 신경망의 가중치 또는 바이어스의 대응하는 비트값으로 저장될 수 있다.

### 발명의 효과

[0028] 따라서, 본 발명의 실시예에 따른 전가산기는 강유전체 비휘발성 메모리 소자를 적용하여 가중치나 바이어스를 별도로 인가받지 않으므로, 소형으로 저전력을 소모하며 고속으로 덧셈 연산을 수행할 수 있다. 또한 Lim으로 구현되는 인공 신경망에 적용됨으로써, 인공 신경망의 동작 속도를 향상시킬 수 있을 뿐만 아니라 인공 신경망을 소형화시킬 수 있다.

### 도면의 간단한 설명

[0029] 도 1은 인공 신경망의 연산 구조의 일 예를 나타낸다.

도 2는 곱셈기 논리 회로의 일 예를 나타낸다.

도 3은 비휘발성 메모리 소자가 적용된 전가산기의 일 예를 나타낸다.

도 4는 비휘발성 메모리 소자의 동작을 설명하기 위한 도면이다.

도 5 내지 도 7은 도 3의 전가산기의 동작을 설명하기 위한 도면이다.

도 8은 비휘발성 메모리 소자가 적용된 전가산기의 다른 예를 나타낸다.

도 9 내지 도 11은 도 8의 전가산기의 동작을 설명하기 위한 도면이다.

도 12은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 이용한 전가산기의 일 예를 나타낸다.

도 13 내지 도 15은 도 12의 전가산기의 동작을 설명하기 위한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0030] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

[0031] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 그러



나, 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며, 설명하는 실시예에 한정되는 것이 아니다. 그리고, 본 발명을 명확하게 설명하기 위하여 설명과 관계없는 부분은 생략되며, 도면의 동일한 참조부호는 동일한 부재임을 나타낸다.

- [0032] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라, 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈", "블록" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0033] 도 3은 비휘발성 메모리 소자가 적용된 전가산기의 일 예를 나타내고, 도 4는 비휘발성 메모리 소자의 동작을 설명하기 위한 도면이다.
- [0034] 도 3은 비휘발성 메모리 소자를 이용한 1비트 전가산기로서, 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받아 기저장된 저장 비트(B)와 가산하여 가산 비트(S)를 출력하는 가산부(10)와 마찬가지로 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받아 기저장된 저장 비트(B)와 가산하여 출력 캐리( $C_o$ )를 출력하는 캐리부(20)로 구성된다.
- [0035] 가산부(10)는 프리차지부와 래치부 및 디스차지부(11)를 포함한다.
- [0036] 프리차지부는 제1 전원 전압( $V_{DD}$ )과 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ ) 각각의 사이에 연결되고 클럭 신호(CLK)가 인가되는 2개의 PMOS 트랜지스터(p11, p12)를 포함하고, 래치부는 제1 전원 전압( $V_{DD}$ )과 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ ) 각각의 사이에 연결되고, 게이트가 제2 및 제1 가산 노드( $N_{s2}$ ,  $N_{s1}$ )에 연결되는 2개의 PMOS 트랜지스터(p13, p14)를 포함한다.
- [0037] 디스차지부(11)는 9개의 NMOS 트랜지스터(n11 ~ n19)와 2개의 비휘발성 메모리 스위치(f11, f12)를 포함한다.
- [0038] 디스차지부(11)에서 제1 및 제2 NMOS 트랜지스터(n11, n12)는 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ ) 각각과 제3 가산 노드( $N_{s3}$ ) 사이에 연결되고, 각각 입력 비트(A)와 반전 입력 비트( $\bar{A}$ )를 인가받고, 제3 및 제4 NMOS 트랜지스터(n13, n14)는 제2 및 제1 가산 노드( $N_{s2}$ ,  $N_{s1}$ ) 각각과 제4 가산 노드( $N_{s4}$ ) 사이에 연결되고, 각각 입력 비트(A)와 반전 입력 비트( $\bar{A}$ )를 인가받는다.
- [0039] 그리고 제5 및 제6 NMOS 트랜지스터(n15, n16)는 제3 및 제4 가산 노드( $N_{s3}$ ,  $N_{s4}$ ) 각각과 제5 가산 노드( $N_{s5}$ ) 사이에 연결되어 각각 입력 캐리( $C_i$ )와 반전 입력 캐리( $\bar{C}_i$ )를 인가받고, 제7 및 제8 NMOS 트랜지스터(n17, n18)는 제4 및 제3 가산 노드( $N_{s4}$ ,  $N_{s3}$ ) 각각과 제6 가산 노드( $N_{s6}$ ) 사이에 연결되어 각각 입력 캐리( $C_i$ )와 반전 입력 캐리( $\bar{C}_i$ )를 인가받는다.
- [0040] 2개의 비휘발성 메모리 스위치(f11, f12)는 제5 및 제6 가산 노드( $N_{s5}$ ,  $N_{s6}$ ) 각각과 제7 가산 노드( $N_{s7}$ ) 사이에 연결되고, 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)와 반전 저장 비트( $\bar{B}$ )이 미리 저장된다. 2개의 비휘발성 메모리 스위치(f11, f12)는 각각 미리 저장된 저장 비트(B)와 반전 저장 비트( $\bar{B}$ )에 따라 온 또는 오프 상태로 유지되어 제5 및 제6 가산 노드( $N_{s5}$ ,  $N_{s6}$ )와 제7 가산 노드( $N_{s7}$ )를 전기적으로 연결하거나 차단한다.
- [0041] 제9 NMOS 트랜지스터(n19)는 제7 가산 노드( $N_{s7}$ )와 접지 전원 사이에 연결되고, 클럭 신호(CLK)에 응답하여 턴 온되어 제7 가산 노드( $N_{s7}$ )를 풀다운한다.
- [0042] 한편, 캐리부(20) 또한 프리차지부와 래치부 및 디스차지부(21)를 포함한다.
- [0043] 캐리부(20)의 프리차지부와 래치부는 가산부(10)의 프리차지부와 래치부와 동일하게 제1 전원 전압( $V_{DD}$ )과 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ ) 각각의 사이에 연결되는 2개의 PMOS 트랜지스터((p21, p22), (p23, p24))로 구성된다.
- [0044] 그리고 디스차지부(21)는 7개의 NMOS 트랜지스터(n21 ~ n27)와 2개의 비휘발성 메모리 스위치(f21, f22)를 포함



한다.

- [0045] 디스차지부(11)에서 제1 및 제2 NMOS 트랜지스터(n21, n22)는 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ ) 각각과 제3 캐리 노드( $N_{c3}$ ) 사이에 연결되고, 각각 입력 캐리( $C_i$ )와 반전 입력 캐리( $\overline{C_i}$ )를 인가받는다.
- [0046] 그리고 제3 및 제4 NMOS 트랜지스터(n23, n24)는 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ ) 각각과 제4 및 제5 캐리 노드( $N_{c4}$ ,  $N_{c5}$ )의 사이에 연결되어 각각 입력 비트(A)와 반전 입력 비트( $\overline{A}$ )를 인가받고, 제5 및 제6 NMOS 트랜지스터(n25, n26)는 제3 캐리 노드( $N_{c3}$ )와 제4 및 제5 캐리 노드( $N_{c4}$ ,  $N_{c5}$ ) 각각의 사이에 연결되어 각각 반전 입력 비트( $\overline{A}$ )와 입력 비트(A)를 인가받는다.
- [0047] 2개의 비휘발성 메모리 스위치(f21, f22)는 제4 및 제5 캐리 노드( $N_{c4}$ ,  $N_{c5}$ ) 각각과 제6 캐리 노드( $N_{c6}$ ) 사이에 연결되고, 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)와 반전 저장 비트( $\overline{B}$ )이 미리 저장되어, 저장된 저장 비트(B)와 반전 저장 비트( $\overline{B}$ )에 따라 온 또는 오프 상태로 유지된다.
- [0048] 제7 NMOS 트랜지스터(n27)는 제6 캐리 노드( $N_{c6}$ )와 접지 전원 사이에 연결되고, 클럭 신호(CLK)를 인가받는다.
- [0049] 도 3에서 4개의 비휘발성 메모리 스위치((f11, f12), (f21, f22))는 비휘발성 메모리 소자로서, 여기서는 강유전체 전기장 효과 트랜지스터(ferroelectric field-effect transistor: 이하 FeFET)인 것으로 가정한다.
- [0050] 표 1은 다양한 비휘발성 메모리 소자의 특성을 나타낸다.

표 1

	PRAM	STT-MRAM	ReRAM	FeRAM (FeFET 기반 메모리)
Energy	Mid	Low	Low	Low
Multi-bit storage	Yes	No	Yes	Yes
Density	High	Mid	High	High
Endurance	$10^9$	$10^{15}$	$10^6$	$10^{15}$

- [0051]
- [0052] FeFET는 MOSFET의 게이트와 소스-드레인 전도성 영역 사이에 강유전체 물질이 포함된 비휘발성 소자로서, 게이트-소스 전압( $V_{GS}$ )에 따라 가변하는 문턱 전압( $V_{TH}$ )을 이용하여 1비트의 데이터를 저장할 수 있는 메모리 소자이다. 비휘발성 메모리 스위치로 이용될 수 있는 비휘발성 메모리 소자로는 표 1에 나타난 바와 같이, FeFET 이외에도 PRAM(Phase-change RAM), STT-MRAM(Spin-Transfer Torque Magnetoresistive RAM), ReRAM(Resistive RAM) 등 다양하게 개발되어 있으나, FeFET는 CMOS 소자와 호환성이 좋으며, 소형으로 스케일링 가능할 뿐만 아니라,  $10^8$  수준의 높은 온/오프율(On/Off ratio)과  $10^{15}$  사이클에 달하는 우수한 내구성 및 10ns의 빠른 스위칭 속도 등에서 장점이 있다. 뿐만 아니라, 3단자 소자로서 리드 경로와 라이트 경로가 상이하므로, 리드/라이트 오류가 발생하지 않는다는 장점이 있다. 이에 여기서는 비휘발성 메모리 스위치가 FeFET로 구현되는 것으로 가정한다.
- [0053] FeFET에서는 게이트로 인가된 라이트 신호(WRT)의 전압 레벨에 따라 상이한 비트값이 저장될 수 있다. 도 4에 도시된 바와 같이, FeFET는 일예로 라이트 신호(WRT)가 기지정된 제1 전압 레벨로 인가되어 1의 비트값이 저장된 경우, 낮은 문턱 전압( $V_{TH}$ ) 상태로 드레인-소스를 통해 전류가 흐를 수 있다. 반면, 라이트 신호(WRT)가 제1 전압 레벨과 상이한 기지정된 제2 전압 레벨로 인가되어 0의 비트값이 저장되는 경우, 높은 문턱 전압( $V_{TH}$ ) 상태

로 드레인-소스를 통해 전류가 흐르지 않게 된다.

- [0054] 도 5 내지 도 7은 도 3의 전가산기의 동작을 설명하기 위한 도면이다.
- [0055] 도 5는 도 3의 전가산기의 동작을 나타내는 타이밍 다이어그램이고, 도 6 및 도 7은 각각 프리차지(Precharge) 구간과 연산(Evaluation) 구간에서의 동작을 나타낸다.
- [0056] 도 5에서 상단의 (0,0,0), (0,0,1), (1,0,0) 및 (1,0,1)은 각각 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )의 비트값의 집합을 나타낸다.
- [0057] 이하에서는 일례로 입력 비트(A)가 1이고, 저장 비트(B)는 0이며, 입력 캐리( $C_i$ )가 1인 경우(1,0,1)의 전가산기의 동작을 설명한다.
- [0058] 따라서 제1 및 제3 비휘발성 메모리 스위치(f11, f21)에는 0의 저장 비트(B)가 미리 저장되어 높은 문턱 전압( $V_{th}$ )을 갖는 상태이고, 제2 및 제4 비휘발성 메모리 스위치(f12, f22)에는 1의 반전 저장 비트( $\overline{B}$ )이 미리 저장되어 낮은 문턱 전압( $V_{th}$ )을 갖는 상태이다. 즉 제1 및 제3 비휘발성 메모리 스위치(f11, f21)는 턴온된 상태로 유지되는 반면, 제2 및 제4 비휘발성 메모리 스위치(f12, f22)는 턴오프된 상태로 유지되는 것으로 가정한다.
- [0059] 우선 도 5를 참조하여, 도 6의 프리차지 구간(Pre)에서의 동작을 설명하면, 프리차지 구간(Pre)에서 클럭 신호(CLK)는 로우 레벨로 인가되고, 이에 가산부(10)의 프리차지부의 2개의 PMOS 트랜지스터(p11, p12)는 풀업(pull-up) 트랜지스터로서 로우 레벨의 클럭 신호(CLK)에 응답하여 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ )를 전원 전압 레벨( $V_{DD}$ )로 프리차지한다. 이와 함께 캐리부(20)의 프리차지부의 2개의 PMOS 트랜지스터(p21, p22) 또한 풀업 트랜지스터로서 로우 레벨의 클럭 신호(CLK)에 응답하여 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ )를 전원 전압 레벨( $V_{DD}$ )로 프리차지한다.
- [0060] 한편 가산부(10)의 제1 내지 제8 NMOS 트랜지스터(n11 ~ n18)와 캐리부(20)의 제1 내지 제6 NMOS 트랜지스터(n21 ~ n26)은 입력 비트(A)와 반전 입력 비트( $\overline{A}$ ), 입력 캐리( $C_i$ )와 반전 입력 캐리( $\overline{C_i}$ )에 따라 온 또는 오프될 수 있다. 그리고 상기한 바와 같이, 제1 및 제3 비휘발성 메모리 스위치(f11, f21)는 턴온된 상태를 유지하는 반면, 제2 및 제4 비휘발성 메모리 스위치(f12, f22)는 턴오프된 상태를 유지한다. 그러나 가산부(10)의 제9 NMOS 트랜지스터(n19)와 캐리부(20)의 제7 NMOS 트랜지스터(n27)는 각각 로우 레벨의 클럭 신호(CLK)에 응답하여 턴오프된다.
- [0061] 이때, 가산부(10)의 래치부의 2개의 PMOS 트랜지스터(p13, p14)와 캐리부(20)의 래치부의 2개의 PMOS 트랜지스터(p21, p22) 또한 각각 로우 레벨의 클럭 신호(CLK)에 응답하여 턴온 되어 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ )와 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ )의 전압 레벨은 전원 전압 레벨( $V_{DD}$ )로 유지한다.
- [0062] 따라서 제1 및 제2 가산 노드( $N_{s1}$ ,  $N_{s2}$ )에서 출력되는 반전 가산 비트( $\overline{S}$ )과 가산 비트(S), 그리고 제1 및 제2 캐리 노드( $N_{c1}$ ,  $N_{c2}$ )에서 출력되는 반전 캐리 비트( $\overline{C_o}$ )와 캐리 비트(C)는 입력 비트(A)와 입력 캐리( $C_i$ )에 무관하게 모두 전원 전압 레벨( $V_{DD}$ )로 프리차지된다.
- [0063] 도 7을 참조하면, 연산 구간(Eva)에서는 클럭 신호(CLK)가 하이 레벨로 천이되고, 이에 가산부(10)의 프리차지부의 2개의 PMOS 트랜지스터(p11, p12)와 캐리부(20)의 프리차지부의 2개의 PMOS 트랜지스터(p21, p22)는 턴오프된다. 그러나 가산부(10)의 제9 NMOS 트랜지스터(n19)와 캐리부(20)의 제7 NMOS 트랜지스터(n27)는 각각 클럭 신호(CLK)에 응답하여 턴온된다.
- [0064] 한편 가산부(10)의 제1 및 제3 NMOS 트랜지스터(n11, n13)는 입력 비트(A)에 응답하여 턴온되고, 제2 및 제4 NMOS 트랜지스터(n12, n14)는 반전 입력 비트( $\overline{A}$ )에 응답하여 턴오프된다. 그리고 제5 및 제7 NMOS 트랜지스터(n15, n17)는 입력 캐리( $C_i$ )에 응답하여 턴온되고, 제6 및 제8 NMOS 트랜지스터(n16, n18)는 반전 입력 캐리( $\overline{C_i}$ )에 응답하여 턴오프된다. 또한 제1 비휘발성 메모리 스위치(f11)는 턴온된 상태를 유지하고, 제2 비휘발

성 메모리 스위치(f12)는 턴오프된 상태를 유지한다.

- [0065] 따라서 가산부(10)에서는 제2 가산 노드( $N_{s2}$ )로부터 제3 및 제7 NMOS 트랜지스터(n13, n17)과 제2 비휘발성 메모리 스위치(f12) 및 제9 NMOS 트랜지스터(n19)를 통해 접지 전원으로의 전류 경로가 형성되어, 제2 가산 노드( $N_{s2}$ )에 프리차지된 전압 레벨이 제2 전원 전압( $V_{ss}$ ) 레벨로 디스차지된다.
- [0066] 즉 가산 비트(S)가 제2 전원 전압( $V_{ss}$ ) 레벨이 되어 0으로 되고, 반전 가산 비트( $\overline{S}$ )는 1이 된다.
- [0067] 또한 캐리부(20)에서는 제1 NMOS 트랜지스터(n21)가 입력 캐리( $C_i$ )에 응답하여 턴온되고, 제2 NMOS 트랜지스터(n22)가 반전 입력 캐리( $\overline{C_i}$ )에 응답하여 턴오프되고, 제3 및 제6 NMOS 트랜지스터(n23, n26)가 입력 비트(A)에 응답하여 턴온되며, 제4 및 제5 NMOS 트랜지스터(n24, n25)가 반전 입력 비트( $\overline{A}$ )에 응답하여 턴오프된다. 그리고 제3 비휘발성 메모리 스위치(f21)는 턴온된 상태를 유지하고, 제4 비휘발성 메모리 스위치(f12, f22)는 턴오프된 상태를 유지한다.
- [0068] 이에 제1 캐리 노드( $N_{c1}$ )로부터 제1 및 제6 NMOS 트랜지스터(n21, n26)과 제4 비휘발성 메모리 스위치(f22) 및 제7 NMOS 트랜지스터(n19)를 통해 접지 전원으로의 전류 경로가 형성되어, 제1 캐리 노드( $N_{c1}$ )에 프리차지된 전압 레벨이 제2 전원 전압( $V_{ss}$ ) 레벨로 디스차지된다.
- [0069] 즉 출력 캐리( $C_o$ )가 전원 전압 레벨을 유지하여 1로 되고, 반전 출력 캐리( $\overline{C_o}$ )는 0이 된다.
- [0070] 그러므로 전가산기는 1의 입력 비트(A)와 0의 저장 비트(B) 및 1의 입력 캐리( $C_i$ )를 가산한 결과로, 0의 가산 비트(S)와 1의 출력 캐리( $C_o$ )를 출력할 수 있다.
- [0071] 도 8은 비휘발성 메모리 소자가 적용된 전가산기의 다른 예를 나타낸다.
- [0072] 도 8의 전가산기는 프리차지부와 반전 출력부 및 디스차지부(40)를 포함한다.
- [0073] 프리차지부는 제1 전원 전압( $V_{DD}$ )과 제1 및 제2 노드( $N_1$ ,  $N_2$ ) 각각의 사이에 연결되고 클럭 신호(CLK)가 인가되는 2개의 PMOS 트랜지스터(p31, p32)를 포함한다.
- [0074] 그리고 반전 출력부는 각각 제1 및 제2 노드( $N_1$ ,  $N_2$ )의 전압을 입력으로 인가받아 반전하는 2개의 인버터를 포함한다. 2개의 인버터 각각은 제1 전원 전압( $V_{DD}$ )과 제2 전원 전압( $V_{ss}$ ) 사이에 직렬로 연결되는 PMOS 트랜지스터(p33, p34)와 NMOS 트랜지스터(n31, n32)를 포함한다.
- [0075] 한편, 디스차지부(40)는 10개의 NMOS 트랜지스터(n41 ~ n50)와 3개의 비휘발성 메모리 스위치(f41 ~ f43)를 포함한다.
- [0076] 디스차지부(40)에서 제1 및 제2 NMOS 트랜지스터(n41, n42)는 제1 노드( $N_1$ )와 제3 노드( $N_3$ ) 사이에 병렬로 연결되어 각각 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받는다. 그리고 제1 비휘발성 메모리 스위치(f41)는 제3 노드( $N_3$ )와 제5 노드( $N_5$ ) 사이에 연결되고, 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)가 미리 저장된다. 또한 제3 및 제4 NMOS 트랜지스터(n43, n44)는 제1 노드( $N_1$ )와 제5 노드( $N_5$ ) 사이에 직렬로 연결되어 각각 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받는다.
- [0077] 한편, 제5 NMOS 트랜지스터(n45)는 제2 노드( $N_2$ )와 제4 노드( $N_4$ ) 사이에 연결되고, 게이트가 제1 노드( $N_1$ )에 연결된다. 그리고 제6 및 제7 NMOS 트랜지스터(n46, n47) 및 제2 비휘발성 메모리 스위치(f42)는 제4 노드( $N_4$ )와 제5 노드( $N_5$ ) 사이에 병렬로 연결된다. 제6 및 제7 NMOS 트랜지스터(n46, n47)에는 각각 입력 비트(A)와 입력 캐리( $C_i$ )를 인가되고, 제2 비휘발성 메모리 스위치(f42)는 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)가 미리 저장된다.
- [0078] 그리고 제8 및 제9 NMOS 트랜지스터(n48, n49) 및 제3 비휘발성 메모리 스위치(f43)는 제2 노드( $N_2$ )와 제5 노드

(N<sub>5</sub>) 사이에 직렬로 연결된다. 그리고 제8 및 제9 NMOS 트랜지스터(n48, n49)에는 각각 입력 비트(A)와 입력 캐리(C<sub>i</sub>)를 인가되고, 제3 비휘발성 메모리 스위치(f43)는 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)가 미리 저장된다.

[0079] 제10 NMOS 트랜지스터(n50)는 제5 노드(N<sub>5</sub>)와 접지 전원 사이에 연결되고, 클럭 신호(CLK)를 인가받는다.

[0080] 상기한 도 3에 도시된 전가산기의 경우, 8개의 PMOS 트랜지스터(p11 ~ 14, p21 ~ p24)와 16개의 NMOS 트랜지스터(n11 ~ n19, n21 ~ n27) 및 4개의 비휘발성 메모리 스위치(f11, f12, f21, f22)를 포함하여 구성되었다. 도 3의 전가산기와 같이 트랜지스터의 개수가 많은 경우, 제조 면적 및 비용이 증가할 뿐만 아니라 전력 소비가 커지게 된다. 비록 하나의 전가산기에 포함되는 트랜지스터의 개수가 많지 않을지라도, 인공 신경망에서는 대량의 곱셈 연산과 덧셈 연산을 병렬로 수행해야 하므로 대량의 곱셈기와 가산기를 구비해야 하며, 도 2에 도시된 바와 같이, 곱셈기의 경우 다수의 가산기를 구비해야 하므로 각각의 전가산기에 포함되는 트랜지스터 개수의 증가는 인공 신경망 전체의 구성을 고려할 때, 매우 큰 크기와 제조 비용 및 전력 소비를 요구하게 된다.

[0081] 그에 비해 도 8의 전가산기는 4개의 PMOS 트랜지스터(p31 ~ p34)와 12개의 NMOS 트랜지스터(n31, n32, n41 ~ n50) 및 3개의 비휘발성 메모리 스위치(f41 ~ f43)를 포함한다. 즉 도 3의 전가산기에 비해 4개의 PMOS 트랜지스터와 4개의 NMOS 트랜지스터 및 1개의 비휘발성 메모리 스위치를 줄일 수 있다는 장점이 있다.

[0082] 도 9 내지 도 11은 도 8의 전가산기의 동작을 설명하기 위한 도면이다.

[0083] 도 9 및 도 10은 각각 프리차지 구간(Pre)과 연산 구간(Eva)에서의 동작을 나타내고, 도 11은 도 8의 전가산기의 동작을 나타내는 타이밍 다이어그램이다.

[0084] 여기서도 입력 비트(A)가 1이고, 저장 비트(B)는 0이며, 입력 캐리(C<sub>i</sub>)가 1인 것으로 가정하여 전가산기의 동작을 설명한다.

[0085] 도 9 및 도 11을 참조하면, 프리차지 구간(Pre)에서 클럭 신호(CLK)는 로우 레벨로 인가되고, 프리차지부의 2개의 PMOS 트랜지스터(p31, p32)는 로우 레벨의 클럭 신호(CLK)에 응답하여 제1 및 제2 노드(N<sub>1</sub>, N<sub>2</sub>)를 전원 전압 레벨(V<sub>DD</sub>)로 프리차지한다. 이때, 디스차지부(40)의 3개의 비휘발성 메모리 스위치(f41 ~ f43)는 모두 턴오프 상태를 유지하고 있으나, 제1 노드(N<sub>1</sub>)에 게이트가 연결된 제5 NMOS 트랜지스터(n45)와 입력 비트(A)와 입력 캐리(C<sub>i</sub>)에 응답하여 턴온되는 제6 및 제7 트랜지스터(n46, n47)에 의해 제1 노드(N<sub>1</sub>)와 제1 노드(N<sub>5</sub>) 사이에는 전류 경로가 형성된다. 그러나 제10 NMOS 트랜지스터(n50)가 클럭 신호(CLK)에 응답하여 턴오프되므로, 제1 및 제2 노드(N<sub>1</sub>, N<sub>2</sub>)는 프리차지된 전원 전압 레벨(V<sub>DD</sub>)을 유지한다.

[0086] 도 10을 참조하면, 연산 구간(Eva)에서 2개의 PMOS 트랜지스터(p31, p32)는 클럭 신호(CLK)에 응답하여 턴오프되고, 디스차지부(40)의 제10 NMOS 트랜지스터(n50)는 턴온된다.

[0087] 그리고 디스차지부(40)의 제1 내지 제4 및 제6 내지 제9 NMOS 트랜지스터(n41 ~ n44, n46 ~ n49)는 입력 비트(A)와 입력 캐리(C<sub>i</sub>)에 응답하여 턴온된다. 다만 기저장된 저장 비트(B)에 의해 턴오프 상태를 유지하는 제1 내지 제3 비휘발성 메모리 스위치(f41 ~ f43)에 의해 제1 노드(N<sub>1</sub>)로부터 제3 및 제4 NMOS 트랜지스터(n43, n44)와 제10 NMOS 트랜지스터(n50)를 통해 접지 전원으로의 전류 경로를 형성된다.

[0088] 이때 제1 노드(N<sub>1</sub>)에 게이트가 연결된 제5 NMOS 트랜지스터(n45)는 제1 노드(N<sub>1</sub>)는 디스차지되는 제1 노드(N<sub>1</sub>)에 응답하여 턴오프되어 제2 노드(N<sub>2</sub>)의 전압 레벨이 프리차지된 전원 전압 레벨(V<sub>DD</sub>)로 유지한다.

[0089] 따라서 반전 출력부의 2개의 인버터는 각각 제1 및 제2 노드(N<sub>1</sub>, N<sub>2</sub>)의 전압을 반전하여 출력 캐리(C<sub>o</sub>)를 1로 출력하고, 가산 비트(S)를 0으로 출력한다. 다만 제1 노드(N<sub>1</sub>)에 게이트가 연결된 제5 NMOS 트랜지스터(n45)의 경우, 제3 및 제4 NMOS 트랜지스터(n43, n44)와 제10 NMOS 트랜지스터(n50)가 턴온되어 디스차지되는 과정에서 일시적으로 턴오프되지 않고 턴온 상태를 유지할 수 있다. 이 경우, 제2 노드(N<sub>2</sub>)가 의도하지 않게 방전되어, 제2 노드(N<sub>2</sub>)의 전압 레벨, 즉 반전 가산 비트( $\bar{S}$ )의 값이 부정확하게 될 수 있으며, 이로 인해 가산 비트(S)가 1로 출력되는 오동작(malfunction)이 발생될 수 있다.

[0090] 즉 도 8의 전가산기는 도 3의 전가산기에 비해 적은 개수의 소자를 포함하여도 입력 비트(A)와 저장 비트(B) 및

입력 캐리( $C_i$ )를 가산하여 가산 비트(S)와 출력 캐리( $C_o$ )를 출력할 수 있으나, 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )의 값이 (1, 0, 1), (1, 1, 0) 및 (0, 1, 1)과 같이 반전 출력 캐리( $\overline{C_o}$ )가 0의 비트값이 되고 반전 가산 비트( $\overline{S}$ )가 1의 비트값이 되어야 하는 모든 경우에 오동작이 발생할 가능성이 있다는 문제가 있다.

- [0091] 도 12은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 이용한 전가산기의 일예를 나타낸다.
- [0092] 도 12의 전가산기 또한 프리차지부와 반전 출력부 및 디스차지부(70)를 포함한다.
- [0093] 프리차지부는 제1 전원 전압( $V_{DD}$ )과 제1 및 제2 노드( $N_1$ ,  $N_2$ ) 각각의 사이에 연결되고 클럭 신호(CLK)가 인가되는 2개의 PMOS 트랜지스터(p61, p62)를 포함하여, 클럭 신호(CLK)에 응답하여 제1 및 제2 노드( $N_1$ ,  $N_2$ )를 제1 전원 전압( $V_{DD}$ ) 레벨로 프리차지한다.
- [0094] 그리고 반전 출력부는 각각 제1 및 제2 노드( $N_1$ ,  $N_2$ )의 전압을 입력으로 인가받아 반전하여 출력 캐리( $C_o$ )와 가산 비트(S)를 출력하는 2개의 인버터를 포함한다. 2개의 인버터 각각은 제1 전원 전압( $V_{DD}$ )과 제2 전원 전압( $V_{ss}$ ) 사이에 직렬로 연결되는 PMOS 트랜지스터(p63, p64)와 NMOS 트랜지스터(n61, n62)를 포함한다.
- [0095] 한편, 디스차지부(70)는 11개의 NMOS 트랜지스터(n71 ~ n81)와 3개의 비휘발성 메모리 스위치(f71 ~ f73)를 포함한다.
- [0096] 디스차지부(70)는 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )에 응답하여 프리차지된 제1 및 제2 노드( $N_1$ ,  $N_2$ )의 전압 레벨을 조절한다. 디스차지부(70)는 제1 노드( $N_1$ )와 제3 노드( $N_3$ ) 사이에 연결되어 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )에 응답하여 제1 노드( $N_1$ )와 제3 노드( $N_3$ )를 전기적으로 연결하거나 차단하는 캐리 디스차지부(80)와 제2 노드( $N_2$ )와 제3 노드( $N_3$ ) 사이에 연결되어 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )에 응답하여 제2 노드( $N_2$ )와 제3 노드( $N_3$ )를 전기적으로 연결하거나 차단하는 가산 디스차지부(90) 및 클럭 신호(CLK)에 응답하여 제3 노드( $N_3$ )와 접지 전원을 연결하는 풀다운 트랜지스터(n81)를 포함한다.
- [0097] 캐리 디스차지부(80)는 제1 노드( $N_1$ )와 제4 노드( $N_4$ ) 사이에 병렬로 연결되어 각각 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받는 제1 및 제2 NMOS 트랜지스터(n71, n72)와 제4 노드( $N_4$ )와 제3 노드( $N_3$ ) 사이에 연결되고, 게이트로 인가된 라이트 신호(WRT)에 따라 저장 비트(B)가 미리 저장되는 제1 비휘발성 메모리 스위치(f71)를 포함한다. 또한 제1 노드( $N_1$ )와 제3 노드( $N_3$ ) 사이에 직렬로 연결되어 각각 입력 비트(A)와 입력 캐리( $C_i$ )를 인가받는 제3 및 제4 NMOS 트랜지스터(n73, n74)를 포함한다.
- [0098] 여기서 제1 및 제2 NMOS 트랜지스터(n71, n72)와 제1 비휘발성 메모리 스위치(f71)는 클럭 신호(CLK)가 로우 레벨로 인가되어 풀다운 트랜지스터(n81)가 턴온된 연산 구간(Eva)에서 입력 비트(A)와 입력 캐리( $C_i$ ) 중 적어도 하나와 저장 비트(B)가 1이면, 제1 노드( $N_1$ )를 접지 전원 레벨로 디스차지함으로써, 반전 입력 캐리( $\overline{C_i}$ )가 0의 값으로 출력되도록 하는 제1 캐리 연산부로 볼 수 있다. 그리고 제3 및 제4 NMOS 트랜지스터(n73, n74)는 연산 구간(Eva)에서 입력 비트(A)와 입력 캐리( $C_i$ )가 모두 1인 경우에 제1 노드( $N_1$ )를 접지 전원 레벨로 디스차지함으로써, 반전 입력 캐리( $\overline{C_i}$ )가 0의 값으로 출력되도록 하는 제2 캐리 연산부로 볼 수 있다.
- [0099] 한편, 가산 디스차지부(90)는 제2 노드( $N_2$ )와 제5 및 제6 노드( $N_5$ ,  $N_6$ ) 각각의 사이에 연결되고, 각각 입력 비트(A)와 반전 입력 비트( $\overline{A}$ )를 인가받는 제5 및 제8 NMOS 트랜지스터(n75, n78)와 제5 노드( $N_5$ )와 제7 및 제8 노드( $N_7$ ,  $N_8$ ) 각각의 사이에 연결되고, 각각 입력 캐리( $C_i$ )와 반전 입력 캐리( $\overline{C_i}$ )를 인가받는 제6 및 제7 NMOS 트랜지스터(n76, n77), 그리고 제6 노드( $N_6$ )와 제8 및 제7 노드( $N_8$ ,  $N_7$ ) 각각의 사이에 연결되고, 각각 입력 캐리( $C_i$ )와 반전 입력 캐리( $\overline{C_i}$ )를 인가받는 제9 및 제10 NMOS 트랜지스터(n79, n80)를 포함한다. 또한 가산 디스차지부(90)는 제7 및 제8 노드( $N_7$ ,  $N_8$ ) 각각과 제3 노드( $N_3$ ) 사이에 연결되고 게이트로 인가된 라이트 신호(WR



T)에 따라 저장 비트(B)와 반전 저장 비트( $\overline{B}$ )이 미리 저장되는 제2 및 제3 비휘발성 메모리 스위치(f72, f73)를 포함한다.

[0100] 제5 내지 제7 NMOS 트랜지스터(n75 ~ n77)와 제2 비휘발성 메모리 스위치(f72)는 연산 구간(Eva)에서 저장 비트(B)의 비트값이 1이고, 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )가 모두 1(1, 1, 1)이거나, 입력 비트(A)와 입력 캐리( $C_i$ )가 모두 0인 경우(0, 1, 0)에 제2 노드( $N_2$ )를 접지 전원 레벨로 디스차지함으로써, 반전 입력 캐리( $\overline{C_i}$ )가 0의 값으로 출력되도록 하는 제1 가산 연산부로 볼 수 있다. 그리고 제8 내지 제10 NMOS 트랜지스터(n78 ~ n80)와 제3 비휘발성 메모리 스위치(f73)는 연산 구간(Eva)에서 반전 저장 비트( $\overline{B}$ )의 비트값이 1이고, 입력 비트(A)와 입력 캐리( $C_i$ )가 중 하나가 1인 경우((1, 0, 0), (0, 0, 1))에 제2 노드( $N_2$ )를 접지 전원 레벨로 디스차지함으로써, 반전 입력 캐리( $\overline{C_i}$ )가 0의 값으로 출력되도록 하는 제1 가산 연산부로 볼 수 있다.

[0101] 도 13 내지 도 15은 도 12의 전가산기의 동작을 설명하기 위한 도면이다.

[0102] 도 13 및 도 14에서는 일 예로 입력 비트(A)가 1이고, 저장 비트(B)는 0이며, 입력 캐리( $C_i$ )가 1경우(1, 0, 1)의 전가산기의 동작을 설명한다. 따라서 제1 및 제2 비휘발성 메모리 스위치(f41, f42)는 턴오프 상태를 유지하고, 제3 비휘발성 메모리 스위치(f41, f42)는 턴온 상태를 유지한다.

[0103] 도 13 및 도 15을 참조하면, 프리차지 구간(Pre)에서 클럭 신호(CLK)는 로우 레벨로 인가되고, 프리차지부의 2개의 PMOS 트랜지스터(p61, p62)는 로우 레벨의 클럭 신호(CLK)에 응답하여 제1 및 제2 노드( $N_1$ ,  $N_2$ )를 전원 전압 레벨( $V_{DD}$ )로 프리차지한다. 이때, 디스차지부(70)의 풀 다운 트랜지스터(n81)가 로우 레벨의 클럭 신호(CLK)에 응답하여 턴오프되므로, 제1 및 제2 노드( $N_1$ ,  $N_2$ )는 전원 전압 레벨( $V_{DD}$ )로 유지된다.

[0104] 한편, 도 14를 참조하면, 클럭 신호(CLK)가 하이 레벨로 천이하는 연산 구간(Eva)에서 2개의 PMOS 트랜지스터(p61, p62)는 턴오프되고, 디스차지부(70)의 풀 다운 트랜지스터(n81)가 턴온되어 제3 노드( $N_3$ )를 제2 전원 전압( $V_{SS}$ ) 레벨로 풀다운 시킨다.

[0105] 그리고 디스차지부(70)에서 캐리 디스차지부(80)의 제1 내지 제4 NMOS 트랜지스터(n71 ~ n74)는 입력 비트(A)와 입력 캐리( $C_i$ )에 응답하여 턴온된다. 비록 턴오프 상태를 유지하는 제1 비휘발성 메모리 스위치(f41)에 의해 제4 노드( $N_4$ )와 제3 노드( $N_3$ ) 사이의 전류 경로가 차단되지만, 턴온된 제3 및 제4 NMOS 트랜지스터(n73 ~ n74)를 통해 제1 노드( $N_1$ )와 제3 노드( $N_3$ ) 사이에 전류 경로가 형성되어, 제1 노드( $N_1$ )는 제2 전원 전압( $V_{SS}$ ) 레벨로 풀 다운 된다. 따라서 반전 출력 캐리( $\overline{C_o}$ )가 0이되고, 제1 인버터에 의해 출력 캐리( $C_o$ )는 1로 출력된다.

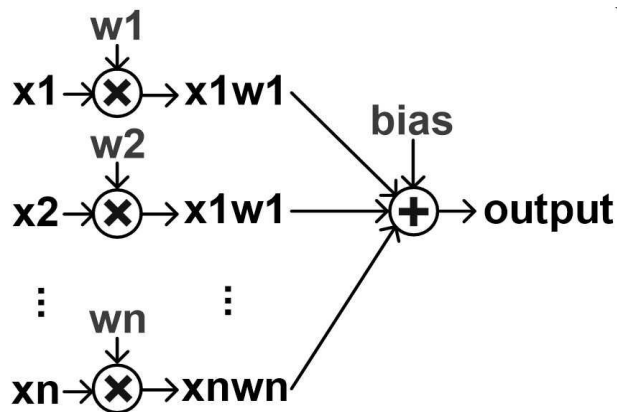
[0106] 가산 디스차지부(90)에서는 제5, 제6 및 제10 NMOS 트랜지스터(n75, n76, n80)가 입력 비트(A)와 입력 캐리( $C_i$ )에 응답하여 턴온되고, 제7 내지 제9 NMOS 트랜지스터(n77 ~ n79)는 턴오프된다. 이때 제5 및 제6 NMOS 트랜지스터(n75, n76)가 턴온되더라도, 턴오프 상태를 유지하는 제2 비휘발성 메모리 스위치(f41)에 의해 제2 노드( $N_2$ )로부터 제5 노드( $N_5$ ) 및 제7 노드( $N_7$ )를 경유하여 제3 노드( $N_3$ )에 도달하는 전류 경로는 형성되지 않는다. 또한 제2 노드( $N_2$ )로부터 제5 노드( $N_5$ ) 및 제8 노드( $N_8$ )를 경유하여 제3 노드( $N_3$ )에 도달하는 전류 경로 또한 제7 NMOS 트랜지스터(n77)에 의해 차단된다. 한편, 제8 NMOS 트랜지스터(n78)가 턴오프됨에 따라 제2 노드( $N_2$ )로부터 제6 노드( $N_6$ )를 경유하여 제3 노드( $N_3$ )에 도달하는 전류 경로 또한 형성되지 않는다. 따라서 반전 가산 비트( $\overline{S}$ )는 프리차지된 전원 전압 레벨( $V_{DD}$ )에 의해 1로 유지되고, 제1 인버터에 의해 가산 비트(S)는 0으로 출력된다.

[0107] 즉 도 12의 전가산기는 도 8의 전가산기와 달리, 제2 노드( $N_2$ )와 제3 노드( $N_3$ ) 사이에 배치된 가산 디스차지부(90)가 제1 노드( $N_1$ )의 전압 레벨에 무관하게 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )에 응답하여 반전 가산 비트( $\overline{S}$ )가 출력되는 제2 노드( $N_2$ )의 전압 레벨을 조절한다. 따라서 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )에 따른 오동작이 발생하지 않는다.

- [0108] 상기에서는 입력 비트(A)가 1이고, 저장 비트(B)는 0이며, 입력 캐리( $C_i$ )가 1경우의 동작만을 설명하였으나, 이는 도 8의 전가산기에 비해 도 12에 도시된 본 실시예에 따른 전가산기가 오동작을 나타내지 않음을 설명하기 위한 것으로, 도 15의 타이밍 다이어그램에 나타난 바와 같이, 본 실시예의 전가산기는 입력 비트(A)와 저장 비트(B) 및 입력 캐리( $C_i$ )의 값에 따라 정확한 가산 비트(S)와 출력 캐리( $C_o$ )를 출력할 수 있다.
- [0109] 또한 4개의 PMOS 트랜지스터(p61 ~ p64)와 13개의 NMOS 트랜지스터(n61, n62, n71 ~ n81) 및 3개의 비휘발성 메모리 스위치(f41 ~ f43)를 포함하여, 도 3의 전가산기에 비해, 4개의 PMOS 트랜지스터와 3개의 NMOS 트랜지스터 및 1개의 비휘발성 메모리 스위치를 줄일 수 있다.
- [0110] 결과적으로 제조 비용을 저감할 수 있으며, 소형화할 수 있을 뿐만 아니라, 전력 소비를 줄일 수 있다.
- [0111] 본 발명에 따른 방법은 컴퓨터에서 실행시키기 위한 매체에 저장된 컴퓨터 프로그램으로 구현될 수 있다. 여기서 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스 될 수 있는 임의의 가용 매체일 수 있고, 또한 컴퓨터 저장 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함하며, ROM(판독 전용 메모리), RAM(랜덤 액세스 메모리), CD(컴팩트 디스크)-ROM, DVD(디지털 비디오 디스크)-ROM, 자기 테이프, 플로피 디스크, 광데이터 저장장치 등을 포함할 수 있다.
- [0112] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.
- [0113] 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

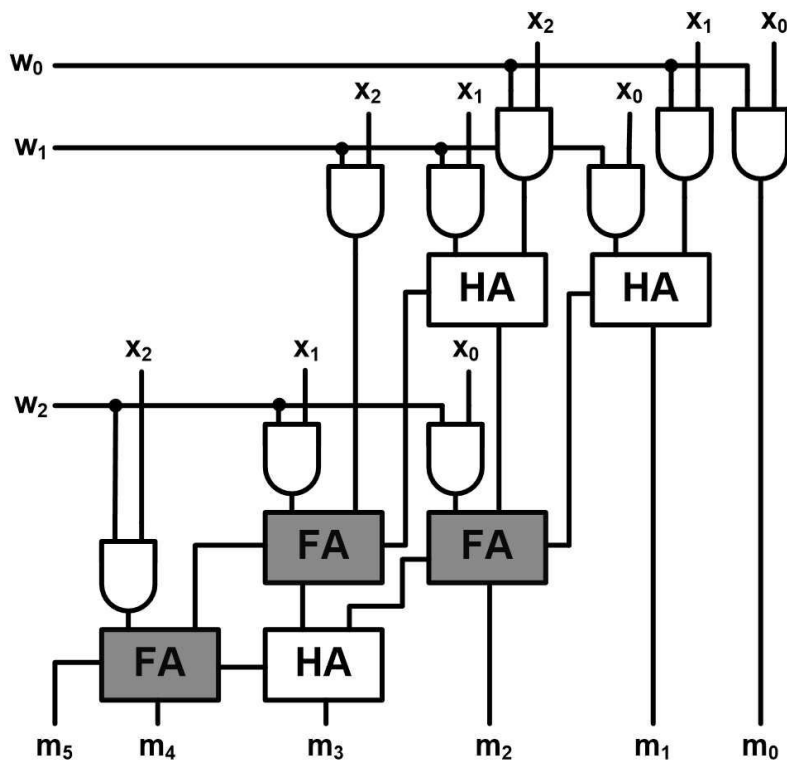
## 도면

### 도면1

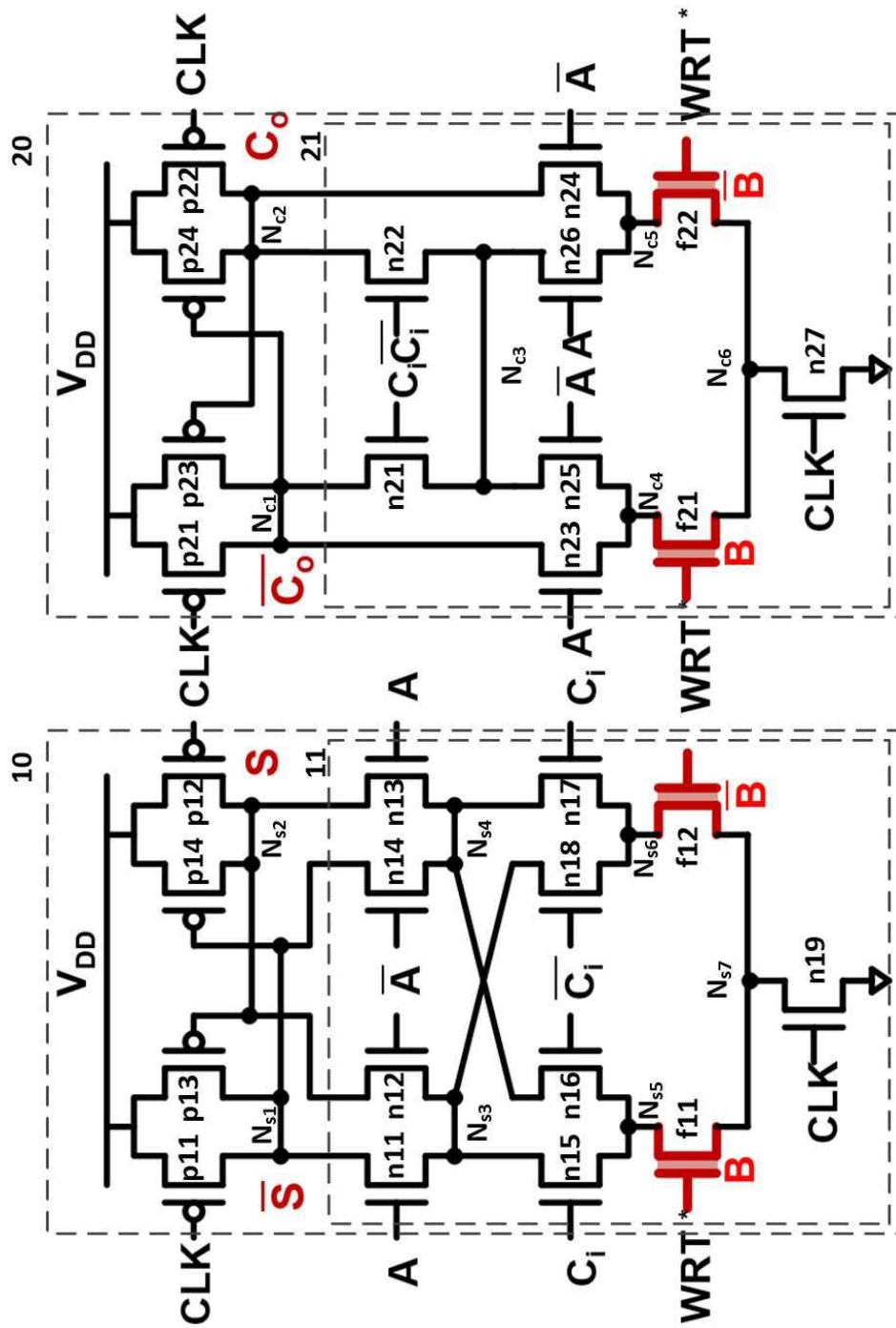




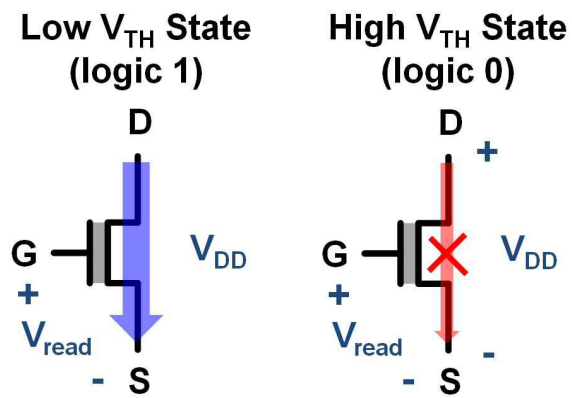
도면2



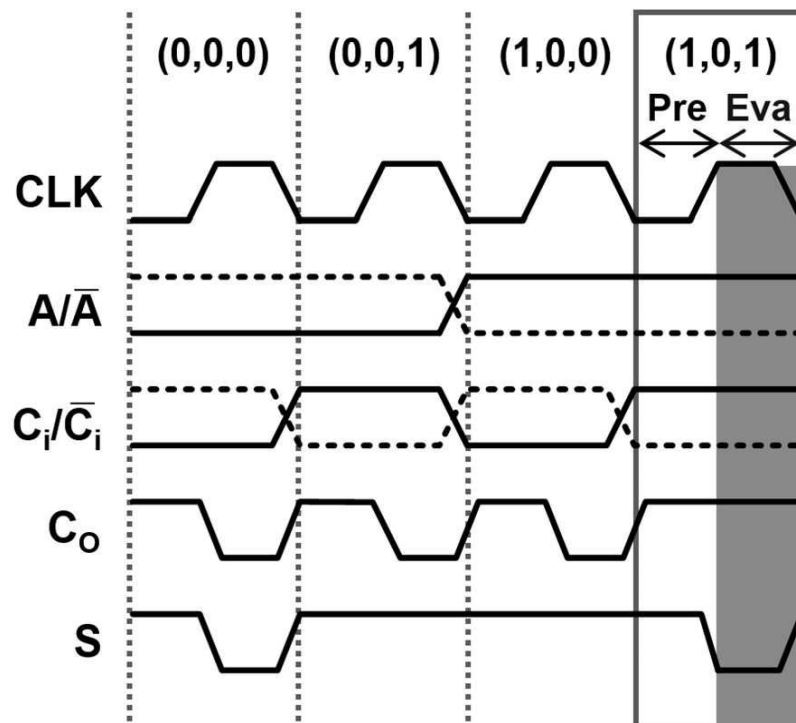
도면3



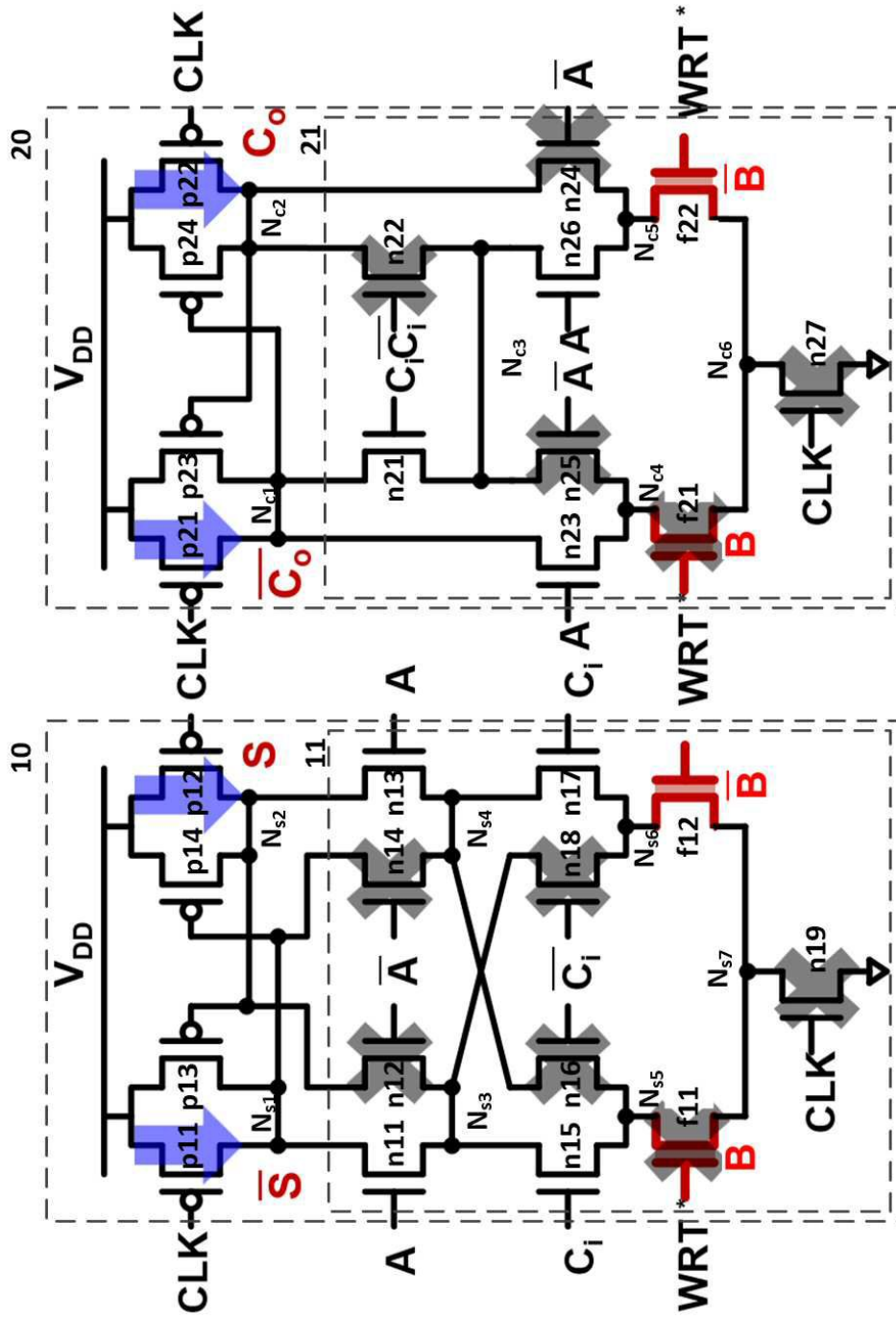
도면4



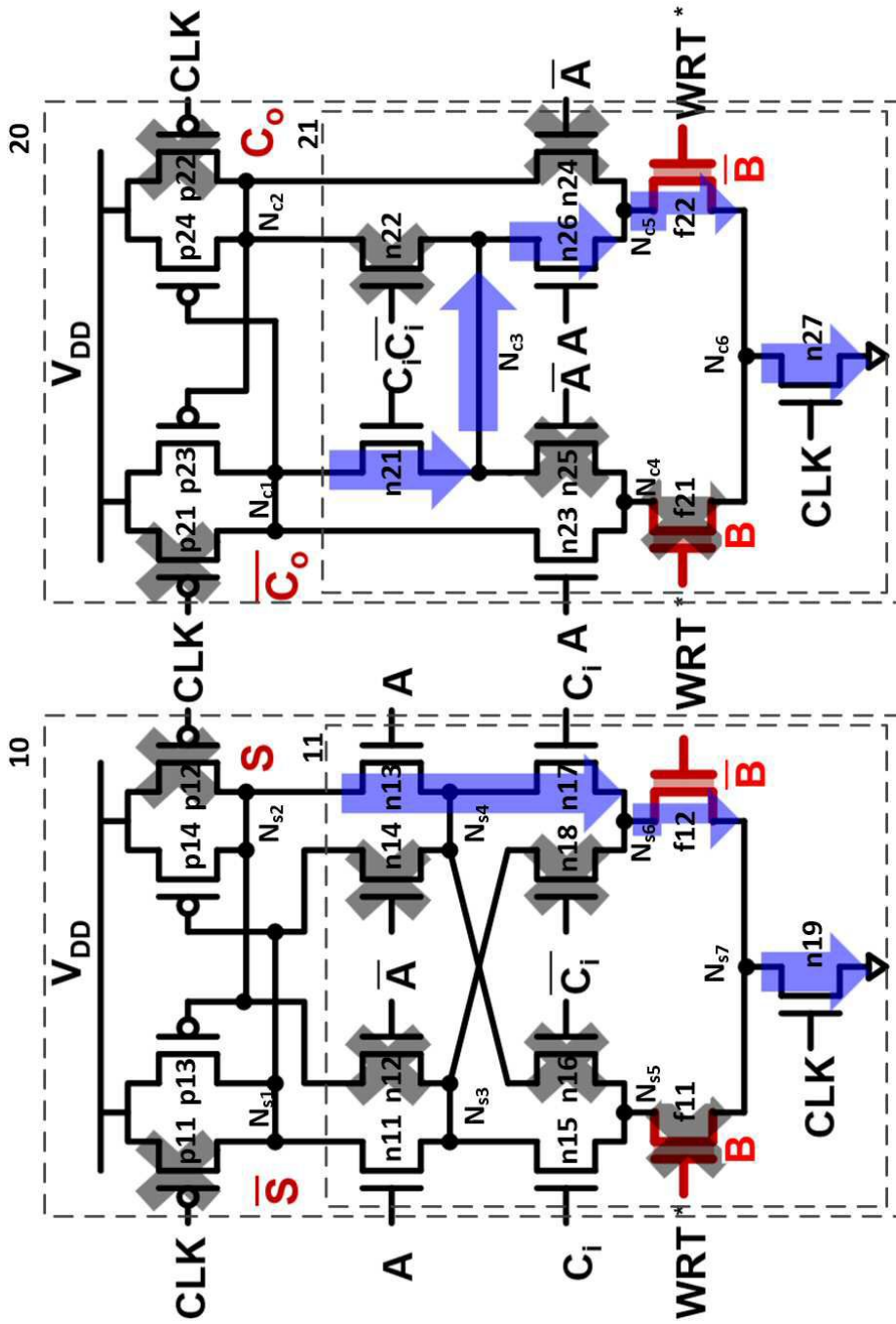
도면5



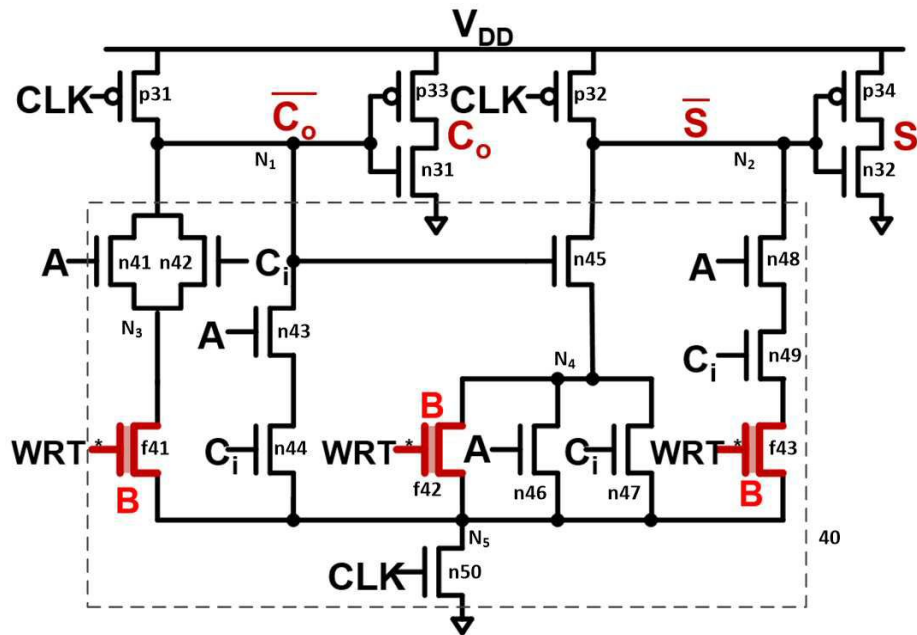
도면6



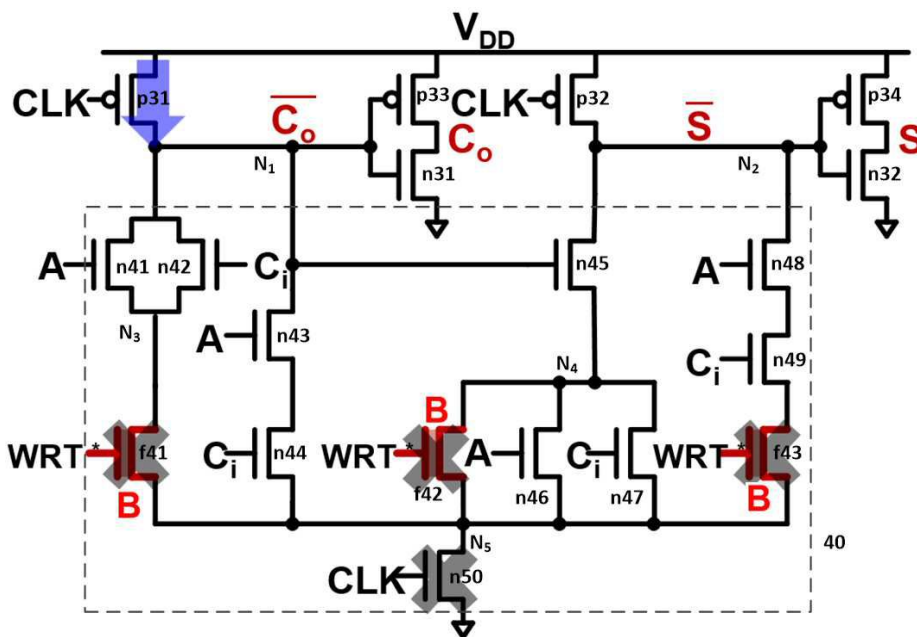
도면7



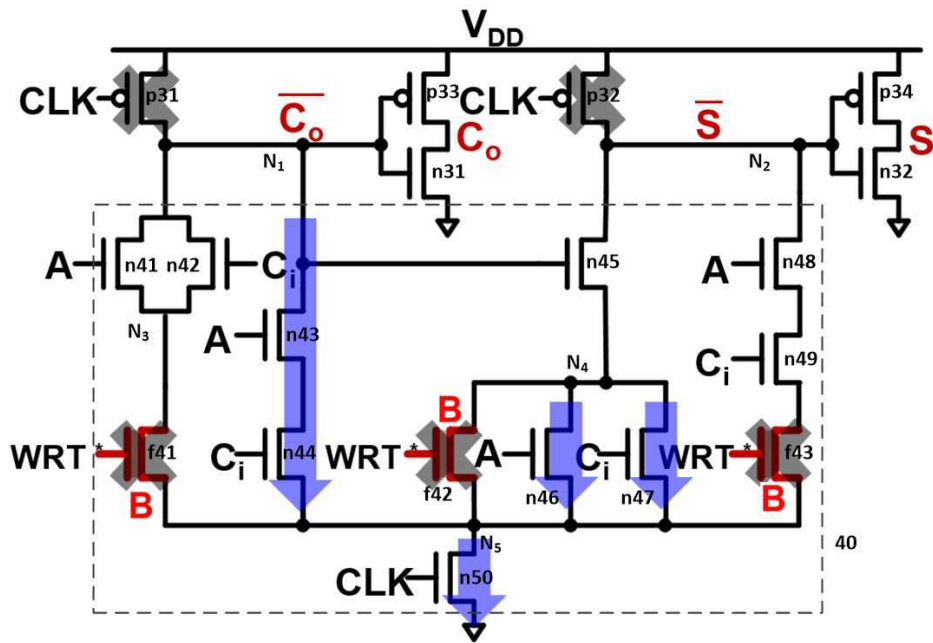
도면8



도면9



도면10



도면11

