

(45) 공고일자 2020년 10월 21일
(11) 등록번호 10-2167955
(24) 등록일자 2020년 10월 14일

- (73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
- (72) 발명자
김태욱
서울특별시 서대문구 연희로20길 33(연희동)
조준희
충청남도 천안시 동남구 방죽안3길 37-1(신부동)
- (74) 대리인
김연권

심사관 : 김성태

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	20170004180041001
부처명	한국연구재단
과제관리(전문)기관명	한국연구재단 부설 정보통신기획평가원
연구사업명	정부-과학기술정보통신부-정보통신기획평가원(한국연구재단부설)-정보통신방송연구
개발사업-ICT융합산업원천기술개발사업	
연구과제명	[통합이지바로] 초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이다 SoC
(System On a Chip) 설계 연구	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

무선 주파수 신호의 주기와 델타 t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 상기 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성하는 클록 생성부;

상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클록에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 샘플링부; 및

상기 생성된 회로 구동 클록에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 신호 복원부를 포함하고,

상기 신호 복원부는 상기 생성된 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는

부분 샘플링 수신 장치.

청구항 2

제1항에 있어서,

상기 샘플링부는 상기 생성된 샘플링 클록이 하이 상태일 경우, 상기 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 상기 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하고, 상기 생성된 샘플링 클록이 로우 상태일 경우, 홀드 상태를 유지하는

부분 샘플링 수신 장치.

청구항 3

무선 주파수 신호의 주기와 델타 t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 상기 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성하는 클록 생성부;

상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클록에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 샘플링부; 및

상기 생성된 회로 구동 클록에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 신호 복원부를 포함하고,

상기 샘플링부는 상기 생성된 샘플링 클록이 하이 상태일 경우, 상기 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 상기 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하고, 상기 생성된 샘플링 클록이 로우 상태일 경우, 홀드 상태를 유지하고, 상기 홀드 상태를 유지할 경우, 상기 샘플링부로 입력되는 전원을 차단하는 전원 차단부를 포함하는

부분 샘플링 수신 장치.

청구항 4

제1항에 있어서,

상기 결정된 샘플링 타이밍은 상기 복수의 펄스 신호 각각에서 상기 델타 t 만큼의 시간이 누적 지연되는

부분 샘플링 수신 장치.

청구항 5

제1항에 있어서,

공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 상기 무선 주파수 신호의 대역폭(bandwidth)을 증폭시키는 증폭부를 더 포함하는

부분 샘플링 수신 장치.

청구항 6

제5항에 있어서,

상기 샘플링부는 상기 증폭부로부터 상기 대역폭(bandwidth)이 증폭된 무선 주파수 신호를 직접(direct) 수신하고, 상기 생성된 샘플링 클록에 기초하여 상기 직접(direct) 수신된 무선 주파수 신호에서 상기 부분 펄스 신호를 샘플링하는

부분 샘플링 수신 장치.

청구항 7

무선 주파수 신호의 주기와 델타t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 상기 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성하는 클록 생성부;

상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클록에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 샘플링부; 및

상기 생성된 회로 구동 클록에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 신호 복원부를 포함하고,

상기 생성된 샘플링 클록과 상기 생성된 회로 구동 클록은 클록 발생의 시간 차이에 기초하여 상기 지연 마진(delay margin)의 차이를 갖는

부분 샘플링 수신 장치.

청구항 8

삭제

청구항 9

무선 주파수 신호의 주기와 델타t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 상기 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성하는 클록 생성부;

상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클록에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 샘플링부; 및

상기 생성된 회로 구동 클록에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 신호 복원부를 포함하고,

상기 신호 복원부는 상기 생성된 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 동작을 미리 설정된 횟수만큼 반복적으로 수행하도록 복수의 비교기 구동 클록을 생성하는

부분 샘플링 수신 장치.

청구항 10

제1항에 있어서,

상기 신호 복원부는 상기 저장된 부분 펄스 신호에 대해 이진 검색 알고리즘(binary search algorithm)을 수행

하여 상기 무선 주파수 신호의 펄스 신호를 복원하는
부분 샘플링 수신 장치.

청구항 11

클럭 생성부에서, 무선 주파수 신호의 주기와 델타t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클럭을 생성하거나, 상기 생성된 샘플링 클럭과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클럭을 생성하는 단계;

샘플링부에서, 상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클럭에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계; 및

신호 복원부에서, 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함하되,

상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계는,

상기 생성된 회로 구동 클럭에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 단계; 및

상기 저장된 부분 펄스 신호에 대해 이진 검색 알고리즘(binary search algorithm)을 수행하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함하는

부분 샘플링 수신 장치의 동작 방법.

청구항 12

클럭 생성부에서, 무선 주파수 신호의 주기와 델타t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클럭을 생성하거나, 상기 생성된 샘플링 클럭과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클럭을 생성하는 단계;

샘플링부에서, 상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클럭에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계; 및

신호 복원부에서, 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함하고,

상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계는,

상기 생성된 샘플링 클럭이 하이 상태일 경우, 상기 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계;

상기 생성된 샘플링 클럭이 로우 상태일 경우, 홀드 상태를 유지하는 단계; 및

상기 홀드 상태를 유지할 경우, 상기 샘플링부로 입력되는 전원을 차단하는 단계를 포함하는

부분 샘플링 수신 장치의 동작 방법.

청구항 13

클럭 생성부에서, 무선 주파수 신호의 주기와 델타t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클럭을 생성하거나, 상기 생성된 샘플링 클럭과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클럭을 생성하는 단계;

샘플링부에서, 상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클럭에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계; 및

신호 복원부에서, 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함하고,

상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계는,

호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계는,

상기 생성된 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 동작을 미리 설정된 횟수만큼 반복적으로 수행하도록 복수의 비교기 구동 클록을 생성하는 단계를 포함하는

부분 샘플링 수신 장치의 동작 방법.

청구항 14

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 무선 주파수 신호를 여러 차례 부분 샘플링하여 무선 주파수 신호를 수신하는 기술에 관한 것으로, 저잡음 증폭기로부터 믹서(mixer) 없이 무선 주파수 신호를 직접 부분 샘플링하는 구조를 통해 수신 장치의 구조를 단순화하고, 전력 소모를 감소시키는 기술에 관한 것이다.

배경 기술

- [0002] 종래의 고속의 무선 주파수(radio frequency, RF)의 신호를 디지털화하기 위한 수신기는 입력 주파수의 두 배 이상의 속도를 갖는 over-sampling ADC(analog digital converter)가 선호되었다.
- [0003] 그러나, over-sampling ADC는 하드웨어의 구현이 매우 어렵기 때문에 멀티 계층의 시간 인터리브드 ADC 나 Low-IF(Low-Intermediate Frequency) 수신기 등이 널리 사용되고 있다.
- [0004] Low IF 수신기로 다운 변환(down conversion)하기 위해 사용되는 믹서(mixer)는 인 밴드 왜곡(in-band distortion)이 아날로그 디지털 변환기보다 현저히 낮아야만 한다.
- [0005] 또한, 믹서 및 RF PLL(Phase Lock Loop) 등을 사용하는 구조는 하드웨어의 구조가 복잡하고 전력 소모가 매우 크다는 단점이 존재한다.
- [0006] 또한, 시간 인터리브드(time interleaved) ADC는 저속의 샘플링 속도를 가지는 여러 개의 ADC를 병렬로 결합하여 결합된 ADC의 수만큼 샘플링 속도를 높여 고속 샘플링을 할 수 있게 하는 기술이다.
- [0007] 아날로그 신호를 수신하는 디지털 신호처리 시스템의 성능은 종종 아날로그 신호를 디지털로 변환하는 속도에 매우 제한적이고, 고속 신호 샘플링 기술이 필요한 시스템은 고속 ADC를 사용하여 실시간으로 수신된 데이터를 샘플링 하나 고속 ADC를 이용할 경우 비용이 증가될 수 있다.
- [0008] 한편, 고속 ADC를 사용함에 따른 비용 증가를 막기 위해 복수의 저속 ADC를 사용하는 방안을 고려해볼 수 있는데, ADC의 개수가 증가함에 따라 하드웨어 구조가 복잡해질 수 있다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 한국공개특허 제10-2018-0007930호, "타임 인터리빙 샘플링 ADC를 위한 위상 제어 장치"
- (특허문헌 0002) 한국공개특허 제10-2015-0120187호, "DC-DC 컨버터 및 이를 포함하는 전자 시스템"
- (특허문헌 0003) 한국공개특허 제10-2014-0127119호, "부분지연발생기를 이용한 디지털 리샘플링 장치"
- (특허문헌 0004) 미국등록특허 제8217824호, "ANALOG-TO-DIGITAL CONVERTER TIMING CIRCUITS"

발명의 내용

해결하려는 과제

- [0010] 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t만큼의 미세한 시간 차이를 갖는 샘플링 타이밍을 결정하고, 결정된 샘플링 타이밍에서 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원하는 것을 목적으로 한다.
- [0011] 본 발명은 저잡음 증폭기(low pass amplifier)로부터 믹서(mixer)를 통하지 않고, 무선 주파수 신호를 직접 샘플링하여 하드웨어 구조를 단순화하고 전력 소모를 감소시키는 것을 목적으로 한다.
- [0012] 본 발명은 공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 상기 무선 주파수 신호의 대역폭(bandwidth)을 증폭하여 입력 신호를 왜곡 없이 직접 샘플링하는 것을 목적으로 한다.
- [0013] 본 발명은 액티브 트랙 앤 홀드 회로 기반의 샘플링부를 이용하여 넓은 대역폭(wide bandwidth)의 무선 주파수 신호를 직접 샘플링하는 것을 목적으로 한다.
- [0014] 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t만큼의 미세한 시간 차이로 샘플링 지점을 이동시켜 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원하는 것을 목적으로 한다.
- [0015] 본 발명은 발생 시간 구간이 중복되지 않는 클록 신호들을 생성하여 샘플링과 신호 복원 간의 회로 동작 효율성을 증가시키는 것을 목적으로 한다.

과제의 해결 수단

- [0016] 본 발명의 일실시예에 따르면 부분 샘플링 수신 장치는 무선 주파수 신호의 주기와 델타 t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 상기 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성하는 클록 생성부, 상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클록에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 샘플링부 및 상기 생성된 회로 구동 클록에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 신호 복원부를 포함할 수 있다.
- [0017] 상기 샘플링부는 상기 생성된 샘플링 클록이 하이 상태일 경우, 상기 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 상기 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하고, 상기 생성된 샘플링 클록이 로우 상태일 경우, 홀드 상태를 유지할 수 있다.
- [0018] 상기 샘플링부는 상기 홀드 상태를 유지할 경우, 상기 샘플링부로 입력되는 전원을 차단하는 전원 차단부를 포함할 수 있다.
- [0019] 상기 결정된 샘플링 타이밍은 상기 복수의 펄스 신호 각각에서 상기 델타 t 만큼의 시간이 누적 지연될 수 있다.
- [0020] 본 발명의 일실시예에 따르면 부분 샘플링 수신 장치는 공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 상기 무선 주파수 신호의 대역폭(bandwidth)을 증폭시키는 증폭부를 더 포함할 수 있다.
- [0021] 상기 샘플링부는 상기 증폭부로부터 상기 대역폭(bandwidth)이 증폭된 무선 주파수 신호를 직접(direct) 수신하고, 상기 생성된 샘플링 클록에 기초하여 상기 직접(direct) 수신된 무선 주파수 신호에서 상기 부분 펄스 신호를 샘플링할 수 있다.
- [0022] 상기 생성된 샘플링 클록과 상기 생성된 회로 구동 클록은 클록 발생의 시간 차이에 기초하여 상기 지연 마진(delay margin)의 차이를 갖을 수 있다.
- [0023] 상기 신호 복원부는 상기 생성된 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장할 수 있다.
- [0024] 상기 신호 복원부는 상기 생성된 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 동작을 미리 설정된 횟수만큼 반복적으로 수행하도록 복수의 비교기 구동 클록을 생성할 수 있다.
- [0025] 상기 신호 복원부는 상기 저장된 부분 펄스 신호에 대해 이진 검색 알고리즘(binary search algorithm)을 수행하여 상기 무선 주파수 신호의 펄스 신호를 복원할 수 있다.

- [0026] 본 발명의 일실시예에 따르면 부분 샘플링 수신 장치의 동작 방법은 클럭 생성부에서, 무선 주파수 신호의 주기와 델타 t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클럭을 생성하거나, 상기 생성된 샘플링 클럭과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클럭을 생성하는 단계, 샘플링부에서, 상기 주기에 따라 입력된 복수의 펄스 신호 각각에서 상기 생성된 샘플링 클럭에 기초하여 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계 및 신호 복원부에서, 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함할 수 있다.
- [0027] 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계는, 상기 생성된 샘플링 클럭이 하이 상태일 경우, 상기 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 상기 결정된 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하는 단계, 상기 생성된 샘플링 클럭이 로우 상태일 경우, 홀드 상태를 유지하는 단계 및 상기 홀드 상태를 유지할 경우, 상기 샘플링부로 입력되는 전원을 차단하는 단계를 포함할 수 있다.
- [0028] 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계는, 상기 생성된 회로 구동 클럭에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 동작을 미리 설정된 횟수만큼 반복적으로 수행하도록 복수의 비교기 구동 클럭을 생성하는 단계를 포함할 수 있다.
- [0029] 상기 생성된 회로 구동 클럭에 기초하여 상기 샘플링된 부분 펄스 신호를 저장하고, 상기 저장된 부분 펄스 신호를 이용하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계는, 상기 생성된 회로 구동 클럭에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장하는 단계 및 상기 저장된 부분 펄스 신호에 대해 이진 검색 알고리즘(binary search algorithm)을 수행하여 상기 무선 주파수 신호의 펄스 신호를 복원하는 단계를 포함할 수 있다.

발명의 효과

- [0030] 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t 만큼의 미세한 시간 차이를 갖는 샘플링 타이밍을 결정하고, 결정된 샘플링 타이밍에서 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원할 수 있다.
- [0031] 본 발명은 저잡음 증폭기(low pass amplifier)로부터 믹서(mixer)를 통하지 않고, 무선 주파수 신호를 직접 샘플링하여 하드웨어 구조를 단순화하고 전력 소모를 감소시킬 수 있다.
- [0032] 본 발명은 공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 상기 무선 주파수 신호의 대역폭(bandwidth)을 증폭하여 입력 신호를 왜곡 없이 직접 샘플링할 수 있다.
- [0033] 본 발명은 액티브 트랙 앤 홀드 회로 기반의 샘플링부를 이용하여 넓은 대역폭(wide bandwidth)의 무선 주파수 신호를 직접 샘플링할 수 있다.
- [0034] 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t 만큼의 미세한 시간 차이로 샘플링 지점을 이동시켜 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원할 수 있다.
- [0035] 본 발명은 발생 시간 구간이 중복되지 않는 클럭 신호들을 생성하여 샘플링과 신호 복원 간의 회로 동작 효율성을 증가시킬 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 구성 요소를 설명하는 도면이다.
- 도 2는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치가 부분 샘플링을 통해 무선 주파수 신호의 펄스를 복원 및 출력하는 동작을 설명하는 도면이다.
- 도 3은 본 발명의 일실시예에 따른 증폭부의 회로를 설명하는 도면이다.
- 도 4는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 회로를 설명하는 도면이다.
- 도 5는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 회로 동작에 따른 타이밍도를 설명하는 도면이다.

도 6은 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 동작 방법과 관련된 흐름도를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0038] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0039] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0040] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0041] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0044] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0046] 도 1은 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 구성 요소를 설명하는 도면이다.
- [0047] 도 1을 참고하면, 본 발명의 일실시예에 따른 부분 샘플링 수신 장치(100)는 클록 생성부(110), 샘플링부(120) 및 신호 복원부(130)를 포함한다.
- [0048] 일례로, 클록 생성부(110)는 무선 주파수 신호의 주기와 델타 $t(\Delta t)$ 만큼의 차이가 반영된 샘플링 인터벌로 샘플링 타이밍을 결정하는 샘플링 클록(CLK_S)을 생성하거나, 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록(CLK_L)을 생성할 수 있다. 여기서, 지연 마진은 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)이 발생 또는 입력되는 타이밍 차이를 나타낼 수 있다.
- [0049] 즉, 클록 생성부(110)는 클록 발생기로부터 발생된 클록(CLK_{RX})을 수신하여 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)을 생성할 수 있다.
- [0050] 예를 들어, 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)은 클록 발생의 시간 차이에 기초하여 델타 $t(\Delta t)$ 만큼의 지연 마진 차이를 갖을 수 있다.
- [0051] 본 발명의 일실시예에 따르면 클록 생성부(110)는 샘플링부(120)의 동작 제어와 관련된 샘플링 클록(CLK_S)을 생

성하거나 신호 복원부(130)의 동작 제어와 관련된 회로 구동 클록(CLK_L)을 생성할 수 있다.

- [0052] 본 발명의 일실시예에 따르면 샘플링부(120)는 무선 주파수 신호의 주기에 따라 입력된 복수의 펄스 신호 각각에서 샘플링 클록에 기초하여 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링할 수 있다.
- [0053] 예를 들어, 무선 주파수 신호는 PRF(pulse repetition frequency)를 따라 반복적으로 펄스 신호의 형태로 부분 샘플링 수신 장치(100)로 입력될 수 있다.
- [0054] 즉, 무선 주파수 신호는 PRF(pulse repetition frequency)에 기반한 시간 경과에 따라 복수의 펄스 신호로 부분 샘플링 수신 장치(100)로 입력될 수 있다.
- [0055] 예를 들어, 무선 주파수 신호의 주기는 PRF(pulse repetition frequency)에 상응할 수 있다.
- [0056] 본 발명의 일실시예에 따르면 샘플링부(120)는 무선 주파수 신호의 부분 펄스 신호를 샘플링하여 중간 주파수(intermediate frequency, IF)로 출력할 수 있다.
- [0057] 일례로, 샘플링부(120)는 샘플링 클록이 하이 상태일 경우, 복수의 펄스 신호 중 어느 하나의 펄스 신호로부터 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링하고, 샘플링 클록이 로우 상태일 경우, 홀드 상태를 유지할 수 있다.
- [0058] 예를 들어, 샘플링 타이밍은 복수의 펄스 신호 각각에서 델타t 만큼의 시간이 누적 지연될 수 있다.
- [0059] 본 발명의 일실시예에 따르면 샘플링부(120)는 홀드 상태에서 샘플링부로 입력되는 전원을 차단하는 전원 차단부를 포함할 수 있다.
- [0060] 예를 들어, 전원 차단부는 헤드 스위치(head switch)를 포함할 수 있다.
- [0061] 일례로, 샘플링부(120)는 액티브 트랙 및 홀드 회로(active track and hold circuit)를 포함할 수 있으며, 전원 차단부에 기반하여 홀드 상태에서 정적 전류(static current)가 샘플링부(120)로 흐르지 않도록 제어함에 따라 전력 소모를 감소할 수 있다.
- [0062] 따라서, 본 발명은 액티브 트랙 앤 홀드 회로 기반의 샘플링부를 이용하여 넓은 대역폭(wide bandwidth)의 무선 주파수 신호를 직접 샘플링할 수 있다.
- [0063] 본 발명의 일실시예에 따르면 신호 복원부(130)는 회로 구동 클록(CLK_L)에 기초하여 샘플링된 부분 펄스 신호를 저장하고, 저장된 부분 펄스 신호를 이용하여 무선 주파수 신호의 펄스 신호를 복원할 수 있다.
- [0064] 일례로, 신호 복원부(130)는 디지털 아날로그 변환부(131), 비동기 회로부(132) 및 비교부(133)를 포함한다.
- [0065] 예를 들어 디지털 아날로그 변환부(131)는 스위치드 커패시터 네트워크로 구성되어 복수의 커패시터를 포함하고, 복수의 커패시터마다 샘플링부(120)가 부분 펄스 신호를 샘플링하는 동안 전압이 충전될 수 있다.
- [0066] 일례로, 신호 복원부(130)는 회로 구동 클록(CLK_L)에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교하여 상기 샘플링된 부분 펄스 신호를 저장할 수 있다.
- [0067] 즉, 디지털 아날로그 변환부(131)의 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교부(133)에 입력하고 비교 결과에 따라 샘플링된 부분 펄스 신호를 디지털 아날로그 변환부(131)에 저장할 수 있다.
- [0068] 일례로, 신호 복원부(130)는 회로 구동 클록에 기초하여 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교한 후, 샘플링된 부분 펄스 신호를 저장하는 동작을 미리 설정된 횟수만큼 반복적으로 수행하도록 복수의 비교기 구동 클록을 생성할 수 있다.
- [0069] 즉, 비동기 회로부(132)는 회로 구동 클록(CLK_L)을 수신하고, 수신된 회로 구동 클록(CLK_L)을 복수의 비교기 구동 클록으로 분주하여 샘플링된 부분 펄스 신호와 커패시터에 충전된 전압을 비교하는 동작을 비교기 구동 클록의 수만큼 반복적으로 수행하도록 할 수 있다.
- [0070] 예를 들어, 신호 복원부(130)가 커패시터에 충전된 전압과 상기 샘플링된 부분 펄스 신호를 비교한 후, 샘플링된 부분 펄스 신호를 저장하는 동작을 8번을 하나의 사이클(one cycle)로 할 경우, 비동기 회로부(132)는 8개의 비교기 구동 클록을 생성할 수 있다.
- [0071] 본 발명의 일실시예에 따르면 신호 복원부(130)는 부분 펄스 신호에 대해 이진 검색 알고리즘(binary search

algorithm)을 수행하여 무선 주파수 신호의 펄스 신호를 복원할 수 있다.

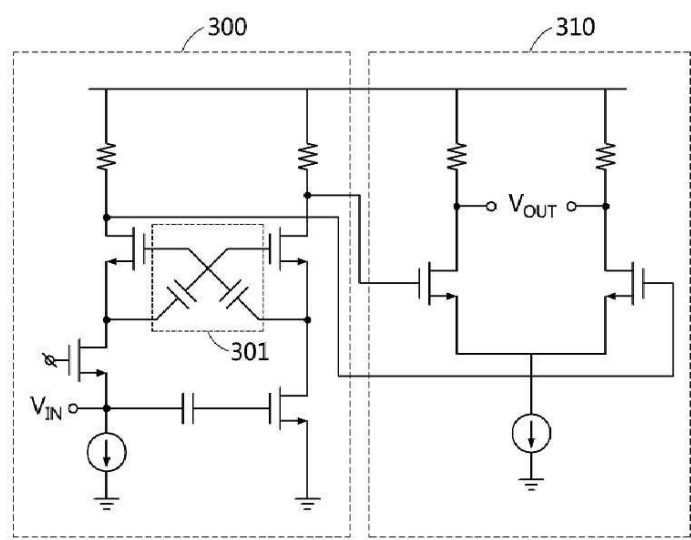
- [0072] 따라서, 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t만큼의 미세한 시간 차이를 갖는 샘플링 타이밍을 결정하고, 결정된 샘플링 타이밍에서 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원할 수 있다.
- [0073] 또한, 본 발명은 저잡음 증폭기(low pass amplifier)로부터 믹서(mixer)를 통하지 않고, 무선 주파수 신호를 직접 샘플링하여 하드웨어 구조를 단순화하고 전력 소모를 감소시킬 수 있다.
- [0074] 본 발명의 다른 실시예에 따르면 부분 샘플링 수신 장치(100)는 증폭부(140)를 더 포함할 수 있다.
- [0075] 일례로 증폭부(140)는 공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 무선 주파수 신호의 대역폭(bandwidth)을 증폭시킬 수 있다.
- [0076] 증폭부(140)의 회로 구조는 도 3을 이용하여 추가 설명한다.
- [0077] 본 발명의 일실시예에 따르면 샘플링부(120)는 증폭부(140)로부터 대역폭(bandwidth)이 증폭된 무선 주파수 신호를 직접(direct) 수신하고, 샘플링 클록(CLK_s)에 기초하여 직접(direct) 수신된 무선 주파수 신호에서 부분 펄스 신호를 샘플링할 수 있다.
- [0079] 도 2는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치가 부분 샘플링을 통해 무선 주파수 신호의 펄스를 복원 및 출력하는 동작을 설명하는 도면이다.
- [0080] 도 2를 참고하면, 부분 샘플링 수신 장치에서 샘플링부는 증폭부를 통해 대역폭(bandwidth)이 증폭된 무선 주파수(radio frequency, RF) 신호를 PRF(pulse repetition frequency)에 따라 입력 받는다.
- [0081] 본 발명의 일실시예에 따르면 샘플링부는 복수의 펄스 신호 중 제1 펄스 신호의 샘플링 지점(210)에서 제1 부분 펄스 신호를 샘플링한다.
- [0082] 또한, 샘플링부는 일정 시간 대기 후, 복수의 펄스 신호 중 제2 펄스 신호의 샘플링 지점(211)에서 제2 부분 펄스 신호를 샘플링한다.
- [0083] 샘플링 지점(210)과 샘플링 지점(211) 사이는 샘플링 인터벌(200)을 나타낼 수 있고, PRF(pulse repetition frequency)와 샘플링 인터벌(200)의 차이는 델타t(201) 만큼일 수 있다.
- [0084] 또한, 샘플링부는 일정 시간 대기 후, 복수의 펄스 신호 중 제3 펄스 신호의 샘플링 지점(212)에서 제3 부분 펄스 신호를 샘플링하고, 일정 시간 대기 후, 복수의 펄스 신호 중 제4 펄스 신호의 샘플링 지점(213)에서 제4 부분 펄스 신호를 샘플링할 수 있다.
- [0085] 또한, 샘플링부는 일정 시간 대기 후, 복수의 펄스 신호 중 제5 펄스 신호의 샘플링 지점(214)에서 제5 부분 펄스 신호를 샘플링할 수 있다. 여기서, 일정 시간 대기하는 동작은 홀드 상태에 상응할 수 있다.
- [0086] 본 발명의 일실시예에 따르면 신호 복원부는 제1 부분 펄스 신호 내지 제5 부분 펄스 신호를 이용하여 하나의 펄스 신호(220)를 복원할 수 있다.
- [0087] 샘플링 지점(210) 내지 샘플링 지점(214)를 비교하면, 샘플링 지점이 델타t(201)의 누적 시간만큼 이동될 수 있다.
- [0088] 즉, 샘플링부는 샘플링 클록에 기초하여 델타t(201)에 해당하는 시간만큼 샘플링 지점을 이동시키면서 복수의 부분 펄스 신호를 샘플링할 수 있다.
- [0089] 따라서, 본 발명은 무선 주파수 신호의 PRF(pulse repetition frequency)와의 델타 t만큼의 미세한 시간 차이로 샘플링 지점을 이동시켜 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원할 수 있다.
- [0091] 도 3은 본 발명의 일실시예에 따른 증폭부의 회로를 설명하는 도면이다.
- [0092] 도 3을 참고하면, 본 발명의 일실시예에 따른 증폭부는 저잡음 증폭부(300)와 추가 증폭부(310)를 포함할 수 있다.
- [0093] 본 발명의 일실시예에 따르면 저잡음 증폭부(300)는 넓은 대역폭(wide bandwidth)의 요구 조건을 만족시키기 위하여 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 공통 게이트(common gate)와 공통 소스

(common source) 토폴로지(topology)의 복합인 single-to-differential 구조로 설계될 수 있다.

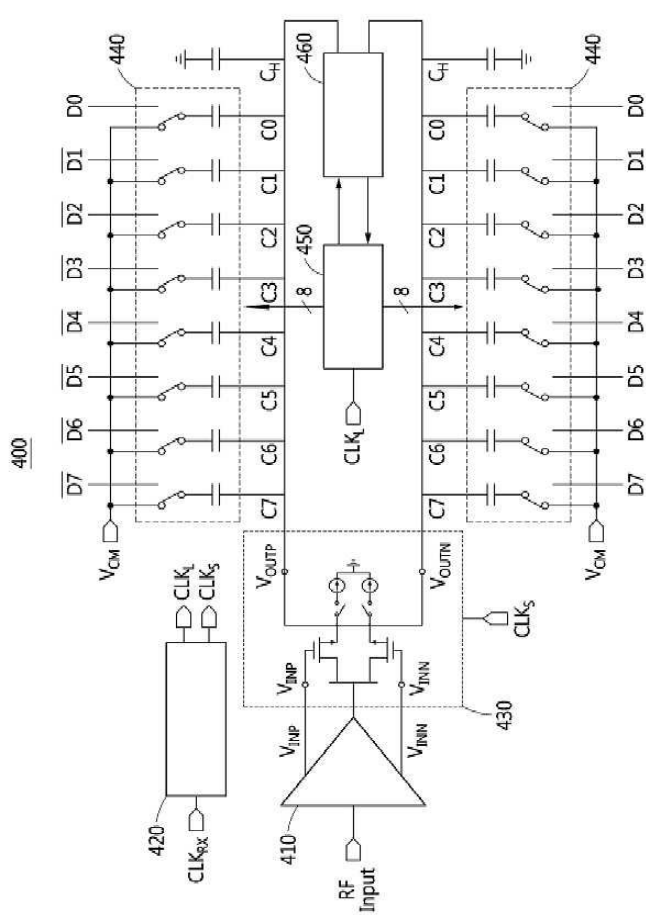
- [0094] 또한, 증폭부는 크로스 커플링(cross coupling) 구조에 기반하여 단락 정점 로드(shunt-peaking load) 없이 목표 주파수(target frequency)를 모두 포함할 수 있고, single-to-differential 구조에서 차이(differential) 신호들 간의 불일치(mismatch)를 최소화할 수 있다.
- [0095] 따라서, 본 발명은 공통 게이트(common gate)와 공통 소스(common source) 토폴로지(topology)를 위한 크로스 커플드 커패시터(cross coupled capacitor)를 이용하여 상기 무선 주파수 신호의 대역폭(bandwidth)을 증폭하여 입력 신호를 왜곡 없이 직접 샘플링할 수 있다.
- [0097] 도 4는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 회로를 설명하는 도면이다.
- [0098] 도 4를 참고하면, 부분 샘플링 수신 장치(400)는 증폭부(410), 클록 생성부(420), 샘플링부(430), 디지털 아날로그 변환부(440), 비동기 회로부(450) 및 비교부(460)를 포함할 수 있다.
- [0099] 부분 샘플링 수신 장치(400)는 비동기 연속적 접근(asynchronous successive approximation, ASAR) 수신 장치로 지칭될 수 도 있다.
- [0100] 본 발명의 일실시예에 따르면 샘플링부(430)는 증폭부(410)에서 증폭된 무선 주파수 신호를 수신하여 샘플링한다.
- [0101] 샘플링부(430)는 트랙 모드와 홀드 모드로 구동될 수 있고, 트랙 모드에서 샘플링부(430)에 포함된 트랜지스터의 출력 저항과 커패시터는 저역 통과 필터 특성을 갖을 수 있다.
- [0102] 샘플링부(430)는 스위치드 소스 플로우(switched source flow, SSF) 기반의 능동형 회로로, 패시브형과 달리 전류 영역 샘플링할 수 있다.
- [0103] 또한, 샘플링부(430)는 광범위한 대역폭(wide bandwidth)을 수용 할 수 있다는 이점에도 불구하고 범위 내 다이내믹 범위(dynamic range, DR)를 보장할 수 있다.
- [0104] 또한, 샘플링부(430)는 추가 커패시터(CH)의 기준 전압을 변경하지 않고 샘플링된 펄스 신호의 다이내믹 범위와 일치시킬 수 있다.
- [0105] 비동기 회로부(450)는 비동기 동적 로직을 도입하여 디지털 로직의 복잡성을 줄이고 전력 소비를 줄일 수 있다.
- [0106] 또한, 비동기 회로부(450)는 동적 로직을 사용함으로써 동일한 기능을 구현하는 데 필요한 트랜지스터를 줄임으로써 회로의 복잡성을 줄일 수 있다.
- [0107] 비동기 회로부(450)는 비동기식으로 동작함에 따라 고속 오버 샘플링 클록 대신 저속 샘플링 클록만을 이용하여 클록 생성을 위한 자원을 절약 할 수 있다.
- [0108] 비동기 회로부(450)와 비교부(460) 간의 상호 작용으로 인해 블록 내부의 타이밍이 일치하지 않으면 오류가 발생될 수 있다.
- [0109] 따라서, 클록 생성부(420)는 샘플링 클록(CLK_S)와 회로 구동 클록(CLK_L) 사이에 충분한 딜레이 마진을 갖도록 샘플링 클록(CLK_S)와 회로 구동 클록(CLK_L)을 생성할 수 있다.
- [0110] 샘플링부(430)는 샘플링 클록(CLK_S)이 하이 상태에서 로우 상태로 전환됨과 동시에 홀드 모드(hold mode)로 전환되어 디지털 아날로그 변환부(440)에 차지(charge)된 전압을 비교부(460)가 비교하고, 부분 샘플링 수신 장치(400)는 비교 결과를 바탕으로 디지털 아날로그 변환부(440)에 저장될 값을 결정할 수 있다.
- [0111] 부분 샘플링 수신 장치(400)는 디지털 아날로그 변환부(440)에 차지(charge)된 전압을 비교부(460)가 비교하고, 비교 결과를 바탕으로 디지털 아날로그 변환부(440)에 저장될 값을 결정하는 과정 8번을 하나의 사이클(one cycle)로 하여 바이너리 검색 알고리즘을 수행하여 복원된 신호를 출력할 수 있다.
- [0113] 도 5는 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 회로 동작에 따른 타이밍도를 설명하는 도면이다.
- [0114] 도 5는 도 4에서 설명된 부분 샘플링 수신 장치에 입력되는 클록의 타이밍도를 예시한다.
- [0115] 도 5를 참고하면, 부분 샘플링 수신 장치는 클록(CLK_{clk})을 수신하여 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)을 생성할 수 있다.

- [0116] 부분 샘플링 수신 장치는 샘플링 클록(CLK_S)에 기초하여 입력된 무선 주파수 신호의 샘플링 지점(500)에서 부분 펄스 신호를 샘플링할 수 있다.
- [0117] 부분 샘플링 수신 장치의 샘플링부는 샘플링 클록(CLK_S)이 하이 상태일 동안 트랙 모드(510)로 동작하고, 샘플링 클록(CLK_S)이 로우 상태일 동안 홀드 모드(520)로 동작할 수 있다.
- [0118] 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)은 딜레이 마진(530)의 차이를 갖고 서로 다른 타이밍에 생성될 수 있다.
- [0119] 즉, 샘플링 클록(CLK_S)과 회로 구동 클록(CLK_L)은 로우 상태에서 하이 상태로 전환될 시 딜레이 마진(530) 정도의 차이를 두고 전환될 수 있다.
- [0120] 부분 샘플링 수신 장치는 샘플링된 부분 펄스 신호를 이용하여 무선 주파수 신호의 펄스 신호를 순차적으로 복원하여 출력할 수 있다.
- [0122] 도 6은 본 발명의 일실시예에 따른 부분 샘플링 수신 장치의 동작 방법과 관련된 흐름도를 설명하는 도면이다.
- [0123] 도 6은 부분 샘플링 수신 장치의 동작 방법이 무선 주파수 신호와 관련된 복수의 펄스 신호에서 복수의 부분 펄스 신호를 샘플링하여 하나의 펄스 신호를 복원하는 절차를 예시한다.
- [0124] 도 6을 참고하면, 단계(601)에서 부분 샘플링 수신 장치의 동작 방법은 샘플링 클록과 회로 구동 클록을 생성한다.
- [0125] 즉, 부분 샘플링 수신 장치의 동작 방법은 무선 주파수 신호의 주기와 델타 t 만큼의 차이가 반영된 샘플링 인터벌(sampling interval)로 샘플링 타이밍을 결정하는 샘플링 클록을 생성하거나, 생성된 샘플링 클록과 지연 마진(delay margin)의 차이를 갖는 회로 구동 클록을 생성할 수 있다.
- [0126] 따라서, 본 발명은 발생 시간 구간이 중복되지 않는 클록 신호들을 생성하여 샘플링과 신호 복원 간의 회로 동작 효율성을 증가시킬 수 있다.
- [0127] 단계(602)에서 부분 샘플링 수신 장치의 동작 방법은 샘플링 클록에 기초하여 부분 펄스 신호를 샘플링한다.
- [0128] 즉, 부분 샘플링 수신 장치의 동작 방법은 무선 주파수 신호의 주기에 따라 입력된 복수의 펄스 신호 각각에서 샘플링 클록에 기초하여 샘플링 타이밍에 상응하는 부분 펄스 신호를 샘플링할 수 있다.
- [0129] 단계(603)에서 부분 샘플링 수신 장치의 동작 방법은 회로 구동 클록에 기초하여 부분 펄스 신호를 이용하여 무선 주파수의 펄스 신호를 복원한다.
- [0130] 즉, 부분 샘플링 수신 장치의 동작 방법은 회로 구동 클록에 기초하여 부분 펄스 신호를 저장하고, 저장된 부분 펄스 신호를 이용하여 무선 주파수 신호의 펄스 신호를 복원할 수 있다.
- [0132] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0133] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

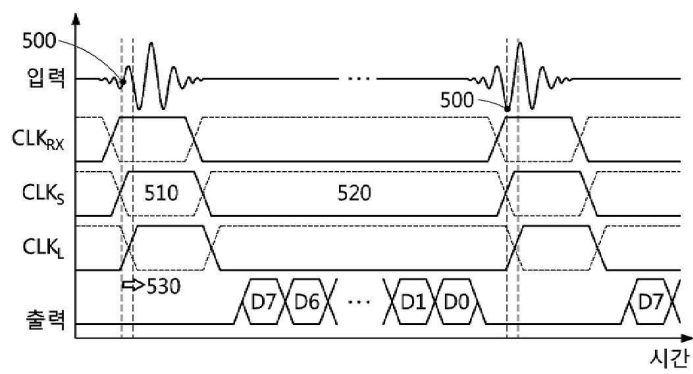
도면3



도면4



도면5



도면6

