



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년10월06일

(11) 등록번호 10-2162252

(24) 등록일자 2020년09월25일

(51) 국제특허분류(Int. Cl.)
G11C 11/417 (2006.01) G11C 7/06 (2006.01)

(52) CPC특허분류
G11C 11/417 (2013.01)
G11C 7/06 (2013.01)

(21) 출원번호 10-2018-0028565

(22) 출원일자 2018년03월12일

심사청구일자 2018년03월12일

(65) 공개번호 10-2019-0107377

(43) 공개일자 2019년09월20일

(56) 선행기술조사문헌

US20160225419 A1

US20150279438 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 제2공학관 B725 (신촌동, 연세대학교)

박주현

서울특별시 서대문구 연세로 50, 제2공학관 B726 (신촌동, 연세대학교)

(74) 대리인

김연권

전체 청구항 수 : 총 12 항

심사관 : 손윤식

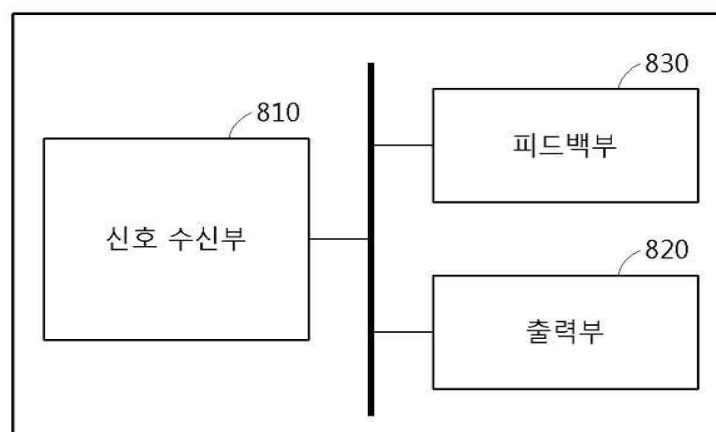
(54) 발명의 명칭 감지 증폭기 그 동작 방법

(57) 요약

감지 증폭기 및 그 동작 방법을 개시한다. 본 발명의 일 실시예에 따른 감지 증폭기는 누설 전류를 줄이도록 제어하는 제1 신호를 입력 받는 풀업 트랜지스터 및 비트라인 신호를 입력 받는 풀다운 트랜지스터를 포함하는 신호 수신부와, 상기 비트라인 신호에 기초하여 출력 신호를 출력하는 출력부와, 상기 출력 신호의 신호레벨을 유지하도록 상기 출력 신호를 상기 출력부의 일단으로 피드백하는 피드백부를 포함한다.

대표도 - 도8

800



이 발명을 지원한 국가연구개발사업

과제고유번호	10052716
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	[RCMS]스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발(3/5)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2017.06.01 ~ 2018.03.31
공지예외적용 : 있음	

명세서

청구범위

청구항 1

누설 전류를 줄이도록 제어하는 제1 신호를 입력 받는 풀업 트랜지스터 및 비트라인 신호를 입력 받는 풀다운 트랜지스터를 포함하는 신호 수신부;

상기 비트라인 신호에 기초하여 출력 신호를 출력하는 출력부; 및

상기 출력 신호의 신호레벨을 유지하도록 상기 출력 신호를 상기 출력부의 일단으로 피드백하는 피드백부를 포함하고,

상기 풀업 트랜지스터는 제1 PMOS를 포함하고, 상기 풀다운 트랜지스터는 제1 NMOS를 포함하며,

상기 제1 PMOS의 게이트에 상기 제1 신호가 입력되고, 상기 제1 PMOS의 소스에 전원 VDD가 연결되며,

상기 제1 NMOS의 게이트에 상기 비트라인 신호가 입력되고, 상기 제1 NMOS의 드레인에 상기 제1 PMOS의 드레인이 연결되며, 상기 제1 NMOS의 소스는 접지되는

감지 증폭기.

청구항 2

제1항에 있어서,

상기 피드백부는,

상기 제1 신호에 의해 풀업 트랜지스터가 턴 오프 된 경우 상기 출력 신호의 신호레벨을 유지하도록 하는

감지 증폭기.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 신호는,

상기 비트라인 신호에 의한 출력 신호를 출력할 때까지의 시간 동안 상기 제1 PMOS를 턴 온 시키는

감지 증폭기.

청구항 5

제1항에 있어서,

상기 피드백부는

상기 제1 신호에 의해 상기 제1 PMOS가 턴 오프 된 경우 상기 출력 신호를 유지하도록 하는

감지 증폭기.

청구항 6

제1항에 있어서,

상기 출력부는

제2 신호가 게이트로 입력되고, 상기 제1 NMOS의 드레인에 드레인이 연결되며, 소스가 접지되는 제2 NMOS를 포

함하는

감지 증폭기.

청구항 7

제6항에 있어서,

상기 출력부는,

사전 충전 구간에서 상기 제2 신호에 기초하여 상기 제2 NMOS를 턴 온 시키는

감지 증폭기.

청구항 8

제6항에 있어서,

상기 피드백부는,

상기 제1 NMOS의 드레인에 입력 단이 연결되는 인버터;

상기 인버터의 출력 단에 게이트가 연결되고, 상기 제1 NMOS의 드레인에 소스가 연결되는 제3 NMOS; 및

상기 제3 NMOS의 드레인에 소스가 연결되고, 상기 제2 신호가 게이트로 인가되며, 상기 전원 VDD에 드레인이 연결되는 제4 NMOS를 포함하는

감지 증폭기.

청구항 9

제8항에 있어서,

상기 제 2 신호는,

감지 구간에서 상기 피드백부를 턴 온 시키는

감지 증폭기.

청구항 10

제8항에 있어서,

상기 피드백부는,

상기 제1 PMOS가 턴 오프 되어도 상기 인버터 및 상기 제3 NMOS에 의한 경로를 통해 상기 출력 신호를 유지하는

감지 증폭기.

청구항 11

누설 전류를 줄이도록 제어하는 제1 신호에 기초하여 풀업 트랜지스터를 턴 온 시키는 단계;

비트라인 신호에 기초하여 출력 신호를 출력하는 단계;

상기 제1 신호에 기초하여 풀업 트랜지스터를 턴 오프 시키는 단계; 및

피드백 경로를 통해 상기 출력 신호를 유지하도록 하는 단계를 포함하고,

상기 풀업 트랜지스터는 풀다운 트랜지스터와 연결되며,

상기 풀업 트랜지스터는 제1 PMOS를 포함하고, 상기 풀다운 트랜지스터는 제1 NMOS를 포함하며,

상기 제1 PMOS의 게이트에 상기 제1 신호가 입력되고, 상기 제1 PMOS의 소스에 전원 VDD가 연결되며,

상기 제1 NMOS의 게이트에 상기 비트라인 신호가 입력되고, 상기 제1 NMOS의 드레인에 상기 제1 PMOS의 드레인이 연결되며, 상기 제1 NMOS의 소스는 접지되는

감지 증폭기의 동작 방법.

청구항 12

제11항에 있어서,

상기 감지 증폭기는,

상기 풀업 트랜지스터의 턴 온 및 턴 오프를 통해 누설 전류를 줄이는

감지 증폭기의 동작 방법.

청구항 13

제11항에 있어서,

상기 감지 증폭기는,

상기 풀업 트랜지스터가 턴 오프 된 경우에도, 상기 피드백 경로를 통해 상기 출력 신호를 유지하도록 하는

감지 증폭기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 감지 증폭기에 관한 것으로, 보다 상세하게는 리드 속도를 개선하고, 누설 전류에 의한 에너지 소모를 줄이는 감지 증폭기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 웨어러블이나 인플란트 의료 장치와 같은 배터리에 의한 동작 장치가 확산되고 있는데, 이는 저전력 시스템에 대한 수요를 증가시킨다. 공급 전압(V_{DD})을 줄이는 것은 에너지 소모를 감소시키는 효율적인 방법이다. 하지만, V_{DD} 를 줄이면 임계 전압(V_{th})의 변동을 증가시키기 때문에 회로 동작의 수율(yield)을 저하시킨다. 특히, 정적 랜덤 액세스 메모리(Static Random Access Memory, SRAM)는 펠그램 법칙(Pelgram's law)에 의해 보다 큰 V_{th} -를 가지는 작은 사이즈의 트랜지스터들로 구성되기 때문에 이러한 성능 저하는 심각하다. 따라서, 낮은 V_{DD} 에서, SRAM의 동작 수율(yield)을 개선하기 위해 8T SRAM 비트 셀이 종래의 6T SRAM 비트 셀 대신에 사용된다.

[0003] 8T SRAM 비트 셀은 리드 동작을 위해 하나의 리드 비트라인(RBL)을 사용하는데, 이를 싱글 엔드 리드 동작(single-ended read operation)이라 부른다.

[0004] 도 1은 8T SRAM의 싱글 엔드 리드 동작인 '0' 리드 동작과, '1' 리드 동작을 설명하기 위한 도면이다.

[0005] 도 1에서 (a)는 '0' 리드 동작을, (b)는 '1' 리드 동작을 나타낸다.

[0006] 도 1을 참조하면, '0' 리드 동작 동안, 사전 충전된 RBL은 비트 셀의 턴 온(ON)에 따라 I_{read} -가 흘러 방전된다. '1' 리드 동작 동안, RBL은 사전 충전 레벨(V_{DD})을 유지한다. 따라서, 리드 동작 동안, 리드 비트라인(RBL)은 방전되지 않는데, 이는 에너지 소모를 줄일 수 있다.

[0007] 하지만, '0' 리드 동작 동안, 큰 비트라인 스윙이 요구되는데, 이는 상당한 리드 지연을 발생시킨다. 낮은 V_{DD} 영역에서 큰 V_{th} 변동 때문에 리드 지연은 심각하다. 8T STAM에서 리드 지연을 완화시키기 위해 비트라인 마다 작은 셀($CpBL$)이 사용되어왔는데, 이것은 작은 밀도(small density)를 야기시킨다.

[0008] 따라서, 이러한 리드 지연을 개선하기 위한 감지 증폭기들이 제안되었다.

[0009] 도 2는 도미노(Domino) 감지 증폭기의 회로도이다.

[0010] 도 2를 참조하면, Domino 감지 증폭기는, '1' 리드 동작 동안, RBL이 V_{DD} 로 유지된다. 따라서, 출력 노드(OUT node) 전압은 사전 충전 레벨을 유지한다. '0' 리드 동작 동안, RBL은 비트 셀에 의해 방전된다. 풀업 트랜지스

터(M_{PU})가 서브- 임계전압(sub- V_{th}) 영역에서 동작하기 때문에, RBL이 V_{DD} 로부터 $V_{DD}-|V_{th,PU}|$ 까지 방전될 때, OUT node 전압은 천천히 충전된다. RBL이 $V_{DD}-|V_{th,PU}|$ 이하가 되었을 때, OUT 노드 전압은 현저히 충전된다. 하지만, 많은 수의 비트 셀과, RBL 와이어(wire)에 의해 RBL 노드의 캐패시턴스가 크기 때문에 RBL이 $V_{DD}-|V_{th,PU}|$ 이하로 방전되는 시간은 크다. 이것은 역시 리드 지연을 야기시킨다.

- [0011] 도 3은 Pseudo nMOS 감지 증폭기의 회로도이다.
- [0012] 도 3을 참조하면, Pseudo nMOS 감지 증폭기는 RBL의 초기 상태가 V_{DD} 이기 때문에, M_{PD} 는 완전히 턴 온 된다. 따라서, RBL이 방전하자 마자, M_{PD} 의 전류는 상당히 충전되는데, 이것은 OUT 노드 전압을 하이 전압으로 빠르게 바꾼다.
- [0013] 하지만, M_{PU} 를 온-커런트(on-current)로 바이어스한 pseudo nMOS 감지 증폭기의 구조는 RBL이 V_{DD} 근처일 때, M_{PD} 도 턴 온 되므로 RBL의 변화가 M_{PD} 로 흐르는 전류를 크게 변화시킬 수 있다.
- [0014] 도 4는 클럭(Φ)를 갖는 Pseudo nMOS 감지 증폭기의 회로도이다.
- [0015] 도 5는 도 4의 장치의 '0' 리드 동작에서 클럭, RBL 및 OUT을 나타내는 도면이다.
- [0016] 도 4 및 도 5를 참조하면, 도 4의 감지 증폭기는 M_{PU} 에 클럭을 인가하여 감지(evaluation) 구간에서만 동작하도록 한다.
- [0017] 하지만, '0' 리드 동작에서, RBL은 천천히 빠지기 때문에 부분적으로 턴 온 된 M_{PD} 에 의해 최종적으로 OUT이 충전될 때까지 불필요한 누설 전류가 흘러 전력을 소모한다.
- [0018] 또한, '1' 리드 동작에서, RBL이 V_{DD} 근처에 있으므로 감지 구간(evaluation) 내내 V_{DD} 와 그라운드(GND) 사이로 누설 전류가 흘러 매우 큰 전력을 소모한다.
- [0019] 도 6은 pseudo nMOS 감지 증폭기의 '1' 리드 동작에서의 큰 전력 소모를 완화한 구조를 가지는 감지 증폭기의 회로도이다.
- [0020] 도 7은 도 6의 장치의 리드 동작에서 신호를 나타내는 도면이다.
- [0021] 도 7에서 (a)는 **Delayed Φ** 클럭 신호와, Φ 클럭 신호를 나타내고, (b)는 '0' 리드 동작에서 RBL 및 OUT을 나타내고, (c)는 '1' 리드 동작에서 RBL 및 OUT을 나타낸다.
- [0022] 도 6 및 도 7을 참조하면, 감지 증폭기는 '1' 리드 동작 동안 누설 전류를 없애기 위해 딜레이 클럭 (**Delayed Φ**) 신호를 사용한다. 하지만, '0' 리드 동작 동안 느리게 RBL 노드 전압이 방전되기 때문에 누설전류는 여전히 발생한다. 게다가, '0' 리드 동작 동안 딜레이 클럭 신호와 클럭 신호(Φ) 사이의 타이밍 마진은 OUT 노드 전압의 증가하기 위해 필요하다. 이것은 '1' 리드 동작 동안 딜레이 클럭 신호가 떨어지기 전에 누설 전류를 발생시켜 전력 소모 완화 효과도 크지 않다.

선행기술문헌

특허문헌

- [0023] (특허문헌 0001) 한국 특허 공보 제10-1543701호 "감지 증폭기 및 그를 이용한 반도체 메모리 장치"(2014.12.22.)

발명의 내용

해결하려는 과제

- [0024] 본 발명은 빠른 리드 속도를 가지는 감지 증폭기를 제공하고자 한다.

[0025] 본 발명은 누설 전류를 줄여 에너지 소모를 최소화하는 감지 증폭기를 제공하고자 한다.

과제의 해결 수단

[0026] 상술한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 감지 증폭기는, 누설 전류를 줄이도록 제어하는 제1 신호를 입력 받는 풀업 트랜지스터 및 비트라인 신호를 입력 받는 풀다운 트랜지스터를 포함하는 신호 수신부와, 상기 비트라인 신호에 기초하여 출력 신호를 출력하는 출력부와, 상기 출력 신호의 신호레벨을 유지하도록 상기 출력 신호를 상기 출력부의 일단으로 피드백하는 피드백부를 포함한다.

[0027] 상기 피드백부는, 상기 제1 신호에 의해 풀업 트랜지스터가 턴 오프 된 경우 상기 출력 신호의 신호레벨을 유지하도록 할 수 있다.

[0028] 상기 풀업 트랜지스터는 제1 PMOS를 포함하고, 상기 풀다운 트랜지스터는 제2 NMOS를 포함하며, 상기 제1 PMOS의 게이트에 상기 제1 신호가 입력되고, 상기 제1 PMOS의 소스에 전원 VDD가 연결되며, 상기 제1 NMOS의 게이트에 상기 비트라인 신호가 입력되고, 상기 제1 NMOS의 드레인에 상기 제1 PMOS의 드레인이 연결되며, 상기 제1 NMOS의 소스는 접지될 수 있다.

[0029] 상기 제1 신호는, 상기 비트라인 신호에 의한 출력 신호를 출력할 때까지의 시간 동안 상기 제1 PMOS를 턴 온시킬 수 있다.

[0030] 상기 피드백부는 상기 제1 신호에 의해 상기 제1 PMOS가 턴 오프 된 경우 상기 출력 신호를 유지하도록 할 수 있다.

[0031] 상기 출력부는 상기 제2 신호가 게이트로 입력되고, 상기 제1 NMOS의 드레인에 드레인이 연결되며, 소스가 접지되는 제2 NMOS를 포함할 수 있다.

[0032] 상기 출력부는, 사전 충전 구간에서 상기 제2 신호에 기초하여 상기 제2 NMOS를 턴 온시킬 수 있다.

[0033] 상기 피드백부는, 상기 제1 NMOS의 드레인에 입력 단이 연결되는 인버터와, 상기 인버터의 출력 단에 게이트가 연결되고, 상기 제1 NMOS의 드레인에 소스가 연결되는 제3 NMOS와, 상기 제3 NMOS의 드레인에 소스가 연결되고, 상기 제2 신호가 게이트로 인가되며, 상기 전원 VDD에 드레인이 연결되는 제4 NMOS를 포함할 수 있다.

[0034] 상기 제 2 신호는, 감지 구간에서 상기 피드백부를 턴 온시킬 수 있다.

[0035] 상기 피드백부는, 상기 제1 PMOS가 턴 오프 되어도 상기 인버터 및 상기 제3 MOS에 의한 경로를 통해 상기 출력 신호를 유지할 수 있다.

[0037] 본 발명의 일 실시예에 따른 감지 증폭기의 동작 방법은, 누설 전류를 줄이도록 제어하는 제1 신호에 기초하여 풀업 트랜지스터를 턴 온시키는 단계와, 비트라인 신호에 기초하여 출력 신호를 출력하는 단계와, 상기 제1 신호에 기초하여 풀업 트랜지스터를 턴 오프시키는 단계와, 피드백 경로를 통해 상기 출력 신호를 유지하도록 하는 단계를 포함한다.

[0038] 상기 감지 증폭기는, 상기 풀업 트랜지스터의 턴 온 및 턴 오프를 통해 누설 전류를 줄일 수 있다.

[0039] 상기 감지 증폭기는, 상기 풀업 트랜지스터가 턴 오프 된 경우에도, 상기 피드백 경로를 통해 상기 출력 신호를 유지하도록 할 수 있다.

발명의 효과

[0040] 본 발명의 일 실시예에 따른 감지 증폭기 및 그 동작 방법은 빠른 리드 속도를 가진다.

[0041] 본 발명의 일 실시예에 따른 감지 증폭기 및 그 동작 방법은 누설 전류를 줄여 에너지 소모를 최소화할 수 있다.

도면의 간단한 설명

[0042] 도 1은 8T SRAM의 싱글 엔드 리드 동작인 '0' 리드 동작과, '1' 리드 동작을 설명하기 위한 도면이다.

도 2는 도미노(Domino) 감지 증폭기의 회로도이다.

도 3은 Pseudo nMOS 감지 증폭기의 회로도이다.

도 4는 클럭(Φ)를 갖는 Pseudo nMOS 감지 증폭기의 회로도이다.

도 5는 도 4의 장치의 '0' 리드 동작에서 클럭, RBL 및 OUT을 나타내는 도면이다.

도 6은 pseudo nMOS 감지 증폭기의 '1' 리드 동작에서의 큰 전력 소모를 완화한 구조를 가지는 감지 증폭기의 회로도이다.

도 7은 도 6의 장치의 리드 동작에서 신호를 나타내는 도면이다.

도 8은 본 발명의 일 실시예에 따른 감지 증폭기의 구성도이다.

도 9는 본 발명의 일 실시예에 따른 감지 증폭기의 회로도이다.

도 10은 도 9의 감지 증폭기의 동작에 따른 신호를 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따른 감지 증폭기의 '0' 리드 동작을 설명하기 위한 도면이다.

도 12는 본 발명의 일 실시예에 따른 감지 증폭기의 '1' 리드 동작을 설명하기 위한 도면이다.

도 13은 본 발명의 일 실시예에 따른 감지 증폭기에 트랜지스터(NM5)를 추가한 회로도이다.

도 14는 본 발명의 일 실시예에 따른 감지 증폭기의 동작 방법을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0043] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0044] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0045] 본 명세서에서 사용되는 “실시예”, “예”, “측면”, “예시” 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.
- [0046] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0047] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현("a" 또는 "an")은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 "하나 이상"을 의미하는 것으로 해석되어야 한다.
- [0048] 또한, 본 명세서 및 청구항들에서 사용되는 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0049] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0050] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0052] 도 8은 본 발명의 일 실시예에 따른 감지 증폭기의 구성도이다.
- [0053] 도 8을 참조하면, 감지 증폭기(800)는 신호 수신부(810)와, 출력부(820)와, 피드백부(830)를 포함한다.

- [0054] 신호 수신부(810)는 풀업 트랜지스터 및 풀다운 트랜지스터를 포함한다.
- [0055] 신호 수신부(810)는 제1 신호와 비트라인 신호를 입력 받는다.
- [0056] 신호 수신부(810)는 풀업 트랜지스터에 의해 제1 신호를 입력 받는다.
- [0057] 신호 수신부(810)는 풀다운 트랜지스터에 의해 비트라인 신호를 입력 받는다.
- [0058] 제1 신호는 풀업 트랜지스터를 제어하여 풀업 트랜지스터와 풀다운 트랜지스터를 통한 누설 전류를 줄이고, 전력 소모를 최소화할 수 있다.
- [0059] 비트라인 신호는 메모리 셀로부터 수신한 데이터 신호이다.
- [0060] 비트라인 신호는 하이(HIGH, 1) 또는 로우(LOW, 0)일 수 있다.
- [0061] '0' 리드 동작이란 감지 구간(evaluation)에서 비트라인 신호가 '0'인 경우의 동작을 의미한다.
- [0062] '1' 리드 동작이란 감지 구간에서 비트라인 신호가 '1'인 경우의 동작을 의미한다.
- [0063] 출력부(820)는 비트라인 신호에 기초하여 출력 신호를 출력한다.
- [0064] 출력부(820)는 비트라인 신호가 '0'인 경우 '1'을 출력할 수 있다.
- [0065] 출력부(820)는 비트라인 신호가 '1'인 경우 '0'을 출력할 수 있다.
- [0066] 출력부(820)는 '0' 리드 동작에서 제1 신호에 의한 풀업 트랜지스터의 턴 온에 의해 충전되어 출력 신호 '1'을 출력할 수 있다.
- [0067] 출력부(820)는 '1' 리드 동작에서 제1 신호에 의한 풀업 트랜지스터의 턴 온의 경우에도 출력 신호는 '0'을 유지할 수 있다.
- [0068] 출력부(820)는 사전 충전 구간(precharge)에서 출력부(820)를 '0'으로 초기화할 수 있다.
- [0069] 피드백부(830)는 출력 신호의 신호레벨을 유지하도록 출력 신호를 출력부의 일단으로 피드백할 수 있다.
- [0070] 피드백부(830)는 풀업 트랜지스터가 턴 오프 된 경우에도 출력부가 출력 신호를 유지하도록 피드백할 수 있다.
- [0071] 피드백부(830)는 감지 구간에서만 턴 온 되도록 하여 전력 소모를 최소화할 수 있다.
- [0073] 도 9는 본 발명의 일 실시예에 따른 감지 증폭기의 회로도이다.
- [0074] 도 9를 참조하면, 감지 증폭기는 신호 수신부(910)와, 출력부(920)와, 피드백부(930)을 포함한다.
- [0075] 신호 수신부(910)는 풀업 트랜지스터와, 풀다운 트랜지스터를 포함한다.
- [0076] 풀업 트랜지스터는 제1 PMOS(PM1)를 포함하고, 풀다운 트랜지스터는 제1 NMOS(NM1)를 포함할 수 있다.
- [0077] 출력부(920)는 제2 NMOS(NM2)를 포함할 수 있다.
- [0078] 피드백부(930)는 인버터(INV1)와, 제3 NMOS(NM3)와, 제4 NMOS(NM4)를 포함할 수 있다.
- [0079] PM1은 제1 신호(/SAE)가 게이트로 입력 되고, 전원 VDD에 소스가 연결될 수 있다.
- [0080] NM1은 비트라인 신호(RBL)가 게이트로 입력 되고, PM1의 드레인에 드레인이 연결되며, 소스는 접지될 수 있다.
- [0081] PM1의 드레인 및 NM1의 드레인은 감지 증폭기의 출력 단(OUT, 출력부의 일단)이다.
- [0082] C1은 NM1의 드레인에 일 단이 연결되고, 타 단은 접지될 수 있다.
- [0083] 도 9 및 도 13에 도시된 감지 증폭기에 C1이 도시되어 있으나, 이는 감지 증폭기의 출력 단(OUT node)의 로드를 모델링하기 위해 도시한 것일 뿐 감지 증폭기의 구성에 해당하지 않는다.
- [0084] NM2는 제2 신호(Φ)가 게이트로 입력 되고, NM1의 드레인에 드레인이 연결되며, 소스가 접지될 수 있다.
- [0085] INV1은 NM1의 드레인에 입력 단이 연결될 수 있다.
- [0086] NM3은 INV1의 출력 단(/PU)이 게이트에 연결되고, NM1의 드레인에 소스가 연결될 수 있다.

- [0087] NM4는 제2 신호(ϕ)가 게이트로 입력 되고, NM3의 드레인에 소스가 연결되며, 전원 VDD에 연결될 수 있다.
- [0089] 도 10은 도 9의 감지 증폭기의 동작에 따른 신호를 나타내는 도면이다.
- [0090] 도 10에서 (a)는 제1 신호(/SAE) 및 제2 신호(ϕ)를 나타내고, (b)는 (a)의 제1 신호(/SAE) 및 제2 신호(ϕ)에 따른 '0' 리드 동작에서 비트라인 신호(RBL), 출력 신호(OUT) 및 인버터 신호(/PU)를 나타내고, (c)는 (a)의 제1 신호(/SAE) 및 제2 신호(ϕ)에 따른 '1' 리드 동작에서 비트라인 신호(RBL), 출력 신호(OUT) 및 인버터 신호(/PU)를 나타낸다.
- [0091] 인버터 신호는 도 9에 도시된 INV1의 출력 단(/PU)를 통해 출력되는 인버터의 출력 신호를 의미한다.
- [0092] 도 9 및 도 10을 참조하여 감지 증폭기의 동작을 설명하면, 제2 신호는 사전 충전 구간에서 하이(HIGH, 1)이고, 감지 구간에서는 로우 신호(LOW, 0)이다.
- [0093] 따라서, 제2 신호는 사전 충전 구간에서 NM2를 턴 온 시켜 출력 신호가 0이 되도록 한다.
- [0094] 이때, NM4는 제2 신호에 의해 턴 오프 된다.
- [0095] 제2 신호는 감지 구간에서 NM2를 턴 오프 시키고, NM4를 턴 온 시켜 피드백부가 동작하도록 제어한다.
- [0096] 제2 신호는 사전 충전 구간에서, 피드백부를 턴 오프 시켜 전력 소모를 줄일 수 있다.
- [0097] 제1 신호는 감지 구간에서 짧은 로우(LOW, 0) 신호를 갖는다.
- [0098] 제1 신호는 짧은 '0' 신호에 의해 PM1을 턴 온 시킨다.
- [0099] 이처럼 감지 증폭기는 제1 신호에 의해 짧은 시간 동안만 PM1을 턴 온 시켜 PM1 및 NM1을 통한 누설 전류를 최소화할 수 있다.
- [0100] 감지 구간의 '0' 리드 동작에서 제1 신호에 의해 출력 신호는 '1'이 된다.
- [0101] 감지 구간의 '1' 리드 동작에서 제1 신호로 PM1이 턴 온 되어도, 출력 신호는 '0'을 유지한다.
- [0102] 이때, 제1 신호의 '0' 인가 시간(짧은 시간)은 '0' 리드 동작에서 출력 신호 '1'(하이, HIGH)을 출력할 때까지의 시간일 수 있다.
- [0104] 도 11 및 도 12를 통해 구체적 동작을 살펴 본다.
- [0105] 도 11은 본 발명의 일 실시예에 따른 감지 증폭기의 '0' 리드 동작을 설명하기 위한 도면이다.
- [0106] 도 11은 '0' 리드 동작을 3 단계(Phase 1, Phase 2, Phase 3)로 나눈다.
- [0107] 도 11에서 각 단계의 (a)는 감지 증폭기 회로도이고, (b)는 입력, 출력 신호를 나타낸다.
- [0108] 도 11의 각 단계의 (a)에서 1111, 1121 및 1131는 각 단계의 감지 증폭기 회로의 턴 온 된 부분을 나타내고, 각 단계의 (b)에서 1112, 1122 및 1132는 각 단계의 트랜지스터에 입력 되고, 출력 되는 신호를 나타낸다.
- [0109] 1 단계(Phase 1)에서, RWL의 인에이블에 의해 RBL이 방전된다. 그 후 충분히 RBL이 떨어진 후에 RWL은 디스에이블 된다.
- [0110] 2 단계(Phase 2)에서, 제1 신호는 짧게 0이 된다. 이것은 출력 단(OUT)을 충전시킨다.
- [0111] 이때, 출력 신호는 출력 단(OUT)의 전압 신호이다.
- [0112] 이때, RBL이 NM1을 턴 오프 시키도록 충분히 방전된 후에 제1 신호는 0이 된다.
- [0113] 3 단계(Phase 2)에서, 제1 신호는 '1'이 되어 PM1이 턴 오프 된다. PM1이 턴 오프 되어도, 출력 신호는 피드백에 의해 V_{DD} (즉, 1)를 계속 유지할 수 있다.
- [0114] 즉, 출력 신호는 INV1 및 NM3에 의해 형성된 피드백 경로를 통해 유지될 수 있다.
- [0115] 도 12는 본 발명의 일 실시예에 따른 감지 증폭기의 '1' 리드 동작을 설명하기 위한 도면이다.

- [0116] 도 12는 '1' 리드 동작을 3 단계(Phase 1, Phase 2, Phase 3)로 나눈다.
- [0117] 도 12에서 각 단계의 (a)는 감지 증폭기 회로도이고, (b)는 입력, 출력 신호를 나타낸다.
- [0118] 도 12의 각 단계의 (a)에서 1211, 1221 및 1231는 각 단계의 감지 증폭기 회로의 턴 온 된 부분을 나타내고, 각 단계의 (b)에서 1212, 1222 및 1232는 각 단계의 트랜지스터에 입력 되고, 출력 되는 신호를 나타낸다.
- [0119] 1 단계(Phase 1)에서, RBL은 사전 충전 레벨을 유지한다.
- [0120] 2 단계(Phase 1)에서, 제1 신호는 짧게 '0'이 된다. PM1이 제1 신호에 의해 턴 온 되어도 출력 단(OUT)의 출력 신호(전압 값)는 PM1에 의해 상승할 수 없다.
- [0121] 3 단계(Phase 1)에서, 제1 신호는 '1'이 되고, 이를 통해 누설 전류를 줄일 수 있다.
- [0123] 도 13은 본 발명의 일 실시예에 따른 감지 증폭기에 트랜지스터(NM5)를 추가한 회로도이다.
- [0124] 도 13을 참조하면, 도 13의 감지 증폭기는 도 9의 감지 증폭기에 NM5를 추가한 감지 증폭기이다.
- [0125] NM5는 INV1의 출력 단에 게이트가 연결되고, NM1의 소스에 드레인이 연결되며, 소스가 접지된다.
- [0126] NM5의 추가를 통해 미처 내려가지 못한 RBL에 의해 출력 단(OUT)이 '1'로 충전된 경우에도 누설 전류가 발생하는 것을 방지할 수 있다.
- [0128] 도 14는 본 발명의 일 실시예에 따른 감지 증폭기의 동작 방법을 나타내는 블록도이다.
- [0129] 도 14를 참조하면, 감지 증폭기는 S1410 단계에서, 누설 전류를 줄이도록 제어하는 제1 신호에 기초하여 풀업 트랜지스터를 턴온 시킨다.
- [0130] 감지 증폭기는 S1420 단계에서, 비트라인 신호에 기초하여 출력 신호를 출력한다.
- [0131] 감지 증폭기는 S1430 단계에서, 제1 신호에 기초하여 풀업 트랜지스터를 턴 오프 시킨다.
- [0132] 감지 증폭기는 S1440 단계에서, 피드백 경로를 통해 출력 신호를 유지한다.
- [0133] 이외 동작 방법은 도 8 내지 도 13을 참조하여 설명한 감지 증폭기의 동작과 동일하므로 상세한 설명은 생략한다.
- [0135] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0136]
- [0137] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0138]

[0139]

실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0140]

[0141]

이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

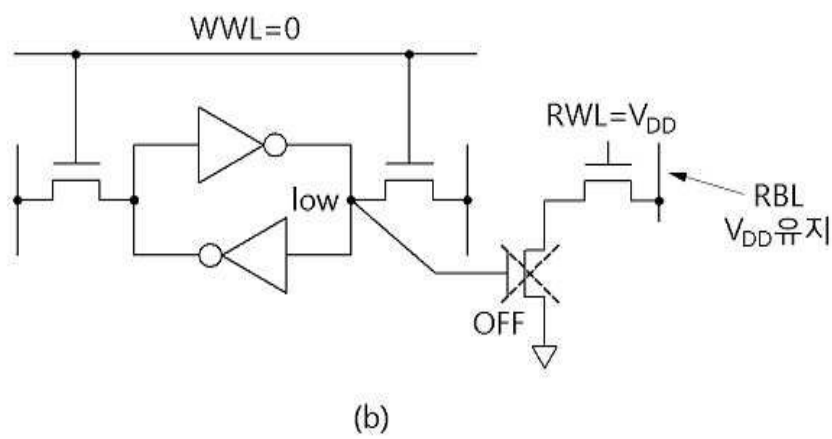
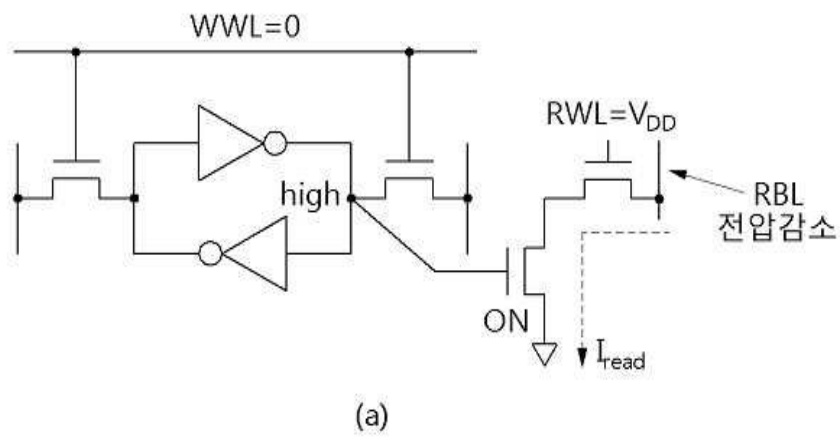
[0142]

[0143]

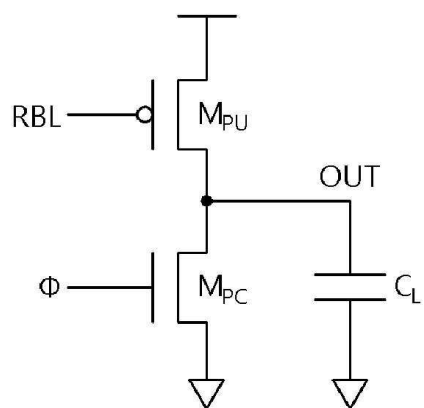
그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

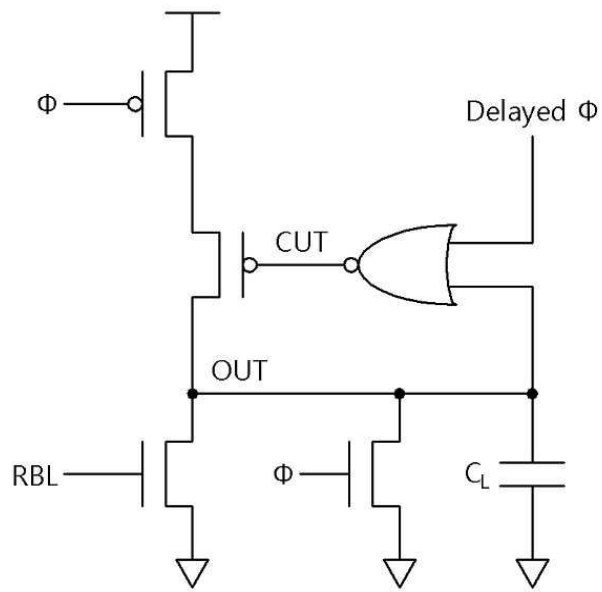
도면1



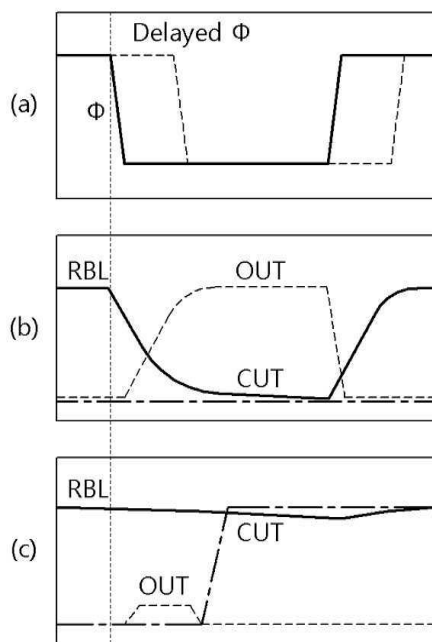
도면2



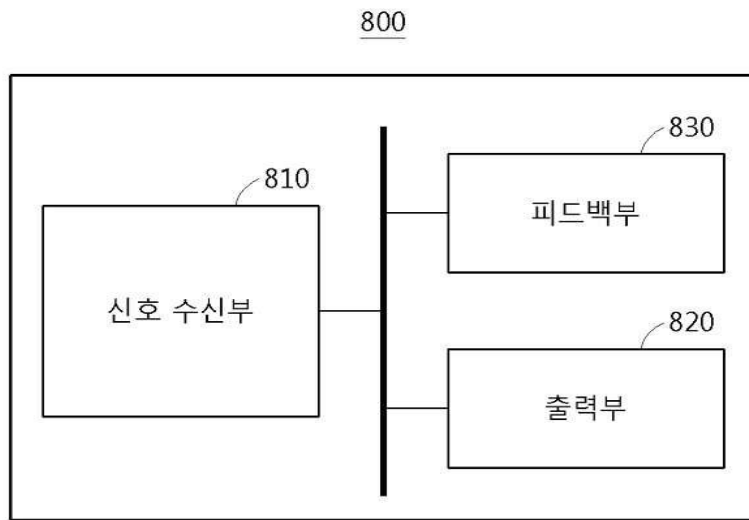
도면6



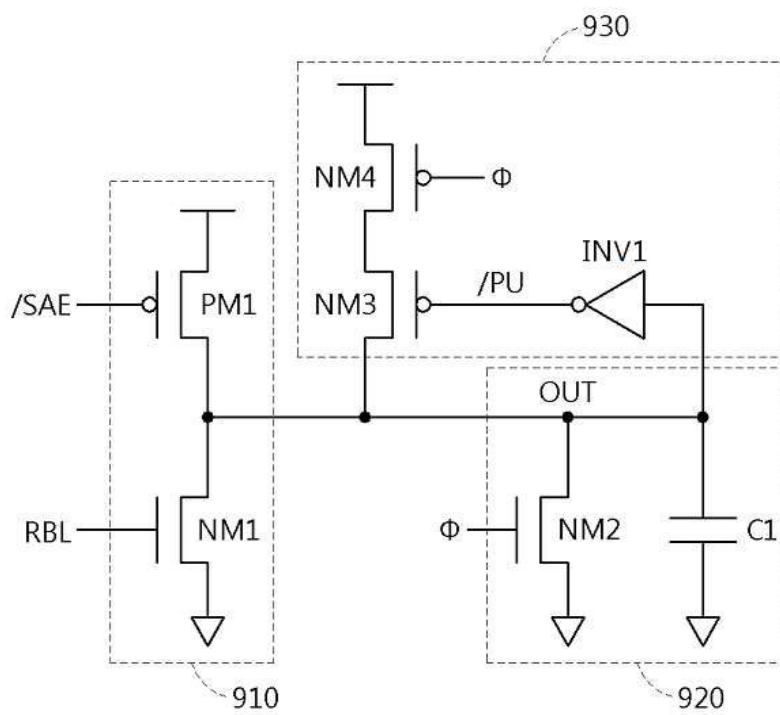
도면7



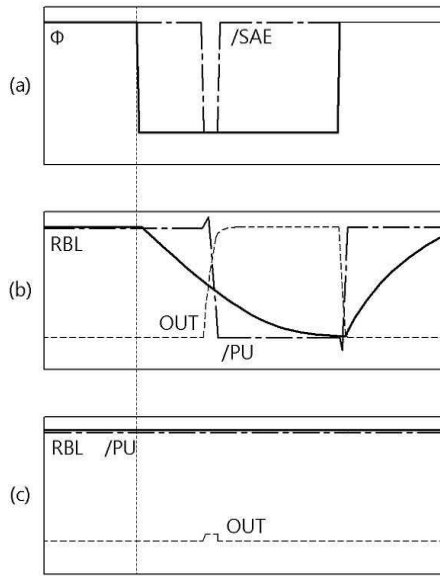
도면8



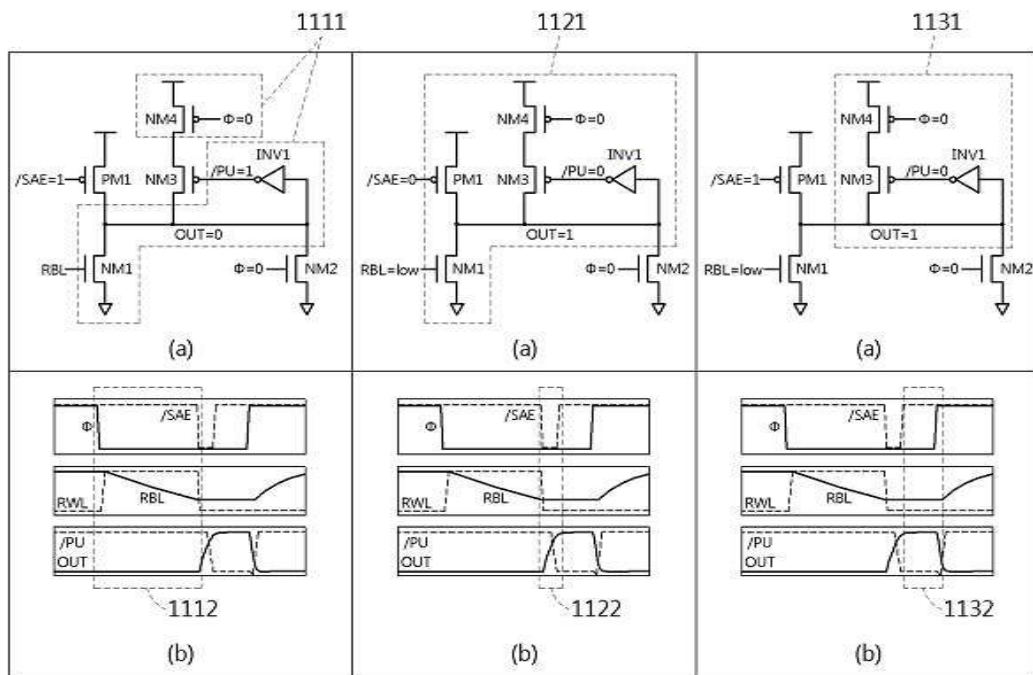
도면9



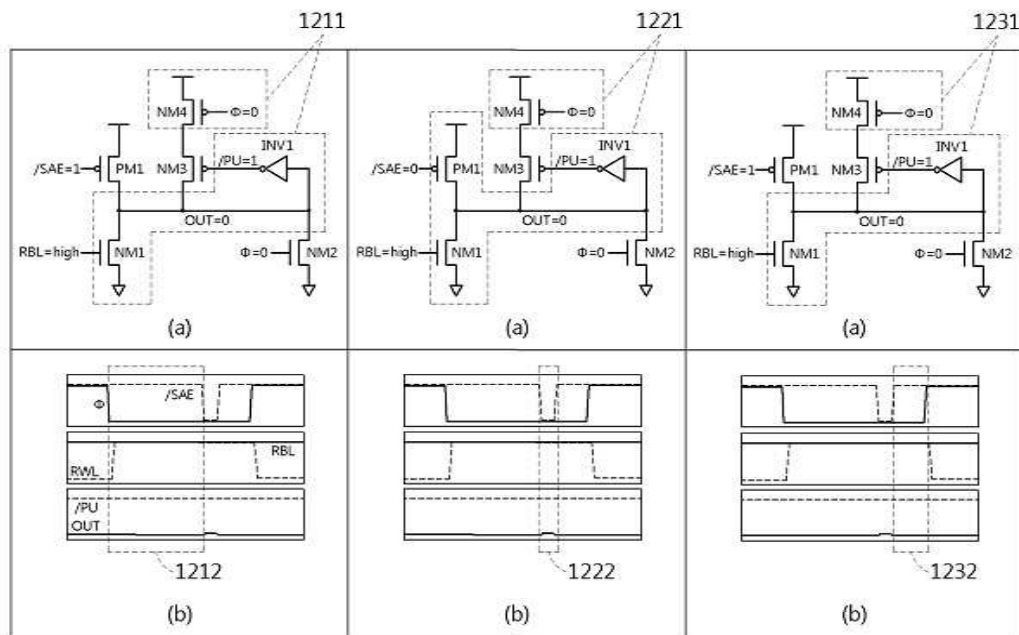
도면10



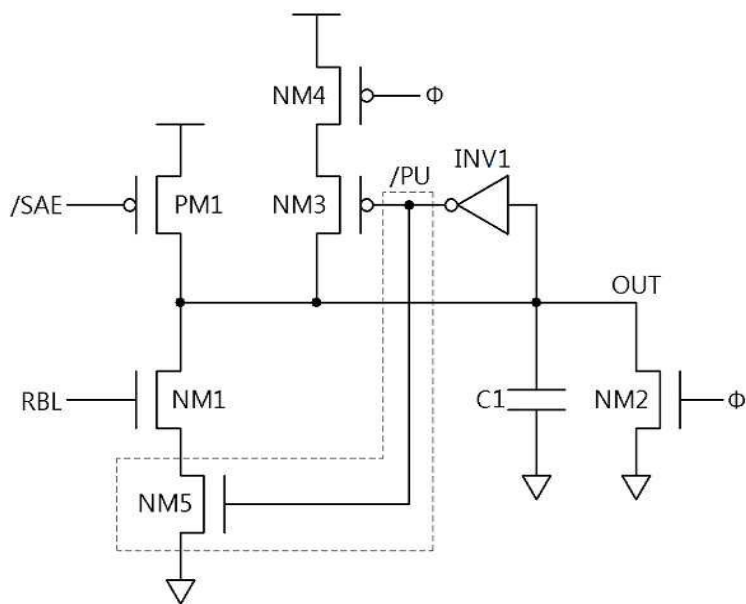
도면11



도면12



도면13



도면14

