



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월16일
(11) 등록번호 10-2120033
(24) 등록일자 2020년06월02일

(51) 국제특허분류(Int. Cl.)
G06F 9/455 (2018.01) G06F 13/16 (2006.01)
(52) CPC특허분류
G06F 9/45558 (2013.01)
G06F 13/16 (2013.01)
(21) 출원번호 10-2019-0008821
(22) 출원일자 2019년01월23일
심사청구일자 2019년01월23일
(56) 선행기술조사문헌
KR1020160092585 A*
(뒷면에 계속)

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정의영
서울특별시 강남구 도곡로43길 20, 203동 604호(역삼동, 래미안 그레이튼)
김정빈
서울특별시 서대문구 연희로18길 42-6, 405호(연희동)
김광수
경기도 용인시 수지구 성북1로 157, 106동 1902호(성북동, 버들치마을경남아너스빌1차)
(74) 대리인
김연권

전체 청구항 수 : 총 17 항

심사관 : 유진태

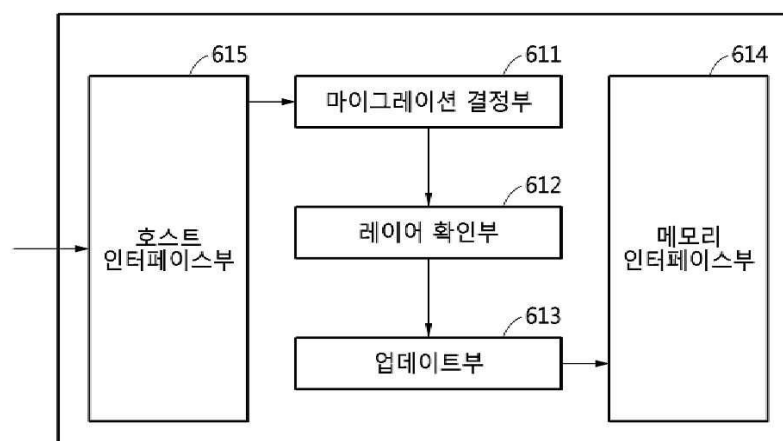
(54) 발명의 명칭 가상화 시스템의 메모리 관리 장치 및 그 방법

(57) 요약

본 발명은 가상화 시스템의 메모리 관리 장치 및 그 제어방법에 관한 것으로서, 실시예에 따른 메모리 관리 장치는 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정하는 마이그레이션 결정부와, 마이그레이션 실행을 결정한 경우, 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인하는 레이어 확인부와, 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 제2 레이어에 대한 정보로 업데이트 하는 업데이트부 및 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 마이그레이션 제어신호를 전달하는 메모리 인터페이스부를 포함할 수 있다.

대표도 - 도6a

610



(52) CPC특허분류

G06F 2009/4557 (2019.08)

G06F 2009/45583 (2019.08)

(56) 선행기술조사문헌

KR101489466 B1*

KR1020120083160 A*

KR101401378 B1

KR1020150044370 A

*는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호 10080722

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 [RCMS]클라우드 컴퓨팅 향 통합형 Server on Chip 시스템 연구(2/3,1단계)

기 여 율 1/1

주관기관 연세대학교 산학협력단

연구기간 2018.04.01 ~ 2018.12.31

명세서

청구범위

청구항 1

복수의 레이어들이 적층되어 형성된 3차원 적층 레이어를 관리하는 메모리 관리 장치에 있어서,

가상머신을 사용하는 컴퓨팅 환경에서 상기 복수의 레이어들 중 상기 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정하는 마이그레이션 결정부;

상기 마이그레이션 실행을 결정한 경우, 상기 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인하는 레이어 확인부;

상기 가상머신의 데이터를 상기 제1 레이어에서 상기 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 상기 제2 레이어에 대한 정보로 업데이트 하는 업데이트부 및

상기 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 상기 마이그레이션 제어신호를 전달하는 메모리 인터페이스부

를 포함하고,

상기 복수의 레이어들 각각은 독립적인 통신 채널을 구비하는 복수의 볼트들을 포함하고, 상기 복수의 볼트들 각각은 단위 용량을 가지는 복수의 파티션들을 포함하며,

상기 록업테이블은 상기 가상머신에 지정된 가상머신 아이디, 상기 복수의 레이어들 중 상기 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는

메모리 관리 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 목적지 정보는

상기 제2 레이어에 대응되는 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는

메모리 관리 장치.

청구항 4

제1항에 있어서,

상기 3차원 적층 레이어는

서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 상기 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신이 가능한

메모리 관리 장치.

청구항 5

제1항에 있어서,

상기 업데이트부는,

상기 가상머신에 할당된 영역에 대한 접근이 불가능하도록 상기 록업테이블에 마이그레이션 플래그를 설정하고,

상기 가상머신의 데이터가 상기 제1 레이어에서 상기 제2 레이어로 이동되면 상기 록업테이블을 상기 제2 레이어에 대한 정보로 업데이트하고, 상기 마이그레이션 플래그의 설정을 해제하는

메모리 관리 장치.

청구항 6

제1항에 있어서,

호스트(Host)로부터 리퀘스트(Request)를 수신하는 호스트 인터페이스부를 더 포함하고,

상기 리퀘스트 제어부는

상기 리퀘스트 제어부에 대응되는 레이어에서 수행되는 상기 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)을 더 포함하는

메모리 관리 장치.

청구항 7

제6항에 있어서,

상기 메모리 인터페이스부는

상기 리퀘스트와, 상기 목적지 정보 중 상기 리퀘스트에 대응되는 목적지 정보를 상기 리퀘스트 제어부로 전달하고,

상기 리퀘스트 제어부는

상기 리퀘스트와 상기 리퀘스트에 대응되는 목적지 정보를 수신하면, 상기 마이그레이션을 일시 중단하고, 상기 리퀘스트에 대응되는 목적지 정보와 상기 비트맵에 기초하여 상기 제1 레이어 및 상기 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정하며, 상기 접근이 결정된 레이어에서 상기 리퀘스트에 대응되는 동작을 수행한 이후 상기 마이그레이션을 재개하는

메모리 관리 장치.

청구항 8

제1항에 있어서,

상기 업데이트부는

상기 리퀘스트 제어부에 대응되는 레이어에서 수행되는 상기 마이그레이션의 진행 정보를 저장하는 적어도 하나의 비트맵(Bit-map)과 상기 목적지 정보에 기초하여 상기 마이그레이션 제어신호를 생성하는

메모리 관리 장치.

청구항 9

복수의 레이어들이 적층되어 형성된 3차원 적층 레이어를 관리하는 메모리 관리 장치에 있어서,

리퀘스트에 대응하여, 가상머신을 사용하는 컴퓨팅 환경에서 가상주소를 게스트 물리주소로 변환하는 변환부;

상기 리퀘스트에 대응하여, 상기 가상머신에 지정된 가상머신 아이디, 상기 복수의 레이어들 중 상기 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는 록업테이블을 확인하는 테이블 확인부;

상기 록업테이블에 기초하여 상기 게스트 물리주소, 상기 가상머신에 할당된 레이어에 대한 정보 및 상기 파티션에 대한 정보를 포함하는 호스트 물리주소를 생성하는 주소 생성부 및

상기 호스트 물리주소에 대응되는 리퀘스트 제어부로 상기 리퀘스트를 전달하는 메모리 인터페이스부

를 포함하고,

상기 복수의 레이어들 각각은 독립적인 통신 채널을 구비하는 복수의 볼트들을 포함하고, 상기 복수의 볼트들 각각은 단위 용량을 가지는 복수의 파티션들을 포함하며,

상기 메모리에 대한 정보는 상기 가상머신이 할당된 레이어의 레이어 아이디이고, 상기 파티션에 대한 정보는 상기 가상머신이 할당된 레이어의 파티션 아이디인

메모리 관리 장치.

청구항 10

제9항에 있어서,

상기 3차원 적층 레이어는

서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 상기 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신이 가능한

메모리 관리 장치.

청구항 11

제10항에 있어서,

상기 메모리 레이어들은 상기 스토리지 레이어들에 비해 상대적으로 처리 속도가 빠르고 용량이 작은 레이어인

메모리 관리 장치.

청구항 12

삭제

청구항 13

제9항에 있어서,

호스트(Host)로부터 상기 리퀘스트를 수신하는 호스트 인터페이스부를 더 포함하는

메모리 관리 장치.

청구항 14

삭제

청구항 15

제9항에 있어서,

상기 가상머신의 데이터는 상기 할당된 레이어에 포함된 복수의 볼트들에 인터리빙되는

메모리 관리 장치.

청구항 16

제9항에 있어서,

상기 리퀘스트 제어부는

상기 리퀘스트가 리드(Read) 리퀘스트이면, 상기 호스트 물리주소에 대응되는 위치에 저장된 데이터를 리드하고 상기 리드된 데이터를 상기 메모리 인터페이스부로 전달하고,

상기 리퀘스트가 라이트(Write) 리퀘스트이면, 상기 호스트 물리주소에 대응되는 위치에 상기 리퀘스트에 포함된 데이터를 라이트하는

메모리 관리 장치.

청구항 17

복수의 레이어들이 적층되어 형성된 3차원 적층 레이어를 관리하는 메모리 관리 장치를 이용한 메모리 관리 방

법에 있어서,

마이그레이션 결정부에서 가상머신을 사용하는 컴퓨팅 환경에서 상기 복수의 레이어들 중 상기 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정하는 단계;

레이어 확인부에서 상기 마이그레이션 실행을 결정한 경우, 상기 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인하는 단계;

업데이트부에서 상기 가상머신의 데이터를 상기 제1 레이어에서 상기 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 특업테이블을 상기 제2 레이어에 대한 정보로 업데이트 하는 단계 및

메모리 인터페이스부에서 상기 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 상기 마이그레이션 제어신호를 전달하는 단계

를 포함하고,

상기 복수의 레이어들 각각은 독립적인 통신 채널을 구비하는 복수의 볼트들을 포함하고, 상기 복수의 볼트들 각각은 단위 용량을 가지는 복수의 파티션들을 포함하며,

상기 특업테이블은 상기 가상머신에 지정된 가상머신 아이디, 상기 복수의 레이어들 중 상기 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는

메모리 관리 방법.

청구항 18

제17항에 있어서,

상기 업데이트 하는 단계는

상기 업데이트부에서 상기 가상머신에 할당된 영역에 대한 접근이 불가능하도록 특업테이블에 마이그레이션 플래그를 설정하고, 상기 가상머신의 데이터가 상기 제1 레이어에서 상기 제2 레이어로 이동되면 상기 특업테이블을 상기 제2 레이어에 대한 정보로 업데이트하고, 상기 마이그레이션 플래그의 설정을 해제하는

메모리 관리 방법.

청구항 19

제17항에 있어서,

상기 마이그레이션 제어신호가 상기 리퀘스트 제어부로 전달되면, 호스트 인터페이스부에서 호스트(Host)로부터 리퀘스트(Request)를 수신하는 단계를 더 포함하는

메모리 관리 방법.

청구항 20

제19항에 있어서,

상기 메모리 인터페이스부에서 상기 리퀘스트와, 상기 목적지 정보 중 상기 리퀘스트에 대응되는 목적지 정보를 상기 리퀘스트 제어부로 전달하는 단계 및

상기 리퀘스트 제어부에서 상기 리퀘스트와 상기 리퀘스트에 대응되는 목적지 정보를 수신하면, 상기 마이그레이션을 일시 중단하고, 상기 리퀘스트에 대응되는 목적지 정보와 상기 리퀘스트 제어부에 대응되는 레이어에서 수행되는 상기 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)에 기초하여 상기 제1 레이어 및 상기 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정하며, 상기 접근이 결정된 레이어에서 상기 리퀘스트에 대응되는 동작을 수행한 이후 상기 마이그레이션을 재개하는 단계를 더 포함하는

메모리 관리 방법.

발명의 설명

기술 분야

[0001] 본 발명은 가상화 시스템의 메모리 관리 장치 및 그 방법에 관한 것으로서, 보다 상세하게는 가상머신을 사용하는 컴퓨팅 환경에서 이중 메모리들을 관리하는 기술적 사상에 관한 것이다.

배경 기술

[0002] 컴퓨팅 시스템에서 메모리 주소변환은 메모리 내의 페이지테이블(page table)에 접근하여 가상주소(Virtual Address, VA)에 할당된 물리주소(Physical Address, PA)를 찾는 방식을 사용한다.

[0003] 도 1은 컴퓨팅 시스템에서 메모리 주소의 변환 방식을 설명하기 위한 도면이다.

[0004] 도 1을 참조하면, 응용프로그램들(110, 120)은 각각 0번지부터 시작하는 가상주소를 가진다. 운영체제(130)는 응용프로그램들(110, 120)이 공간을 요청하면, 페이지테이블(Table)에 의해 물리주소를 할당해준다.

[0005] 통상적으로 페이지테이블은 두 단계 내지 세 단계로 이루어져 있어 변환 색인 버퍼(Translation Lookaside Buffer, TLB)의 미스 시 주소 변환을 위한 하드웨어인 메모리 관리 유닛(Memory Management Unit, MMU)이 수차례 메모리(140)에 접근하게 된다.

[0007] 도 2는 가상머신이 활용되는 컴퓨팅 시스템에서의 메모리 주소 변환 방식을 설명하기 위한 도면이다.

[0008] 도 2를 참조하면, 가상머신(Virtual Machine)이 활용되는 컴퓨팅 시스템에서는 다양한 사용자(user)가 가상화를 통하여 자원(resource)을 할당 받아 사용한다. 사용자들은 할당 받은 자원 내에서 별개의 게스트 운영체제(113, 123)를 구동하며 독자적인 물리주소(GPA)를 가진다. 따라서, 가상주소(VA)를 통해 메모리 공간(150)에 접근 시 두 단계의 주소 변환이 진행된다.

[0009] 가상머신(110, 120, 130)들의 응용 프로그램들(111, 112, 121, 122) 각각은 0번지부터 시작하는 가상주소(Virtual Address, VA)를 가진다. 가상머신들(110, 120, 130)의 게스트 운영체제들(113, 123) 각각은 응용 프로그램(111, 112, 121, 122)들을 0번지부터 시작하는 게스트 물리주소(Guest Physical Address, GPA)로 변환한다. 다음, 하이퍼바이저(140)는 가상머신 아이디(VM 1, VM 2)와 게스트 물리주소를 이용해 페이지테이블 워크를 진행하여 호스트 물리주소(Host Physical Address, HPA)로 변환한다.

[0010] 따라서, 가상화를 하게 되면 가상주소(VA)에서 게스트 물리주소(GPA)로, 게스트 물리주소(GPA)에서 호스트 물리주소(HPA)로 두 번의 변환을 수행해야 하기 때문에 주소 변환 오버헤드가 커지고, 하이퍼바이저 소프트웨어가 일부 MMU의 역할을 수행해야 하기 때문에 실제 동작 속도는 더욱 느려진다.

선행기술문헌

특허문헌

[0011] (특허문헌 0001) 한국공개특허 제10-2015-0044370호 "이중 메모리들을 관리하는 시스템들"

발명의 내용

해결하려는 과제

[0012] 본 발명은 가상머신을 활용하는 컴퓨팅 환경에서 이중 메모리들에 룩업테이블을 이용하여 간단하게 가상 주소를 변환하는 메모리 관리 장치 및 그 방법을 제공하고자 한다.

[0013] 또한, 본 발명은 가상머신이 이중 메모리들에 접근 시 데이터를 효율적으로 마이그레이션 시키는 메모리 관리 장치 및 그 방법을 제공하고자 한다.

[0014] 또한, 본 발명은 비트맵 및 목적지 정보에 기초하여 마이그레이션 동작 중에 수신하는 리퀘스트를 용이하게 처리할 수 있는 메모리 관리 장치 및 그 방법을 제공하고자 한다.

과제의 해결 수단

- [0015] 일실시예에 따른 메모리 관리 장치는 리퀘스트에 대응하여, 가상머신을 사용하는 컴퓨팅 환경에서 가상주소를 게스트 물리주소로 변환하는 변환부와, 리퀘스트에 대응하여, 가상머신에 지정된 가상머신 아이디, 복수의 레이어들 중 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는 록업테이블을 확인하는 테이블 확인부와, 록업테이블에 기초하여 게스트 물리주소, 가상머신에 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는 호스트 물리주소를 생성하는 주소 생성부 및 호스트 물리주소에 대응되는 리퀘스트 제어부로 리퀘스트를 전달하는 메모리 인터페이스부를 포함할 수 있다.
- [0016] 일측에 따르면, 복수의 레이어들은 실리콘 관통 비아홀에 의해 적층 되어 3차원 적층 레이어를 구성하고, 3차원 적층 레이어는 서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신이 가능할 수 있다.
- [0017] 일측에 따르면, 메모리 레이어들은 스토리지 레이어들에 비해 상대적으로 처리 속도가 빠르고 용량이 작은 레이어일 수 있다.
- [0018] 일측에 따르면, 복수의 레이어들 각각은 독립적인 통신 채널을 구비하는 복수의 볼트들을 포함하고, 복수개의 볼트들 각각은 단위 용량을 가지는 복수의 파티션들을 포함할 수 있다.
- [0019] 일측에 따르면, 메모리 관리 장치는 호스트(Host)로부터 리퀘스트를 수신하는 호스트 인터페이스부를 더 포함할 수 있다.
- [0020] 일측에 따르면, 메모리에 대한 정보는 가상머신이 할당된 레이어의 레이어 아이디이고, 파티션에 대한 정보는 가상머신이 할당된 레이어의 파티션 아이디일 수 있다.
- [0021] 일측에 따르면, 가상머신의 데이터는 할당된 레이어에 포함되는 복수의 볼트들에 인터리빙될 수 있다.
- [0022] 일측에 따르면, 리퀘스트 제어부는 리퀘스트가 리드(Read) 리퀘스트이면, 호스트 물리주소에 대응되는 위치에 저장된 데이터를 리드하고 리드된 데이터를 메모리 인터페이스부로 전달하고, 리퀘스트가 라이트(Write) 리퀘스트이면, 호스트 물리주소에 대응되는 위치에 리퀘스트에 포함된 데이터를 라이트할 수 있다.
- [0023] 다른 실시예에 따른 메모리 관리 장치는 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정하는 마이그레이션 결정부와, 마이그레이션 실행을 결정한 경우, 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인하는 레이어 확인부와, 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 제2 레이어에 대한 정보로 업데이트 하는 업데이트부 및 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 마이그레이션 제어신호를 전달하는 메모리 인터페이스부를 포함할 수 있다.
- [0024] 일측에 따르면, 록업테이블은 가상머신에 지정된 가상머신 아이디, 복수의 레이어들 중 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 더 포함할 수 있다.
- [0025] 일측에 따르면, 목적지 정보는 제2 레이어에 대응되는 레이어에 대한 정보 및 파티션에 대한 정보를 포함할 수 있다.
- [0026] 일측에 따르면, 복수의 레이어들은 실리콘 관통 비아홀에 의해 적층되어 3차원 적층 레이어를 구성하고, 3차원 적층 레이어는 서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신이 가능할 수 있다.
- [0027] 일측에 따르면, 업데이트부는 가상머신에 할당된 영역에 대한 접근이 불가능하도록 록업테이블에 마이그레이션 플래그를 설정하고, 가상머신의 데이터가 제1 레이어에서 제2 레이어로 이동되면 록업테이블을 제2 레이어에 대한 정보로 업데이트하고, 마이그레이션 플래그의 설정을 해제할 수 있다.
- [0028] 일측에 따르면, 메모리 관리 장치는 호스트(Host)로부터 리퀘스트(Request)를 수신하는 호스트 인터페이스부를 더 포함하고, 리퀘스트 제어부는 리퀘스트 제어부에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)을 더 포함할 수 있다.
- [0029] 일측에 따르면, 메모리 인터페이스부는 리퀘스트와, 목적지 정보 중 리퀘스트에 대응되는 목적지 정보를 리퀘스트 제어부로 전달하고, 리퀘스트 제어부는 리퀘스트와 리퀘스트에 대응되는 목적지 정보를 수신하면, 마이그레이션을 일시 중단하고, 리퀘스트에 대응되는 목적지 정보와 비트맵에 기초하여 제1 레이어 및 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정하며, 접근이 결정된 레이어에서 리퀘스트에 대응되는 동작을 수행한 이후

마이그레이션을 재개할 수 있다.

- [0030] 일측에 따르면, 업데이트부는 리퀘스트 제어부에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 적어도 하나 이상의 비트맵(Bit-map)과 목적지 정보에 기초하여 마이그레이션 제어신호를 생성할 수 있다.
- [0031] 일실시예에 따른 메모리 관리 방법은 마이그레이션 결정부에서 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정하는 단계와, 레이어 확인부에서 마이그레이션 실행을 결정한 경우, 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인하는 단계와, 업데이트부에서 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 제2 레이어에 대한 정보로 업데이트 하는 단계 및 메모리 인터페이스부에서 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 마이그레이션 제어신호를 전달하는 단계를 포함할 수 있다.
- [0032] 일측에 따르면, 업데이트 하는 단계는 업데이트부에서 가상머신에 할당된 영역에 대한 접근이 불가능하도록 록업테이블에 마이그레이션 플래그를 설정하고, 가상머신의 데이터가 제1 레이어에서 제2 레이어로 이동되면 록업테이블을 제2 레이어에 대한 정보로 업데이트하고, 마이그레이션 플래그의 설정을 해제할 수 있다.
- [0033] 일측에 따르면, 메모리 관리 방법은 호스트 인터페이스부에서 호스트(Host)로부터 리퀘스트(Request)를 수신하는 단계를 더 포함할 수 있다.
- [0034] 일측에 따르면, 메모리 관리 방법은 메모리 인터페이스부에서 리퀘스트와, 목적지 정보 중 리퀘스트에 대응되는 목적지 정보를 리퀘스트 제어부로 전달하는 단계 및 리퀘스트 제어부에서 리퀘스트와 리퀘스트에 대응되는 목적지 정보를 수신하면, 마이그레이션을 일시 중단하고, 리퀘스트에 대응되는 목적지 정보와 리퀘스트 제어부에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)에 기초하여 제1 레이어 및 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정하며, 접근이 결정된 레이어에서 리퀘스트에 대응되는 동작을 수행한 이후 마이그레이션을 재개하는 단계를 더 포함할 수 있다.

발명의 효과

- [0035] 일실시예에 따르면, 가상머신을 활용하는 컴퓨팅 환경에서 이중 메모리들에 록업테이블을 이용하여 간단하게 가상 주소를 변환할 수 있다.
- [0036] 일실시예에 따르면, 가상머신이 이중 메모리들에 접근 시 데이터를 효율적으로 마이그레이션 시킬 수 있다.
- [0037] 일실시예에 따르면, 비트맵 및 목적지 정보에 기초하여 마이그레이션 동작 중에 수신하는 리퀘스트를 용이하게 처리할 수 있다.

도면의 간단한 설명

- [0038] 도 1은 컴퓨팅 시스템에서 메모리 주소의 변환 방식을 설명하기 위한 도면이다.
- 도 2는 가상머신이 활용되는 컴퓨팅 시스템에서의 메모리 주소 변환 방식을 설명하기 위한 도면이다.
- 도 3은 일실시예에 따른 메모리 관리 장치가 관리하는 3차원 적층 레이어를 설명하기 위한 도면이다.
- 도 4는 일실시예에 따른 메모리 관리 장치를 설명하기 위한 도면이다.
- 도 5는 일 실시예에 따른 메모리 관리 장치의 메모리 주소 변환을 설명하기 위한 도면이다.
- 도 6a 내지 도 6c는 다른 실시예에 따른 메모리 관리 장치를 설명하기 위한 도면이다.
- 도 7은 일실시예에 따른 메모리 관리 방법을 설명하기 위한 도면이다.
- 도 8은 종래의 가상화 주소 변환 방법과 도 4에서 설명한 일 실시예에 따른 메모리 관리 장치의 가상화 주소 변환 방법을 비교예를 설명하기 위한 도면이다.
- 도 9는 일 실시예에 따른 데이터 저장 예를 설명하기 위한 도면이다.
- 도 10은 일 실시예에 따른 메모리 관리 장치를 적용한 메모리 관리 시스템을 설명하기 위한 도면이다.
- 도 11은 일 실시예에 따른 메모리 관리 장치가 관리하는 이중 레이어들을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0040] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0041] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0042] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0043] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0044] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0046] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0048] 도 3은 일실시예에 따른 메모리 관리 장치가 관리하는 3차원 적층 레이어를 설명하기 위한 도면이다.
- [0049] 도 3을 참조하면, 메모리 관리 장치가 관리하는 이중 메모리들은 실리콘 관통 비아홀에 의해 적층되어 3차원 적층 레이어를 구성할 수 있다.
- [0050] 3차원 적층 레이어는 레이어 0(310, Layer 0), 레이어 1(320, Layer 1), 레이어 2(330, Layer 2), 레이어 3(340, Layer 3), 레이어 4(350, Layer 4), 레이어 5(360, Layer 5), 레이어 6(370, Layer 6) 및 레이어 7(380, Layer 7)를 포함할 수 있으나, 일실시예에 따른 3차원 적층 레이어는 전술한 예시에 한정되지 않고, 보다 많거나 적은 수의 레이어를 포함할 수도 있다.
- [0051] 보다 구체적으로, 레이어 0 내지 레이어 3(310, 320, 330, 340)은 메모리 레이어일 수 있다.
- [0052] 메모리 레이어는 빠른 데이터 처리 속도를 가지는 메모리일 수 있다. 예를 들면, 메모리 레이어는 DRAM(Dynamic Random Access Memory) 으로 구성될 수 있다.
- [0053] 또한, 레이어 4 내지 레이어 7(340, 350, 360, 370, 380)은 스토리지 레이어일 수 있다.
- [0054] 스토리지 레이어는 메모리 레이어에 비해 집적도(density)가 높아 상대적으로 큰 메모리 용량을 가지는 메모리일 수 있다.
- [0055] 즉, 메모리 레이어들과 스토리지 레이어들은 데이터 처리 속도 또는 메모리 용량에서 서로 다른 성능을 갖는 레

이어일 수 있다.

- [0056] 다시 말해, 메모리 레이어들은 스토리지 레이어에 비해 상대적으로 처리 속도가 빠르고 용량이 낮은 메모리일 수 있고, 따라서 스토리지 레이어는 메모리 레이어에 비해 상대적으로 처리 속도가 느리고 집적 밀도가 높은 레이어일 수 있다.
- [0057] 예를 들면, 스토리지 레이어는 읽기/쓰기 지연 시간이 DRAM에 비해 상대적으로 큰 플래시(Flash) 메모리 일 수 있다.
- [0058] 한편, 레이어 0 내지 레이어 7(310, 320, 330, 340, 350, 360, 370, 380)은 서로 각각 수평적으로 배치될 수 있다. 레이어 0 내지 레이어 7(310, 320, 330, 340, 350, 360, 370, 380)은 각각 실리콘 관통 비아홀(Trough Silicon Via, TSV)을 통해 레이어 간 수직적인 통신을 수행할 수 있다.
- [0059] 일측에 따르면, 각 레이어들은 4x4의 볼트(Vault)들을 포함할 수 있다. 또한, 볼트들 각각은 실리콘 관통 비아홀에 의해 독립적으로 통신이 가능하다.
- [0060] 다시 말해, 각각의 레이어는 최대 16개의 볼트들을 통해 동시에 데이터를 주고 받을 수 있다.
- [0061] 예를 들면, 각 레이어에 구비되는 각각의 볼트는 하이브리드 메모리 큐브(Hybrid Memory Cube, HMC) 시스템의 볼트일 수 있으나, 일실시예에 따른 볼트는 이에 한정되지 않고 독립적으로 통신이 가능한 구성 단위 또는 사용자의 설정에 의해 정해지는 구성 단위를 의미할 수도 있다.
- [0062] 일측에 따르면, 동일한 수직 선상에 위치한 볼트들은 복수의 리퀘스트 제어부들(390) 중에서 동일한 수직 선상에 위치한 어느 하나의 리퀘스트 제어부와 연결될 수 있으며, 연결된 리퀘스트 제어부를 통해 통신을 수행할 수 있다.
- [0063] 예를 들면, 레이어 0(310)에 구비된 볼트(311)는 전술한 볼트(311)와 동일한 수직 선상에 위치한 레이어 7(380)의 볼트(381)와 동일 수직 선상에 있는 하나의 리퀘스트 제어부를 공유할 수 있으며, 공유하는 하나의 리퀘스트 제어부를 통해 상호간에 통신을 수행할 수 있다.
- [0064] 예를 들면, 리퀘스트 제어부는 하이브리드 메모리 큐브 시스템에 구비되는 볼트 컨트롤러(Vault controller)일 수도 있다.
- [0065] 본 발명은 도 3을 통해 일실시예에 따른 리퀘스트 제어부가 3차원 적층 레이어 상에 구비되는 예시에 대해 설명하나, 본 발명에서는 이에 한정되지 않고 일실시예에 따른 리퀘스트 제어부가 호스트(Host) 또는 별도로 외부 제어장치에 구비될 수도 있다.
- [0066] 도 3에서는 레이어들(310, 320, 330, 340, 350, 360, 370, 380) 각각에 구비된 단일 볼트들 각각을 연결하는 실리콘 관통 비아홀이 도시되었고, 다른 볼트들 각각을 연결하는 실리콘 관통 비아홀은 생략되었다.
- [0067] 실리콘 관통 비아홀은 레이어의 면적을 고루 사용하여 와이어를 할 수 있고 길이가 짧기 때문에 일반적인 오프-칩 와이어(Off-chip wire)보다 더 높은 밴드위스(Bandwidth) 통신이 가능하다.
- [0068] 즉, 메모리 관리 장치는 3차원 적층 레이어를 관리하는 경우 하이 밴드위스(Bandwidth)를 이용하여 레이어들을 관리할 수 있다.
- [0069] 한편, 레이어 0 내지 레이어 7(310, 320, 330, 340, 350, 360, 370, 380)에 구비된 볼트들 각각은 단위 용량을 나타내는 복수 개의 파티션을 포함한다.
- [0070] 파티션은 볼트의 용량(Storage capacity)을 동일한 크기로 나눈 단위일 수 있으나, 파티션의 용량 크기는 전술한 예시에 한정되지 않고 사용자 또는 관리자가 설정한 메모리 관리 정책을 통해 가변적으로 설정될 수 있다.
- [0071] 예를 들면, 메모리 레이어의 볼트(311)은 4개의 파티션(Partition 0, Partition 1, Partition 2, Partition 3)으로 나눌 수 있다.
- [0072] 이때, 스토리지 레이어의 집적도가 메모리 레이어의 4배라 가정하면, 스토리지 레이어의 볼트(381)은 16개의 파티션(0 내지 15)으로 나눌 수 있다.
- [0073] 또한, 스토리지 레이어의 파티션과 메모리 레이어의 파티션의 용량 크기가 동일하므로 스토리지 레이어의 하나의 파티션에 저장된 데이터는 메모리 레이어의 하나의 파티션으로 이동시킬 수 있다. 마찬가지로, 메모리 레이어의 하나의 파티션에 저장된 데이터는 스토리지 레이어의 하나의 파티션으로 이동될 수 있다.

- [0074] 아래 언급될 가상머신들 각각은 하나의 레이어의 한 개 이상의 파티션에 할당될 수 있으며, 룩업테이블을 통해 주소 변환을 진행할 수 있다.
- [0075] 한편, 도 3에서는 레이어 0 내지 레이어 3(310, 320, 330, 340)을 메모리 레이어로, 레이어 4 내지 레이어 7(350, 360, 370, 380)을 스토리지 레이어로 도시하였으나, 필요에 따라, 메모리 레이어와 스토리지 레이어의 수는 조절될 수 있다.
- [0076] 또한, 일 실시예에 따른 메모리 관리 장치는 도 3에 도시된 3차원 적층 레이어 뿐만 아니라 3차원 적층 또는 2.5차원 인터포저 등 이중 메모리 간의 하이-밴드위스 통신이 가능한 메모리 장치를 관리할 수 있다.
- [0078] 도 4는 일실시예에 따른 메모리 관리 장치를 설명하기 위한 도면이다.
- [0079] 다시 말해, 도 4는 도 3을 통해 설명한 3차원 적층 레이어를 관리하는 메모리 관리 장치를 설명하기 위한 도면으로, 이하에서 도 4를 통해 설명하는 내용 중 도 3을 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0080] 도 4를 참조하면, 일실시예에 따른 메모리 관리 장치(400)는 가상머신을 활용하는 컴퓨팅 환경에서 이중 메모리들에 룩업테이블을 이용하여 간단하게 가상 주소를 변환시킬 수 있다.
- [0081] 이를 위해, 메모리 관리 장치(400)는 변환부(410), 테이블 확인부(420), 주소 생성부(430) 및 메모리 인터페이스부(440)를 포함할 수 있다.
- [0082] 또한, 메모리 관리 장치(400)는 호스트(Host)로부터 리퀘스트를 수신하는 호스트 인터페이스부(450)를 더 포함할 수도 있다.
- [0083] 예를 들면, 리퀘스트는 리드(Read) 리퀘스트 또는 라이트(Write) 리퀘스트일 수 있으나, 전술한 예시에 한정되지 않고 메모리 장치에서 수행될 수 있는 다양한 리퀘스트를 포함할 수 있다.
- [0084] 일측에 따르면, 메모리 관리 장치(400)는 가상머신을 사용하는 컴퓨팅 환경에서 사용할 수 있으며, 구현된 가상머신은 복수 개일 수 있다. 또한, 가상머신들 각각은 응용프로그램들을 독립적으로 실행 및 관리할 수 있고 응용프로그램들에 가상주소를 할당할 수도 있다.
- [0085] 일측에 따르면, 메모리 관리 장치(400)의 호스트 인터페이스부(450)는 호스트로부터 가상주소에 대한 정보를 수신할 수 있다. 예를 들면, 가상주소에 대한 정보는 가상주소(Virtual Address, VA)를 포함할 수 있다.
- [0086] 또한, 호스트는 씨피유(CPU, Central Processing Unit), 씨피유 캐쉬(CPU cache), 그래픽 처리 장치(Graphics Processing Unit, GPU) 등의 가속기일 수 있다.
- [0087] 또한, 호스트 인터페이스부(450)는 호스트로부터 프로세스 정보를 수신할 수 있다.
- [0088] 프로세스 정보는 프로세스 아이디(Process ID)를 포함할 수 있다. 예를 들면, 프로세스 정보는 ARM(Advanced RISC Machine), 하드웨어에서는 ASID(Address Space ID)일 수 있다.
- [0089] 한편, 호스트 인터페이스부(450)는 호스트로부터 가상머신에 대한 정보를 수신할 수도 있다.
- [0090] 예를 들면, 가상머신에 대한 정보는 가상머신 아이디(Virtual Machine ID, VMID)를 포함할 수 있다.
- [0091] 다시 말해, 메모리 관리 장치(400)는 호스트(Host)로부터 가상주소에 대한 정보, 프로세스 정보 및 가상머신에 대한 정보를 수신할 수 있으며, 호스트로부터 수신하는 리퀘스트는 전술한 가상주소에 대한 정보, 프로세스 정보 및 가상머신에 대한 정보를 포함할 수도 있다.
- [0092] 구체적으로, 일실시예에 따른 변환부(410)는 리퀘스트에 대응하여, 가상머신을 사용하는 컴퓨팅 환경에서 가상주소를 게스트 물리주소로 변환할 수 있다.
- [0093] 일측에 따르면, 변환부(410)는 가상주소를 페이지테이블에 기초하여 게스트 물리주소로 변환할 수 있다.
- [0094] 다음으로, 테이블 확인부(420)는 리퀘스트에 대응하여, 가상머신에 지정된 가상머신 아이디, 복수의 레이어들 중 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는 룩업테이블을 확인할 수 있다.
- [0095] 일측에 따르면, 복수의 레이어들은 실리콘 관통 비아홀(Trough Silicon Via, TSV)에 의해 적층 되어 3차원 적층 레이어를 구성하고, 3차원 적층 레이어는 서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신을 수행할 수 있다.
- [0096] 또한, 메모리 레이어들은 스토리지 레이어들에 비해 상대적으로 처리 속도가 빠르고 용량이 작은 레이어일 수

있다.

- [0097] 또한, 복수의 레이어들 각각은 독립적인 통신 채널을 구비하는 복수의 볼트들을 포함하고, 복수개의 볼트들 각각은 단위 용량을 가지는 복수의 파티션들을 포함할 수 있다.
- [0098] 예를 들면, 동일 수직 선상의 위치하는 복수의 볼트들은 하나의 리퀘스트 제어부를 공유할 수 있다.
- [0099] 한편, 록업테이블은 가상머신의 가상머신 아이디(VMID), 3차원 적층 메모리 중 해당 가상머신이 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함할 수 있다.
- [0100] 또한, 가상머신 아이디는 가상머신을 식별하기 위한 정보일 수 있으며, 레이어에 대한 정보는 해당 가상머신이 할당된 레이어의 레이어 아이디(Layer ID)일 수 있다.
- [0101] 레이어 아이디는 3차원 적층 레이어의 레이어를 식별하기 위한 정보일 수 있고, 파티션에 대한 정보는 해당 가상머신이 할당된 레이어에 대한 파티션의 파티션 아이디(Partition ID)일 수 있으며, 파티션 아이디는 3차원 적층 레이어의 볼트들 각각을 구성하는 파티션을 식별하기 위한 정보일 수 있다.
- [0102] 다시 말해, 테이블 확인부(420)는 록업테이블에 의해 리퀘스트에 대응되는 가상머신이 할당된 레이어 및 파티션의 아이디를 확인할 수 있다.
- [0103] 다음으로, 일실시예에 따른 주소 생성부(430)는 록업테이블에 기초하여 게스트 물리주소, 가상머신에 할당된 레이어에 대한 정보 및 파티션에 대한 정보를 포함하는 호스트 물리주소를 생성할 수 있다.
- [0104] 다시 말해, 주소 생성부(430)는 확인된 록업테이블에 기초하여 레이어에 대한 정보 및 파티션에 대한 정보를 생성하고, 레이어에 대한 정보, 파티션에 대한 정보 및 변환부(410)가 변환한 게스트 물리주소를 포함하는 호스트 물리주소를 생성할 수 있다.
- [0105] 즉, 호스트 물리주소는 호스트로부터 수신한 리퀘스트에 대응되는 게스트 물리주소, 메모리에 대한 정보 및 파티션에 대한 정보를 포함할 수 있다.
- [0106] 따라서, 본 발명을 이용하면 가상머신을 사용하는 컴퓨팅 시스템에서 주소 변환에 따른 오버헤드를 최소화할 수 있다.
- [0107] 즉, 종래의 가상화 주소 변환 방법과 도 4에서 설명한 일 실시예에 따른 메모리 관리 장치의 가상화 주소 변환 방법을 비교예를 설명하는 도면인 도 8를 참조하면, 도 8의 (b)에 도시된 바와 같이 일 실시예에 따른 메모리 관리 장치는, 도 8의 (a)에 도시된 바와 같이 호스트 페이지 테이블 워크(Host page table walk)를 진행하지 않고, 가상머신 아이디(VM ID) 및 록업테이블에 의해 레이어 아이디(Layer ID) 및 파티션 아이디(Part. ID)를 생성하여 레이어 아이디(Layer ID), 파티션 아이디(Part. ID) 및 게스트 물리주소(GPA)를 포함하는 호스트 물리주소(HPA)를 생성할 수 있다.
- [0108] 여기서, 도 8의 (a)는 종래 가상화 주소 변환 개념을 설명하기 위한 도면이고, 도 8의 (b)는 본 발명의 일 실시예에 따른 가상화 주소 변환 개념을 설명하기 위한 도면이다.
- [0110] 다시 도 1을 참조하면, 일실시예에 따른 메모리 인터페이스부(440)는 주소 생성부(430)에서 생성한 호스트 물리주소에 대응되는 리퀘스트 제어부로 리퀘스트를 전달할 수 있다.
- [0111] 일측에 따르면, 리퀘스트 제어부는 리퀘스트가 리드(Read) 리퀘스트이면, 호스트 물리주소에 대응되는 위치에 저장된 데이터를 리드하고, 리드된 데이터를 메모리 인터페이스부(440)로 전달할 수 있다.
- [0112] 예를 들면, 리퀘스트 제어부는 호스트 물리주소에 대응되는 스토리지 레이어에서 데이터를 리드할 수 있다.
- [0113] 다시 말해, 일실시예에 따른 메모리 관리 장치(400)는 리드 리퀘스트를 수신하면, 메모리 인터페이스부(440)를 통해 호스트 물리주소에 대응되는 리퀘스트 제어부로부터 리퀘스트에 대응되는 데이터를 리드할 수 있으며, 호스트 인터페이스부(450)를 통해 리드된 데이터를 호스트에 전달할 수 있다.
- [0114] 일측에 따르면, 리퀘스트 제어부는 리퀘스트가 라이트(Write) 리퀘스트이면, 호스트 물리주소에 대응되는 위치에 리퀘스트에 포함된 데이터를 라이트할 수 있다.
- [0115] 예를 들면, 리퀘스트 제어부는 호스트 물리주소에 대응되는 스토리지 레이어에 데이터를 라이트할 수 있다.
- [0116] 다시 말해, 일실시예에 따른 메모리 관리 장치(400)는 라이트 리퀘스트를 수신하면, 메모리 인터페이스부(440)를 통해 리퀘스트 및 호스트 물리주소를 전달하고, 리퀘스트 제어부는 호스트 물리주소에 대응되는 리퀘스트에

대응되는 데이터를 대응되는 위치에 라이트할 수 있다. 예를 들면, 리퀘스트는 대응되는 데이터를 포함할 수 있다.

[0118] 도 5는 일 실시예에 따른 메모리 관리 장치의 메모리 주소 변환을 설명하기 위한 도면이다.

[0119] 다시 말해, 도 5에 도시된 메모리 주소 변환은 도 4에 도시된 메모리 관리 장치에 의해 수행될 수 있다.

[0120] 도 5에 도시된 참조부호 510 및 참조부호 520의 블록은 가상머신을 나타낸 것으로 가상머신이 주체가 되어 주소 변환을 수행함을 나타내는 것이 아니라 가상머신들 각각에 대응하는 가상주소(VA)가 존재하고, 이를 게스트 물리주소(GPA)로 변환함을 나타내기 위한 것이다.

[0121] 도 3 내지 도 5를 참조하면, 가상머신 1(510) 및 가상머신 2(520)를 사용하는 컴퓨팅 환경에서 메모리 관리를 수행할 수 있다.

[0122] 가상머신 1(510)의 응용프로그램(Application 1, Application 2)들은 0번지부터 시작하는 가상주소를 할당 받을 수 있고, 가상머신 2(520)의 응용프로그램(Application 3, Application 4)들도 0번지부터 시작하는 가상주소를 할당 받을 수 있다.

[0123] 도 5는 두 개의 가상머신을 사용하는 컴퓨팅 환경을 도시하였으나, 한 개의 가상머신 또는 세 개 이상의 가상머신을 사용하는 컴퓨팅 환경에서도 일 실시예에 따른 메모리 관리 장치(400)를 적용할 수 있다.

[0124] 변환부(410)는 각 가상머신(510, 520)의 응용프로그램들에 할당된 가상주소(VA)를 페이지테이블에 기초하여 게스트 물리주소(GPA)로 변환할 수 있다.

[0125] 테이블 확인부(420)는 룩업테이블에 기초하여 해당 가상머신이 할당된 레이어 및 파티션을 확인할 수 있다.

[0126] 하기 표 1은 룩업테이블의 예시를 나타낸다.

표 1

VMID	Layer ID	Partition ID
1	0	1
2	7	15

[0128] 표 1의 룩업테이블을 참조하면, 가상머신 1(520)의 경우 할당된 레이어의 레이어 아이디(Layer ID)는 0이고, 파티션 아이디(Partition ID)는 1임을 확인할 수 있다.

[0129] 또한, 가상머신 1(510)의 가상머신 아이디(VMID)는 1일 수 있고, 가상머신 2(520)의 가상머신 아이디(VMID)는 2일 수 있다.

[0130] 가상머신 2(520)의 경우 할당된 레이어의 레이어 아이디(Layer ID)는 7이고, 파티션 아이디(Partition ID)는 15임을 확인할 수 있다.

[0131] 이때, 레이어 아이디는 도 3에 도시된 3차원 적층 레이어의 레이어를 식별하기 위한 정보이고, 파티션 아이디는 파티션을 식별하기 위한 정보일 수 있다.

[0132] 즉, 가상머신 1(510)의 경우 레이어 0(310, Layer 0)에서, 파티션 1(Partition 1)에 할당됨을 확인할 수 있다.

[0133] 주소 생성부(430)는 호스트 물리주소를 생성할 수 있다.

[0134] 주소 생성부(430)는 룩업테이블에 의해 해당 가상머신이 할당된 레이어 아이디 및 파티션 아이디를 확인하여 레이어 아이디 및 파티션 아이디를 생성할 수 있다.

[0135] 주소 생성부(430)는 변환부(410)로부터 게스트 물리주소를 확인할 수 있다.

[0136] 주소 생성부(430)는 레이어 아이디, 파티션 아이디 및 게스트 물리주소를 포함하는 호스트 물리주소를 생성할 수 있다.

[0137] 가상머신들(510, 520)은 호스트 물리주소에 의해 3차원 적층 레이어에 할당될 수 있다.

[0138] 즉, 가상머신 1(510)은 0(레이어 아이디), 1(파티션 아이디) 및 게스트 물리주소로 구성된 호스트 물리주소를 가질 수 있다.

- [0139] 가상머신 2(520)는 7(레이어 아이디), 15(파티션 아이디) 및 게스트 물리주소로 구성된 호스트 물리주소를 가질 수 있다.
- [0140] 따라서, 본 발명의 일 실시예에 따른 메모리 관리 장치(400)는, 룩업테이블에 기초하여 레이어 아이디, 파티션 아이디 및 게스트 물리주소만으로 메모리를 할당하여 주소 변환에 따른 오버헤드를 최소화할 수 있다.
- [0141] 이와 같이, 본 발명의 일 실시예에 따른 메모리 관리 장치(400)는 볼트의 아이디를 사용하지 않고, 레이어 아이디 및 파티션 아이디를 사용하여 복수 개의 볼트들에 데이터를 인터리빙 할 수 있다.
- [0142] 예를 들어, 일 실시예에 따른 데이터 저장 예를 설명하기 위한 도면인 도 9를 참조하면, 가상머신 1에 대한 데이터는 레이어 0의 각각의 볼트의 파티션 15들에 분산되어 저장될 수 있다.
- [0144] 도 6a 내지 도 6c는 다른 실시예에 따른 메모리 관리 장치를 설명하기 위한 도면이다.
- [0145] 다시 말해, 도 6a 내지 도 6c는 도 3 내지 도 5를 통해 설명한 3차원 적층 레이어를 관리하는 메모리 관리 장치의 다른 실시예를 설명하기 위한 도면으로, 이하에서 도 6a 내지 도 6c를 통해 설명하는 내용 중 도 3 내지 도 5를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0146] 도 6a 내지 도 6c를 참조하면, 참조부호 610은 다른 실시예에 따른 메모리 관리 장치의 블록도를 나타내고, 참조부호 620은 다른 실시예에 따른 리퀘스트 제어부를 나타내며, 참조부호 630은 다른 실시예에 따른 메모리 관리 장치의 타이밍도를 나타낸다.
- [0147] 다른 실시예에 따른 메모리 관리 장치(610)는 가상머신이 이중 메모리들에 접근 시 데이터를 효율적으로 마이그레이션 시킬 수 있으며, 비트맵(Bit-map) 및 목적지(Destination) 정보에 기초하여 마이그레이션 동작 중에 수신하는 리퀘스트를 용이하게 처리할 수 있다.
- [0148] 이를 위해, 메모리 관리 장치(610)는 마이그레이션 결정부(611), 레이어 확인부(612), 업데이트부(613) 및 메모리 인터페이스부(614)를 포함할 수 있다.
- [0149] 일측에 따르면, 메모리 관리 장치(610)는 호스트(Host)로부터 리퀘스트(Request)를 수신하는 호스트 인터페이스부(615)를 더 포함할 수 있다.
- [0150] 메모리 관리 장치(610)는 도 3에 도시된 3차원 적층 레이어(310 내지 380)를 관리할 수 있다.
- [0151] 일 실시예에 따른 마이그레이션 결정부(611)는 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정할 수 있다.
- [0152] 예를 들면, 마이그레이션 결정부(611)는 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 데이터 접근 시, 가상머신의 데이터 접근 빈도 또는 3차원 적층 레이어(310 내지 380) 중 가상머신이 할당된 제1 레이어의 남은 공간을 확인하여 마이그레이션 실행 여부를 결정할 수 있다.
- [0153] 마이그레이션 결정부(611)는 데이터 접근이 확인된 경우 가상머신의 데이터 접근 빈도 또는 3차원 적층 레이어(310 내지 380) 중 가상머신이 할당된 제1 레이어의 남은 공간을 확인할 수 있다.
- [0154] 3차원 적층 레이어(310 내지 380)는 서로 각각 수평을 이루며 적층 되는 메모리 레이어들(310 내지 340) 및 스토리지 레이어들(350 내지 380)을 포함할 수 있다.
- [0155] 가상머신의 데이터 접근 빈도는 가상머신이 데이터에 접근한 횟수일 수 있다.
- [0156] 제1 레이어의 남은 공간은 제1 레이어를 구성하는 파티션들 중 비어있는 파티션들의 용량일 수 있다.
- [0157] 마이그레이션 결정부(611)는 확인된 가상머신의 데이터 접근 빈도가 기 설정된 빈도를 초과하는 경우 또는 제1 레이어의 남은 공간이 기 설정된 공간 이하인 경우 마이그레이션의 실행을 결정할 수 있다.
- [0158] 또한, 마이그레이션 결정부(611)는 제1 레이어가 스토리지 레이어인지 여부를 확인하여 스토리지 레이어인 경우 기 설정된 빈도를 초과하는 경우로 보아 마이그레이션의 실행을 결정할 수 있다.
- [0159] 한편, 마이그레이션 결정부(611)는 메모리 레이어에 위치한 가상머신이 유틸 단계에 들어가 스토리지 레이어로의 마이그레이션이 필요한 경우 또는 스토리지 레이어에 위치한 가상머신에 리퀘스트가 들어와 동작 단계로 전환될 경우에 마이그레이션을 결정할 수도 있다.
- [0160] 즉, 본 발명의 일 실시예에 따른 메모리 관리 장치는 가상머신이 스토리지 레이어에 할당된 경우 효율적인 메모리

리 관리를 위해 더 빠른 레이어로 재할당되도록 레이어를 관리할 수 있다.

- [0161] 또한, 마이그레이션 결정부(611)는 기 설정된 일정 주기마다 마이그레이션의 실행을 결정할 수 있다.
- [0162] 즉, 메모리 관리 장치는 가상머신의 데이터 접근 빈도 또는 제1 레이어의 남은 공간의 확인 없이 일정 주기마다 마이그레이션을 실행할 수 있다.
- [0163] 일실시예에 따른 레이어 확인부(612)는 마이그레이션 실행을 결정한 경우, 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인할 수 있다.
- [0164] 이때, 레이어들은 도 3에 도시된 3차원 적층 레이어 또는 도 11에 도시된 이중 레이어들일 수 있다.
- [0165] 다시 말해, 복수의 레이어들은 실리콘 관통 비아홀에 의해 적층되어 3차원 적층 레이어를 구성하고, 3차원 적층 레이어는 서로 각각 수평을 이루며 적층 되는 메모리 레이어들 및 스토리지 레이어들을 포함하고, 적층된 레이어들 각각은 실리콘 관통 비아홀을 통해 수직 통신을 수행할 수 있다.
- [0166] 할당 가능 레이어는 미 할당된(또는 비어있는) 파티션을 포함하는 레이어 또는 다른 가상머신이 할당되어 있으나, 다른 가상머신이 접근하지 않고 있는 파티션을 포함하는 레이어를 포함할 수 있다.
- [0167] 제2 레이어는 제1 레이어에서 가상머신의 데이터가 이동될 레이어일 수 있다.
- [0168] 레이어 확인부(612)는 확인된 할당 가능 레이어들 중 가장 적합한 하나의 레이어(제2 레이어)를 확인할 수 있다.
- [0169] 예를 들면, 레이어 확인부(612)는 제1 레이어의 공간 부족으로 마이그레이션 실행을 결정한 경우, 필요 공간을 만족하는 레이어들을 할당 가능 레이어들로 확인할 수 있다.
- [0170] 또한, 레이어 확인부(612)는 데이터 접근 빈도에 의해 마이그레이션 실행을 결정한 경우, 필요 공간을 만족하고 제1 레이어에 비해 속도가 빠른 레이어들을 할당 가능 레이어들로 확인할 수 있다.
- [0171] 이때, 할당 가능 레이어들 각각은 메모리 레이어일 수도 있고, 스토리지 레이어일 수도 있다.
- [0172] 레이어 확인부(612)는 확인된 할당 가능 레이어들 중 가장 성능이 좋은 레이어를 제2 레이어로 확인할 수 있다.
- [0173] 예를 들면, 레이어 확인부(612)는 공간 부족에 의해 마이그레이션의 실행을 결정한 경우 하나의 메모리 레이어와 하나의 스토리지 레이어가 할당 가능 레이어로 결정되었다면 비교적 속도가 빠른 메모리 레이어를 제2 레이어로 확인할 수 있다.
- [0174] 또는, 레이어 확인부(612)는 공간 부족에 의해 마이그레이션의 실행을 결정한 경우 두 개의 스토리지 레이어들이 할당 가능 레이어로 결정될 수 있고, 이 중 빠른 속도를 가지는 레이어를 제2 레이어로 확인할 수 있다.
- [0175] 또한, 레이어 확인부(612)는 데이터 접근 횟수에 의해 마이그레이션의 실행을 결정한 경우, 제1 레이어 보다 빠른 속도를 가지는 레이어를 할당 가능 레이어들로 확인하고, 이중 가장 빠른 속도를 가지는 레이어를 제2 레이어로 확인할 수 있다.
- [0176] 이때, 제1 레이어가 스토리지 레이어인 경우 제2 레이어는 메모리 레이어일 수 있다.
- [0177] 제1 레이어가 스토리지 레이어인 경우에도 제2 레이어는 제1 레이어보다 빠른 스토리지 레이어로 확인될 수 있다.
- [0178] 제1 레이어가 메모리 레이어인 경우 제2 레이어는 제1 레이어 보다 빠른 메모리 레이어일 수도 있다.
- [0179] 또한, 레이어 확인부(612)는 공간 부족과 데이터 접근 횟수에 의해 마이그레이션의 실행을 결정한 경우, 필요 공간을 만족하는 레이어들을 할당 가능 레이어들로 확인할 수 있다.
- [0180] 또한, 마이그레이션 결정부(611)는 데이터 접근 빈도에 의해 마이그레이션이 필요하다고 판단한 경우 제1 레이어가 스토리지 레이어이나 메모리 레이어에 빈 공간이 없는 경우 해당 메모리 레이어의 데이터를 우선적으로 다른 비어있는 스토리지 레이어로 이동시키고, 제1 레이어(스토리지 레이어)에서 해당 메모리 레이어로 데이터를 이동 및 가상머신을 할당할 수 있다.
- [0181] 레이어 확인부(612)는 할당 가능 레이어들 중 가장 빠른 속도를 가지는 레이어를 제2 레이어로 확인할 수 있다.
- [0182] 또한, 레이어 확인부(612)는 일정 주기마다 마이그레이션을 실행하는 경우, 현재 가상머신이 할당된 제1 레이어 보다 좋은 성능을 가지는 레이어 중 할당이 가능한 레이어들을 할당 가능 레이어로 결정하고, 할당 가능 레이어

중 최고의 성능을 가지는 레이어를 제2 레이어로 확인할 수 있다.

[0183] 최고의 성능을 가지는 레이어는 레이어 속도, 용량 등을 비교하여 확인할 수 있다.

[0184] 일실시예에 따른 업데이트부(613)는 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 제2 레이어에 대한 정보로 업데이트할 수 있다.

[0185] 예를 들면, 목적지 정보는 마이그레이션을 수행하기 위한 제2 레이어에 대응되는 레이어에 대한 정보 및 파티션에 대한 정보를 포함할 수 있다.

[0186] 일측에 따르면, 록업 테이블은 제1 레이어에 할당된 가상머신에 지정된 가상머신 아이디, 복수의 레이어들 중 제1 레이어에 할당된 가상머신에 대응되는 레이어에 대한 정보 및 파티션에 대한 정보를 포함할 수 있다.

[0187] 레이어에 대한 정보는 이종 레이어들을 구성하는 레이어들 각각을 식별하기 위한 정보일 수 있다. 예를 들면, 레이어에 대한 정보는 레이어 아이디(Layer ID)일 수 있다.

[0188] 파티션에 대한 정보는 레이어를 구성하는 파티션들 각각을 식별하기 위한 정보일 수 있다. 예를 들면, 파티션에 대한 정보는 파티션 아이디(Partition ID)일 수 있다.

[0189] 일측에 따르면, 업데이트부(613)는 해당 가상머신에 할당된 영역에 대한 접근이 불가능하도록 록업테이블에 마이그레이션 플래그를 설정할 수 있다.

[0190] 또한, 업데이트부(613)는 가상머신의 데이터가 제1 레이어에서 제2 레이어로 이동되면, 록업테이블을 제2 레이어에 대한 정보로 업데이트하고, 마이그레이션 플래그의 설정을 해제할 수 있다.

[0191] 예를 들면, 업데이트부(613)는 리퀘스트 제어부(620)로부터 메모리 인터페이스부(614)를 통해 가상머신 데이터의 이동 여부를 수신할 수 있다.

[0192] 하기의 표 2 및 표 3은 목적지 정보를 포함하는 록업 테이블의 예시를 나타낸다.

표 2

VMID	Layer ID	Partition ID	Migration Flag
1	A	B	0 -> 1
...
DEST	C	D	X

표 3

VMID	Layer ID	Partition ID	Migration Flag
1	A -> C	B -> D	1 -> X
...
DEST	C -> X	D -> X	X

[0195] 표 2의 록업 테이블을 참조하면, 마이그레이션이 실행되는 제1 레이어의 가상머신 아이디(VMID)가 1이고, 레이어 아이디(Layer ID)가 A이며, 파티션 아이디(Partition ID)가 B인 경우에, 록업 테이블은 제1 레이어에서 수행되는 마이그레이션의 목적지 정보(DEST)로서 제2 레이어에 대한 레이어 아이디 C 및 파티션 아이디 D에 대한 정보를 더 포함할 수 있다.

[0196] 한편, 록업 테이블은 가상머신 아이디 1에 대응되는 제1 레이어에 대한 마이그레이션 실행이 결정되면, 마이그레이션 플래그를 1로 설정할 수 있다.

[0197] 다음으로, 표 3의 록업 테이블을 참조하면, 가상머신의 데이터가 제1 레이어에서 제2 레이어로 이동되면 록업 테이블에서 가상머신 아이디 1에 대응되는 레이어 아이디를 C로 변경하고, 파티션 아이디를 D로 변경하며, 마이그레이션 플래그를 0으로 변경하여 마이그레이션 설정을 해제할 수 있다.

[0198] 한편, 일실시예에 따른 메모리 인터페이스부(614)는 마이그레이션 제어신호에 대응되는 리퀘스트 제어부(620)로 마이그레이션 제어신호를 전달할 수 있다.

- [0199] 예를 들면, 마이그레이션 제어신호에 대응되는 리퀘스트 제어부(620)는 제1 레이어에 대응되는 리퀘스트 제어부(620)일 수 있으며, 제1 레이어에 대응되는 리퀘스트 제어부(620)는 마이그레이션 제어신호에 포함된 목적지 정보에 기초하여 마이그레이션 동작을 수행할 수 있다.
- [0200] 다시 말해, 리퀘스트 제어부(620)는 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키는 마이그레이션 동작을 수행할 수 있다.
- [0201] 일측에 따르면, 리퀘스트 제어부(620)는 리퀘스트 제어부(620)에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)을 더 포함할 수 있다.
- [0202] 예를 들면, 리퀘스트 제어부(620)에 대응되는 레이어는 제1 레이어일 수 있다.
- [0203] 보다 구체적으로, 비트맵은 리퀘스트 제어부(620)에서 가상머신의 데이터를 마이그레이션 단위로 제1 레이어에서 제2 레이어로 이동 시킬 때, 마이그레이션 단위로 마이그레이션의 진행 현황을 저장할 수 있다.
- [0204] 예를 들면, 마이그레이션 단위는 DRAM 메모리의 페이지(Page) 단위일 수 있으나, 전술한 예시에 한정되지 않고, 다양한 사이즈로 설정될 수 있다.
- [0205] 또한, 비트맵에서 각 마이그레이션 단위에 대응되는 주소는 비트 값(1 또는 0)을 각각 구비하고 있으며, 비트 값이 1이면 마이그레이션 단위에 대응되는 주소는 마이그레이션이 완료된 주소를 의미하고, 비트 값이 0이면 마이그레이션 단위에 대응되는 주소는 마이그레이션이 완료되지 않은 주소를 의미할 수 있다.
- [0206] 다시 말해, 리퀘스트 제어부(620)는 마이그레이션 단위로 마이그레이션 수행 시, 비트맵의 각 마이그레이션 단위에 대응되는 주소에서 마이그레이션 동작이 완료되면, 비트 값을 0에서 1로 변경할 수 있다.
- [0207] 즉, 비트맵에서 비트 값이 1이면 대응되는 데이터가 제2 레이어에 존재함을 의미하고, 비트 값이 0이면 대응되는 데이터가 아직 제1 레이어에 존재함을 의미할 수 있다.
- [0208] 한편, 메모리 관리 장치(610)는 호스트 인터페이스부(615)를 통해 마이그레이션 동작 중인 리퀘스트 제어부(620)에 대응되는 리퀘스트를 수신하면, 메모리 인터페이스부(614)를 통해 수신한 리퀘스트와 리퀘스트에 대응되는 목적지 정보를 리퀘스트 제어부(620)에 전달할 수 있다.
- [0209] 다음으로, 리퀘스트 제어부(620)는 리퀘스트와 리퀘스트에 대응되는 목적지 정보를 수신하면, 마이그레이션을 일시 중단하고 리퀘스트에 대응되는 목적지 정보와 비트맵에 기초하여 제1 레이어 및 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정할 수 있다.
- [0210] 또한, 리퀘스트 제어부(620)는 접근이 결정된 레이어에서 리퀘스트에 대응되는 동작을 수행한 이후 마이그레이션을 재개할 수 있다.
- [0211] 다시 말해, 리퀘스트 제어부(620)는 수신한 리퀘스트에 대응되는 목적지 정보 및 비트맵에 저장된 정보에 기초하여 리퀘스트에 대응되는 주소의 마이그레이션 완료 여부를 판단할 수 있으며, 완료 여부 판단 여부에 대응되는 위치의 레이어에서 리퀘스트에 대응되는 동작을 수행할 수 있다.
- [0212] 또한, 리퀘스트 제어부(620)는 비트맵에 저장된 정보에 기초하여 마이그레이션 동작이 중단된 위치에서부터 마이그레이션 동작을 재개할 수 있다.
- [0213] 일측에 따르면, 업데이트부(613)는 리퀘스트 제어부(620)에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 적어도 하나 이상의 비트맵(Bit-map)과 목적지 정보에 기초하여 마이그레이션 제어신호를 생성할 수 있다.
- [0214] 즉, 실시예에 따라서 비트맵은 리퀘스트 제어부(620)가 아니라, 메모리 관리 장치(610)에 구비될 수 있고, 메모리 관리 장치(610)에 구비되는 비트맵은 메모리 관리 장치(610)와 연결되는 복수의 리퀘스트 제어부에 대응되는 하나의 통합 비트맵 또는 복수의 리퀘스트 제어부 각각에 대응되는 복수의 비트맵일 수 있다.
- [0215] 일측에 따르면, 업데이트부(613)는 메모리 인터페이스부(614)를 통해 마이그레이션을 수행하는 리퀘스트 제어부(620)로부터 실시간 또는 기설정된 주기마다 마이그레이션 결과를 수신할 수 있으며, 수신한 마이그레이션 결과에 기초하여 대응되는 비트맵을 업데이트할 수 있다.
- [0216] 예를 들면, 업데이트부(613)는 대응되는 비트맵에서 수신한 마이그레이션 결과에 대응되는 비트 값을 0에서 1로 변경하는 업데이트 동작을 수행할 수 있다.

- [0217] 일측에 따르면, 업데이트부(613)는 호스트 인터페이스부(615)를 통해 마이그레이션 동작 중인 리퀘스트 제어부(620)에 대응되는 리퀘스트를 수신하면, 리퀘스트에 대응되는 목적지 정보와 리퀘스트에 대응되는 비트맵에 기초하여, 리퀘스트에 대응되는 리퀘스트 제어부(620)의 마이그레이션 동작을 제어하기 위한 마이그레이션 제어신호를 생성할 수 있다.
- [0218] 다시 말해, 메모리 관리 장치(610)는 수신한 리퀘스트에 대응되는 목적지 정보 및 비트맵에 저장된 정보에 기초하여 리퀘스트에 대응되는 주소의 마이그레이션 완료 여부를 판단할 수 있으며, 완료 여부 판단 여부에 대응되는 위치의 레이어에서 리퀘스트에 대응되는 동작이 수행 되도록 제어할 수 있다.
- [0219] 또한, 메모리 관리 장치(610)는 리퀘스트에 대응되는 동작이 완료되면, 비트맵에 저장된 정보에 기초하여 마이그레이션 동작이 중단된 위치에서부터 마이그레이션 동작이 수행되도록 리퀘스트 제어부(620)를 제어할 수도 있다.
- [0220] 일측에 따르면, 메모리 관리 장치(610)는 하나의 적어도 하나 이상의 비트맵을 구비하면, 모든 볼트의 마이그레이션 동작이 마이그레이션 단위로 진행되도록 제어할 수 있다.
- [0221] 예를 들면, 메모리 관리 장치(610)는 복수의 리퀘스트 제어부 각각의 마이그레이션 동작이 마이그레이션 단위로 순차적으로 처리 되도록 제어할 수 있다. 또한, 메모리 관리 장치(610)는 복수의 리퀘스트 제어부 각각의 마이그레이션 동작이 마이그레이션 단위로 병렬적으로 처리되도록 제어할 수도 있다.
- [0222] 이하에서는, 참조부호 610 내지 630을 참조하여 다른 실시예에 따른 메모리 관리 장치의 동작 타이밍에 대한 예를 설명하기로 한다.
- [0223] 참조부호 630에 따르면, 참조부호 631에 대응되는 시간에 메모리 관리 장치(610)에서 리퀘스트 제어부(620)로 마이그레이션 제어신호가 전달되면, 리퀘스트 제어부(620)는 참조부호 632에 대응되는 시간범위 동안에 마이그레이션 동작을 수행할 수 있다.
- [0224] 한편, 참조부호 633에 대응되는 시간에 메모리 관리 장치(610)에서 리퀘스트 제어부(620)로 리퀘스트와 리퀘스트에 대응되는 목적지 정보가 전달되면, 리퀘스트 제어부(620)는 마이그레이션 동작을 일시 정지하고, 참조부호 634에 대응되는 시간범위 동안에 목적지 정보 및 비트맵에 기초하여 수신한 리퀘스트에 대응되는 동작을 수행할 수 있다.
- [0225] 한편, 참조부호 635에 대응되는 시간에서 리퀘스트에 대응되는 동작이 완료되면, 리퀘스트 제어부(620)는 참조부호 636에 대응되는 시간간격 동안에 일시 정지된 마이그레이션 동작을 재개하여 참조부호 637에 대응되는 시간에 마이그레이션 동작을 완료할 수 있다.
- [0226] 즉, 기존 메모리 관리 기술에서는 마이그레이션 동작 중에 리퀘스트가 수신되면, 마이그레이션 동작이 완료된 이후에 리퀘스트에 대응되는 동작을 수행함으로써, 리퀘스트에 대응되는 동작을 신속하게 처리할 수 없다는 문제가 있었다.
- [0227] 그러나, 본 발명은 록업 테이블에 저장된 목적지 정보와, 리퀘스트 제어부에 저장된 비트맵을 이용함으로써, 마이그레이션 동작 중에 수신하는 리퀘스트를 신속하고 용이하게 처리할 수 있다.
- [0229] 도 7은 일실시예에 따른 메모리 관리 방법을 설명하기 위한 도면이다.
- [0230] 다시 말해, 도 7은 도 6a 내지 도 6c를 통해 설명한 다른 실시예에 따른 메모리 관리 장치를 이용한 메모리 관리 방법을 설명하기 위한 도면으로, 이하에서 도 7을 통해 설명하는 내용 중 도 3 내지 도 6c를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0231] 도 7을 참조하면, 710 단계에서 일실시예에 따른 메모리 관리 방법은 마이그레이션 결정부에서 가상머신을 사용하는 컴퓨팅 환경에서 가상머신이 할당된 제1 레이어에 대한 마이그레이션 실행 여부를 결정할 수 있다.
- [0232] 다음으로, 720 단계에서 일실시예에 따른 메모리 관리 방법은 레이어 확인부에서 마이그레이션 실행을 결정할 경우, 복수의 레이어들 중 비어있는 파티션을 포함하는 하나 이상의 할당 가능 레이어에서 제2 레이어를 확인할 수 있다.
- [0233] 다음으로, 730 단계에서 일실시예에 따른 메모리 관리 방법은 업데이트부에서 가상머신의 데이터를 제1 레이어에서 제2 레이어로 이동시키기 위한 마이그레이션 제어신호를 생성하고, 목적지(Destination) 정보를 포함하는 록업테이블을 제2 레이어에 대한 정보로 업데이트할 수 있다.

- [0234] 일측에 따르면, 730 단계에서 일실시예에 따른 메모리 관리 방법은 업데이트부에서 가상머신에 할당된 영역에 대한 접근이 불가능하도록 록업테이블에 마이그레이션 플래그를 설정하고, 가상머신의 데이터가 제1 레이어에서 제2 레이어로 이동되면 록업테이블을 제2 레이어에 대한 정보로 업데이트하고, 마이그레이션 플래그의 설정을 해제할 수 있다.
- [0235] 다음으로, 740 단계에서 일실시예에 따른 메모리 관리 방법은 메모리 인터페이스부에서 마이그레이션 제어신호에 대응되는 리퀘스트 제어부로 마이그레이션 제어신호를 전달할 수 있다.
- [0236] 일측에 따르면, 750 단계에서 일실시예에 따른 메모리 관리 방법은 호스트 인터페이스부에서 호스트(Host)로부터 리퀘스트(Request)를 수신할 수 있다.
- [0237] 일측에 따르면, 760 단계에서 일실시예에 따른 메모리 관리 방법은 메모리 인터페이스부에서 리퀘스트와, 목적지 정보 중 리퀘스트에 대응되는 목적지 정보를 리퀘스트 제어부로 전달할 수 있다.
- [0238] 일측에 따르면, 770 단계에서 일실시예에 따른 메모리 관리 방법은 리퀘스트 제어부에서 리퀘스트와 리퀘스트에 대응되는 목적지 정보를 수신하면, 마이그레이션을 일시 중단할 수 있다.
- [0239] 다음으로, 770 단계에서 일실시예에 따른 메모리 관리 방법은 리퀘스트에 대응되는 목적지 정보와 리퀘스트 제어부에 대응되는 레이어에서 수행되는 마이그레이션의 진행 정보를 저장하는 비트맵(Bit-map)에 기초하여 제1 레이어 및 제2 레이어 중 어느 하나의 레이어의 접근 여부를 결정할 수 있다.
- [0240] 다음으로, 770 단계에서 일실시예에 따른 메모리 관리 방법은 접근이 결정된 레이어에서 리퀘스트에 대응되는 동작을 수행한 이후 마이그레이션을 재개할 수 있다.
- [0242] 도 10은 일 실시예에 따른 메모리 관리 장치를 적용한 메모리 관리 시스템을 설명하기 위한 도면이다.
- [0243] 도 10을 참조하면, 메모리 관리 시스템은 마스터(Master, 1010)와, 메모리 컨트롤러(Mem. Ctrl., 1020)와, 메모리 큐브(HMC, 1030)을 포함할 수 있다.
- [0244] 마스터(Master, 1010)는 씨피유(CPU, Central Processing Unit), 씨피유 캐쉬(CPU cache), 그래픽 처리 장치(Graphics Processing Unit, GPU) 등의 가속기일 수 있다.
- [0245] 메모리 컨트롤러(Mem Ctrl, 1020)는 스택 컨트롤러(1021)와, 복수의 볼트 컨트롤러(1022-1 내지 1022-16)를 포함할 수 있다.
- [0246] 예를 들면, 볼트 컨트롤러는 일실시예에 따른 메모리 관리 장치의 리퀘스트 제어부일 수도 있다.
- [0247] 이때, 도 4 및 도 6에 도시된 메모리 관리 장치는 스택 컨트롤러(1021)로 구현될 수 있다.
- [0248] 메모리 컨트롤러(1020)는 물리적으로 메모리 큐브(1030)와 함께 구성될 수 있고, 메모리 큐브(1030)와 별도로 구성될 수 있다. 또한, 스택 컨트롤러(1021)와 볼트 컨트롤러(1022-1 내지 1022-16)는 도 10에 도시된 것과 달리 물리적으로 분리되어 구성될 수도 있다.
- [0249] 메모리 큐브(1030)는 3차원의 메모리 장치일 수 있다. 예를 들면, 도 10에 도시된 메모리 큐브(1030)는 도 3에 도시된 3차원 적층 레이어일 수 있다.
- [0250] 메모리 큐브(1030)는 복수의 레이어를 포함할 수 있다. 레이어들 각각은 16개의 볼트들(Vault 1 내지 Vault 16)로 구성될 수 있다.
- [0251] 볼트들(Vault 1 내지 Vault 16) 각각은 서로 다른 볼트들과 데이터를 주고 받으며 통신을 수행할 수 있다.
- [0252] 볼트들(Vault 1 내지 Vault 16) 각각은 동일한 용량 크기로 분리된 파티션들을 포함할 수 있다. 또한, 레이어들 각각은 레이어 컨트롤러(1020)의 제어에 의해 제어될 수 있다.
- [0253] 예를 들면, 레이어들의 Vault 1은 제1 볼트 컨트롤러(1022-1)에 의해 제어되고, 레이어들의 Vault 2는 제2 볼트 컨트롤러(1022-2)에 의해 제어되며, 레이어들의 Vault 16은 제16 볼트 컨트롤러(1022-16)에 의해 제어될 수 있다.
- [0254] 스택 컨트롤러(1021)는 호스트(1010)으로부터 수신한 정보들에 의해 호스트 물리주소를 생성하고, 해당 Vault를 제어하는 볼트 컨트롤러에 호스트 물리주소를 전달할 수 있다.
- [0255] 스택 컨트롤러(1021)는 록업테이블을 이용하여 가상머신 아이디를 레이어 아이디 및 파티션 아이디로 변환할 수

있다.

- [0256] 스택 컨트롤러(1021)는 가상주소를 게스트 물리주소로 변환할 수 있다. 스택 컨트롤러(1021)는 레이어 아이디, 파티션 아이디 및 게스트 물리주소로 구성된 호스트 물리 주소를 생성할 수 있다.
- [0257] 스택 컨트롤러(1021)는 마이그레이션 시 록업테이블을 업데이트하고 모든 볼트(Vault)에 마이그레이션 명령을 전달할 수 있다.
- [0258] 스택 컨트롤러(1121)는 새로 생성된 가상머신에 레이어 및 파티션을 할당할 수 있다.
- [0259] 또한, 스택 컨트롤러(1021)는 게스트 물리주소를 볼트 아이디(Vault ID)로 변환(Predefined bit-mapping)할 수 있다.
- [0260] 볼트 컨트롤러(1022-1 내지 1022-16)는 호스트 물리주소에 포함된 레이어 아이디, 파티션 아이디, 게스트 물리 주소에 의해 해당 위치의 데이터에 접근할 수 있다.
- [0261] 볼트 컨트롤러(1022-1 내지 1022-16)는 수신한 호스트 물리주소에 기초하여 메모리 큐브(1030)을 구성하는 레이어 및 파티션의 데이터를 읽거나, 쓰거나 마이그레이션을 수행할 수 있다.
- [0262] 볼트 컨트롤러(1022-1 내지 1022-16)는 레이어들 간 데이터 마이그레이션을 제어할 수 있다.
- [0264] 도 11은 일 실시예에 따른 메모리 관리 장치가 관리하는 이중 레이어들을 설명하기 위한 도면이다.
- [0265] 도 11을 참조하면, 메모리 관리 장치는 메모리 관리 장치는 도 3에 도시된 3차원 적층 레이어뿐만 아니라 서로 달리 패키징된 이중 레이어들을 관리할 수 있다.
- [0266] 이중 레이어들은 시스템(1100)내에 사용할 수 있는 모든 메모리들을 의미할 수 있다.
- [0267] 이중 레이어들은 레이어 0, 레이어 1-1 내지 레이어 1-3, 레이어 2(1110, 1120-1, 1120-2, 1120-3, 1130)를 포함할 수 있다.
- [0268] 이중 레이어들은 버스(1101)를 통해 서로 통신을 수행할 수 있고, 서로 다른 특성들을 갖는 레이어들을 포함할 수 있다. 예를 들면, 레이어 0(1110)은 메모리 레이어일 수 있다.
- [0269] 메모리 레이어는 DRAM(dynamic random access memory), SRAM(static random access memory), T-RAM(thyristor RAM), Z-RAM(zero capacitator RAM), 또는 TTRAM(Twin Transistor RAM)과 같이 현존하는 휘발성 메모리(volatile memory)와 현재 개발 중인 휘발성 메모리를 포함할 수 있다.
- [0270] 레이어 2(1130)는 스토리지 레이어일 수 있다. 스토리지 레이어는 플래시-기반 메모리, MMC(multimedia card), eMM(embedded MMC), UFS(universal flash storage), 솔리드 스테이트 드라이브(solid state drive), eSSD(embedded SSD), MRAM(Magnetic RAM), PRAM(Phase-change RAM), ReRAM(Resistive RAM)과 같이 현존하는 비휘발성 메모리(non-volatile memory)와 현재 개발 중인 비휘발성 메모리를 포함할 수 있다.
- [0271] 레이어 1(1120-1 내지 1120-3)은 3개의 레이어가 적층된 3차원 레이어일 수 있다. 레이어 1(1120-1 내지 1120-3)은 레이어 1-1(1120-1), 레이어 1-2(1120-2), 레이어 1-3(1120-3)을 포함할 수 있다.
- [0272] 레이어 1-1(1120-1), 레이어 1-2(1120-2) 및 레이어 1-3(1120-3)은 모두 스토리지 레이어일 수 있다. 또는, 레이어 1-1(1120-1), 레이어 1-2(1120-2) 및 레이어 1-3(1120-3)은 모두 스토리지 레이어일 수 있다. 또는, 레이어 1-1(1120-1)은 스토리지 레이어이고, 레이어 1-2(1120-2) 및 레이어 1-3(1120-3)은 메모리 레이어일 수 있다.
- [0273] 다시 말해, 레이어 1(1120-1 내지 1120-3)은 동일한 특성 또는 동일한 종류의 레이어들로 구성될 수 있을 뿐만 아니라 서로 다른 특성을 갖는 레이어들로 구성될 수도 있다.
- [0274] 도 11에 도시된 레이어 1은 3개의 레이어들(1120-1 내지 1120-3)이 적층된 3차원 적층 레이어이나, 2개의 레이어들 또는 4개 이상의 레이어들이 적층된 3차원 적층 레이어이거나, 적층되지 않은 하나의 단층 레이어일 수 있다.
- [0275] 또한, 레이어 0(1110) 또는 레이어 2(1130)도 3차원 적층 레이어일 수 있다. 도 11에는 레이어 0 내지 2가 도시되어 있으나, 두 개 이하 또는 4 개 이상의 레이어를 포함할 수 있다.
- [0276] 또한, 메모리 관리 장치가 관리하는 복수의 레이어들은 서로 동일한 특성을 갖는 메모리일 수도 있다.

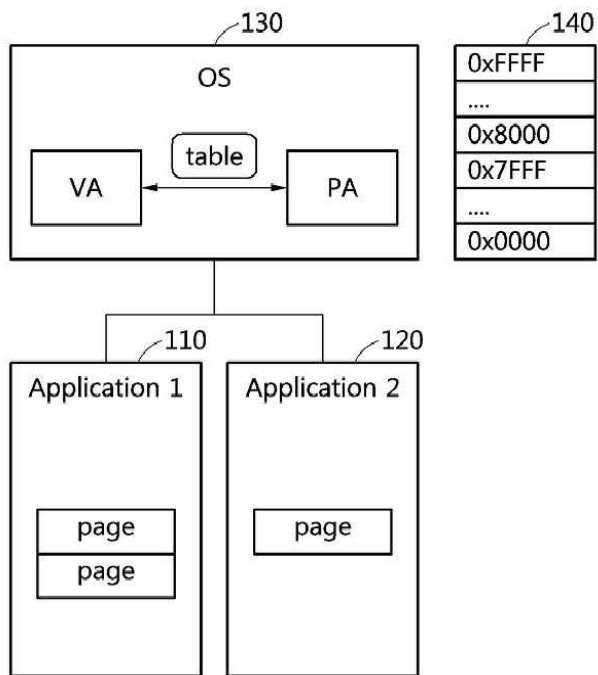
- [0277] 각 레이어들(1110, 1120-1 내지 1120-3, 1130)은 복수 개의 볼트들을 포함할 수 있다. 볼트들 각각은 독립적으로 통신이 가능한 구성 단위일 수 있다.
- [0278] 또는, 볼트들은 사용자의 설정에 의해 정해지는 구성 단위일 수 있다.
- [0279] 즉, 볼트들 각각은 데이터 통신을 제어하는 리퀘스트 제어부에 연결될 수 있다. 레이어들(1110, 1120-1 내지 1120-3, 1130)의 볼트들 각각은 단위 용량을 나타내는 복수 개의 파티션을 포함한다.
- [0280] 파티션은 볼트의 용량(storage capacity)을 동일한 크기로 나눈 단위일 수 있다. 가상머신들 각각은 하나의 레이어의 한 개 이상의 파티션에 할당될 수 있으며, 룩업테이블을 통해 주소 변환을 진행할 수 있다. 파티션의 용량 크기는 가변적으로 설정될 수 있다.
- [0281] 도 4 내지 도 10은 도 3에 도시된 3차원 적층 레이어를 중심으로 메모리 관리 장치의 메모리 관리 방식을 설명하였으나, 본 발명의 메모리 관리 장치는 도 11을 참조하여 설명한 이종 레이어들 또는 기타 모든 형태의 이종 레이어들을 관리할 수도 있다.
- [0282] 메모리 관리 장치의 도 11에 도시된 이종 레이어들을 관리하는 방식은 도 4 내지 10을 참조하여 설명한 메모리 관리 방식과 동일하므로 이의 상세한 설명은 생략한다.
- [0284] 결국, 본 발명을 이용하면, 가상머신을 활용하는 컴퓨팅 환경에서 이종 메모리들에 룩업테이블을 이용하여 간단하게 가상 주소를 변환할 수 있다.
- [0285] 또한, 본 발명은 가상머신이 이종 메모리들에 접근 시 데이터를 효율적으로 마이그레이션 시킬 수 있다.
- [0286] 또한, 본 발명은 비트맵 및 목적지 정보에 기초하여 마이그레이션 동작 중에 수신하는 리퀘스트를 용이하게 처리할 수 있다.
- [0288] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0289] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0290] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

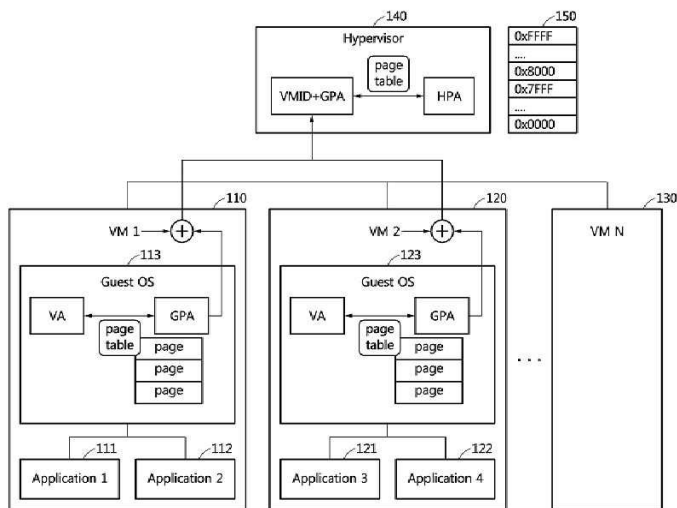
- | | | |
|--------|-----------------|-----------------|
| [0291] | 610: 메모리 관리 장치 | 611: 마이그레이션 결정부 |
| | 612: 레이어 확인부 | 613: 업데이트부 |
| | 614: 메모리 인터페이스부 | 615: 호스트 인터페이스부 |

도면

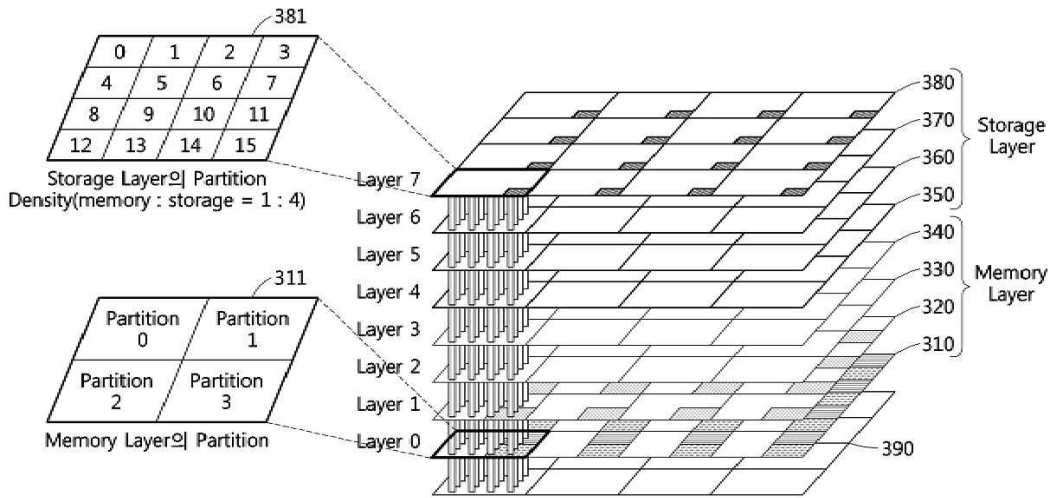
도면1



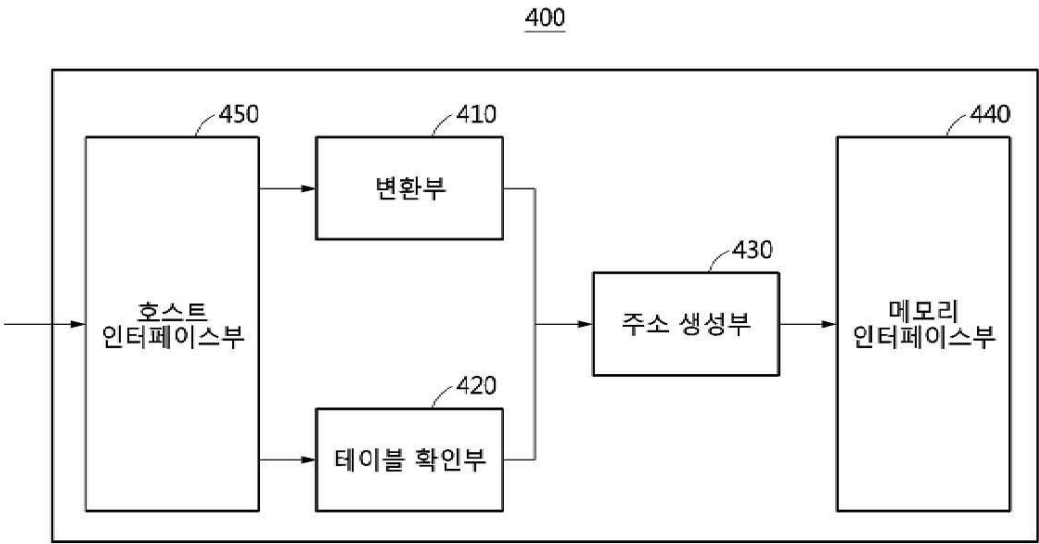
도면2



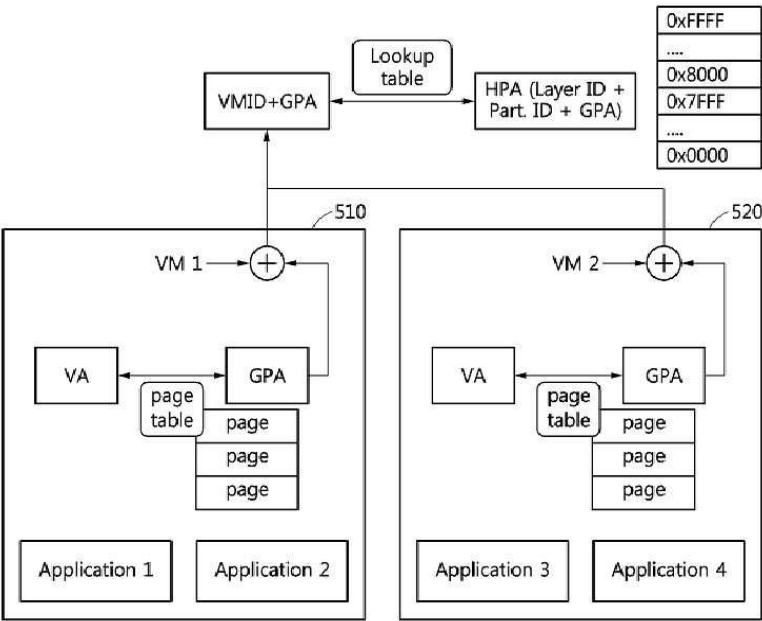
도면3



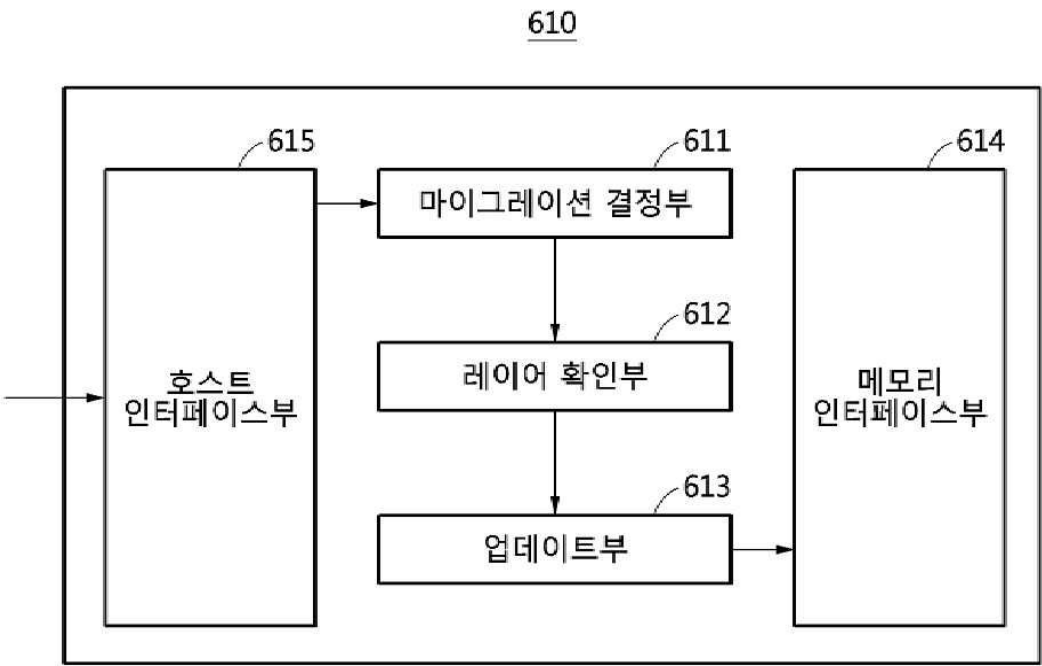
도면4



도면5



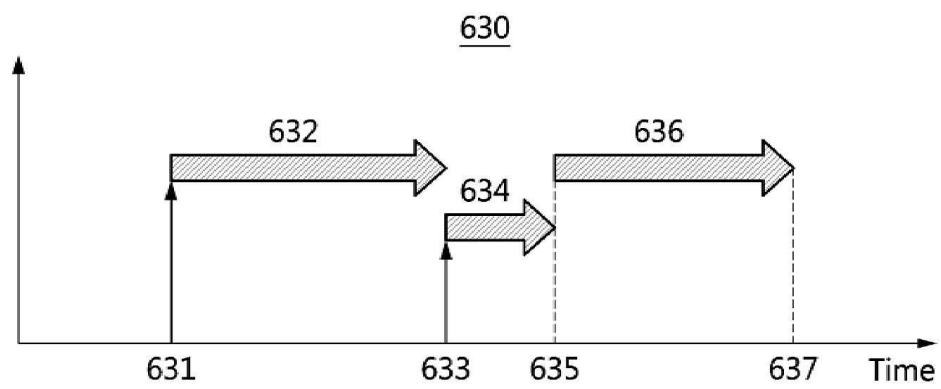
도면6a



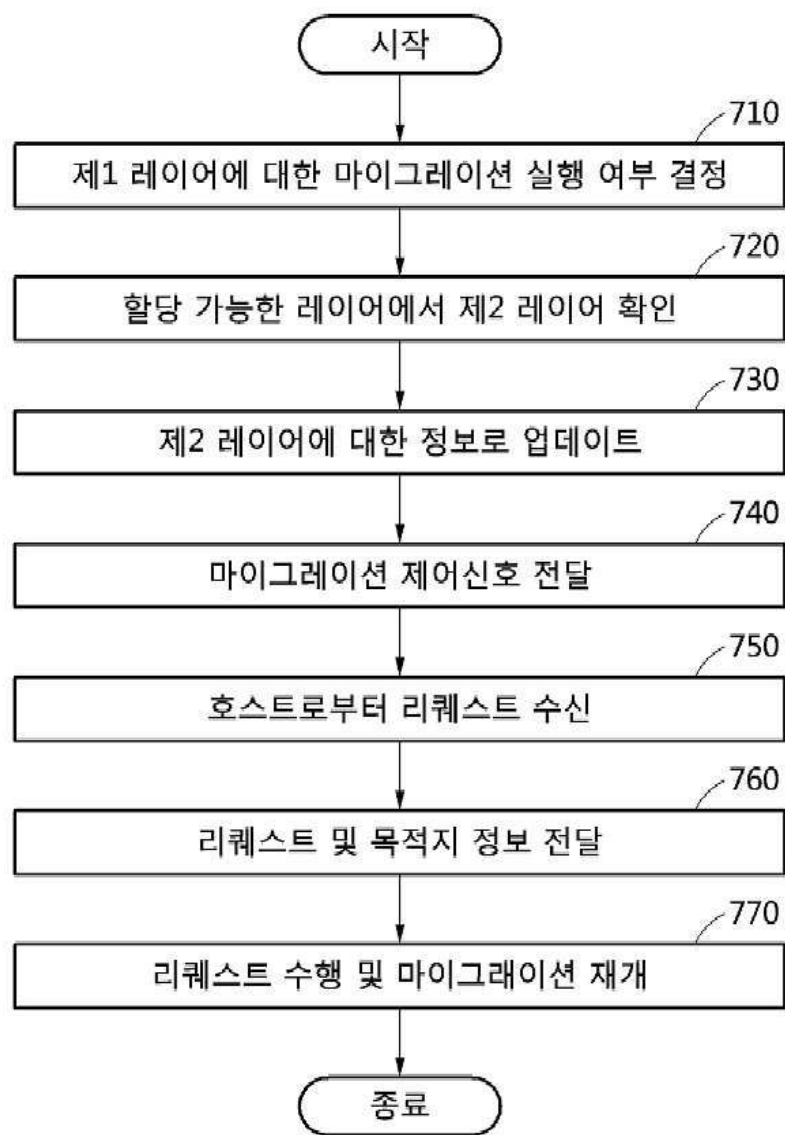
도면6b



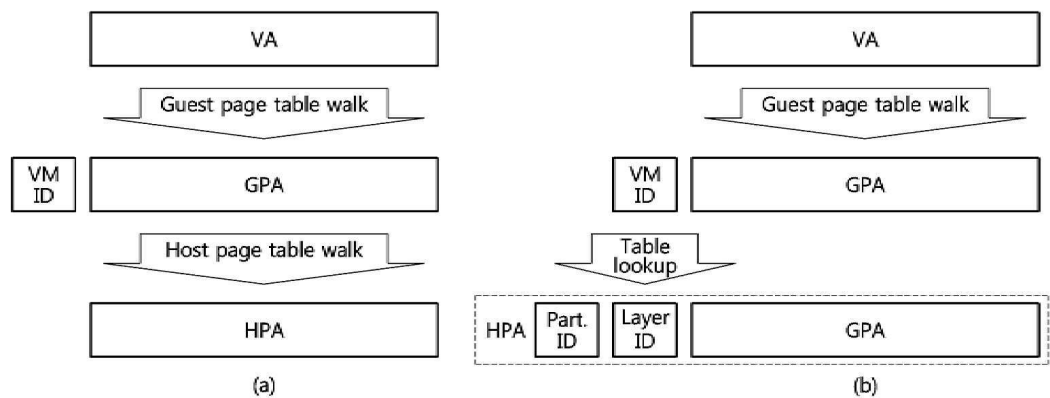
도면6c



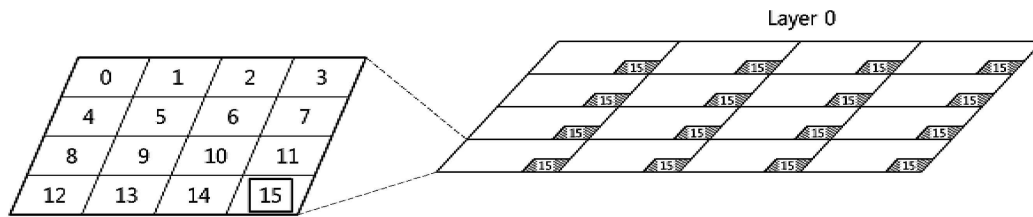
도면7



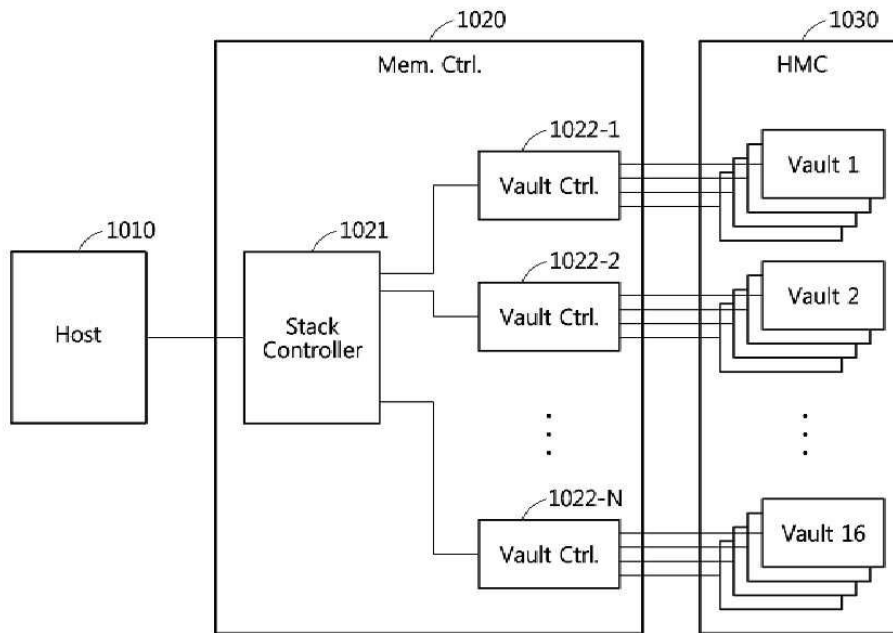
도면8



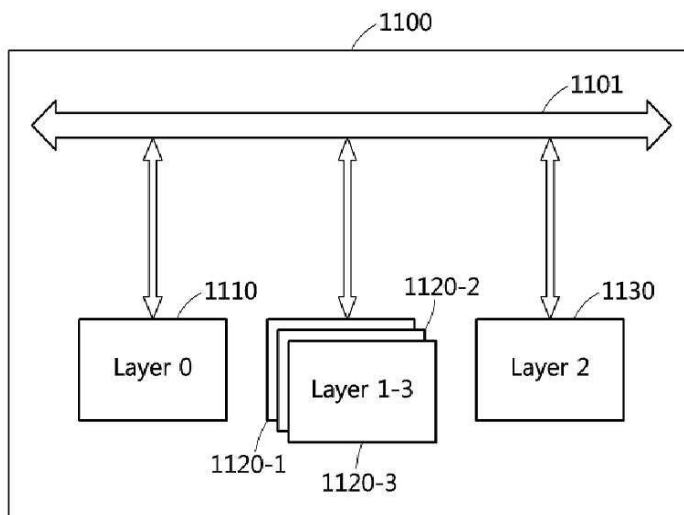
도면9



도면10



도면11



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

상기 실리콘 관통 비아홀을 통해

【변경후】

실리콘 관통 비아홀을 통해