



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년10월12일

(11) 등록번호 10-2163565

(24) 등록일자 2020년09월29일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 21/324 (2017.01)  
(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/0228 (2013.01)  
(21) 출원번호 10-2018-0156553  
(22) 출원일자 2018년12월07일  
심사청구일자 2018년12월07일  
(65) 공개번호 10-2020-0069472  
(43) 공개일자 2020년06월17일  
(56) 선행기술조사문헌  
JP2016519443 A\*  
KR1020110056858 A  
KR1020070103231 A  
KR1020140077016 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
(72) 발명자  
김현재  
서울특별시 마포구 마포대로 195, 402-1101호(아현동, 마포 래미안 푸르지오)  
홍성환  
인천광역시 남동구 논고개로68번길 49, 101동 3102호(논현동, 힐스테이트아파트)  
(74) 대리인  
김연권  
(뒷면에 계속)

전체 청구항 수 : 총 5 항

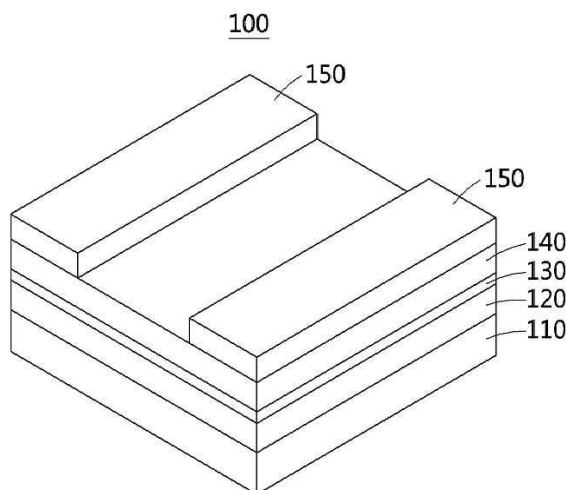
심사관 : 임창연

(54) 발명의 명칭 산화물 반도체 박막 트랜지스터

### (57) 요약

본 발명은 유도층을 포함하는 산화물 반도체 박막 트랜지스터에 관한 것으로서, 게이트 전극, 게이트 절연층, 유도층, 채널층, 소스 전극 및 드레인 전극을 포함하고, 유도층은 도체 또는 절연체 중 적어도 하나의 물질이 증착되고, 채널층이 증착된 후 열처리를 통해 산화되며, 채널층과의 접합 부위에서 채널층의 산소를 흡수하여 채널층의 전기적 특성을 향상시키는 기술에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01L 21/0262 (2013.01)  
H01L 21/02631 (2013.01)  
H01L 21/324 (2013.01)  
H01L 29/78606 (2013.01)  
H01L 29/78618 (2013.01)  
H01L 29/78696 (2013.01)

(72) 발명자

**나재원**

서울특별시 동작구 상도로 320, 108동 1302호(상도  
동, 중앙하이츠빌아파트)

**강병하**

서울특별시 동작구 장승배기로16길 134, 101동 60  
1호(노량진동, 쌍용예가아파트)

**정주성**

경기도 성남시 분당구 발이봉로7번길 4(수내동)

**이이삭**

경기도 수원시 팔달구 중부대로223번길 102, 108동  
109호(우만동, 주공1단지아파트)

**정수진**

서울특별시 마포구 월드컵북로 235, 13동 803호(성  
산동, 성산시영아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	K_G011006303803
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	[RCMS]유연기판 손상 최소화를 위한 in-situ 광소결 서브마이크로급 패터닝 기술 개
발(3/4)	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2018.01.01 ~ 2018.12.31

## 명세서

### 청구범위

#### 청구항 1

게이트 전극; 게이트 절연층; 유도층; 채널층; 소스 전극; 및 드레인 전극을 포함하고,

상기 유도층은 도체 또는 절연체 중 적어도 하나의 물질이 증착되고, 상기 채널층이 증착된 후 열처리를 통해 산화되며, 상기 채널층과의 접합 부위에서 상기 채널층의 산소를 흡수하고, 질화티탄(TiN), 타이타늄(Ti), hafnium(Hf), 알루미늄(Al), 규소(Si), 지르코늄(Zr), 이트륨(Y), 세륨(Ce), 탄탈럼(Ta), 란타넘(La), 산화 타이타늄( $\text{TiO}_2$ ), 이산화 hafnium( $\text{HfO}_2$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화 규소( $\text{SiO}_2$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 탄탈럼( $\text{Ta}_2\text{O}_5$ ), 또는 산화 란타넘( $\text{La}_2\text{O}_3$ ) 중 적어도 어느 하나의 물질을 이용하여 형성되며, 상기 적어도 어느 하나의 물질이 60초 내지 180초동안 상기 게이트 절연층 상에 증착 되고, 상기 채널층이 증착된 후, 300℃의 온도에서 1시간 내지 1시간 30분 동안 열처리되어 형성되며, 상기 적어도 어느 하나의 물질이 상기 질화티탄(TiN)이고, 120초 동안 상기 게이트 절연층 상에 증착될 경우, 전기적 특성이 11.79  $\text{cm}^2/\text{Vs}$  부터 15.99  $\text{cm}^2/\text{Vs}$  까지 향상되는

산화물 반도체 박막 트랜지스터.

#### 청구항 2

제1항에 있어서,

상기 유도층은 상기 도체가 증착될 경우, 상기 열처리 후 절연체 특성을 나타내고, 상기 절연체가 증착될 경우, 복수의 산소 공공(oxygen vacancy)을 포함하는

산화물 반도체 박막 트랜지스터.

#### 청구항 3

제1항에 있어서,

상기 채널층은 상기 열처리 후, 상기 유도층과 접합 부위의 산소결합이 감소하여 산소 공공(oxygen vacancy)이 증가되고, 캐리어(carrier) 농도가 증가되는

산화물 반도체 박막 트랜지스터.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

제1항에 있어서,

상기 유도층은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정 중 적어도 어느 하나의 공정을 이용하여 형성되는

산화물 반도체 박막 트랜지스터.

#### 청구항 7

제1항에 있어서,

상기 채널층은 InGaZnO, ZnO, ZrInZnO, InZnO, AlInZnO, ZnO, InGaZnO<sub>4</sub>, ZnInO, ZnSnO, In<sub>2</sub>O<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>, HfInZnO, GaInZnO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>SnO<sub>2</sub>, MgZnO, ZnSnO<sub>3</sub>, ZnSnO<sub>4</sub>, CdZnO, CuAlO<sub>2</sub>, 또는 CuGaO<sub>2</sub> 중 적어도 어느 하나의 산화 물질을 이용하여 형성되는 산화물 반도체 박막 트랜지스터.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 채널층의 산소를 유도하여 흡수하는 유도층을 포함하는 산화물 반도체 박막 트랜지스터에 관한 것으로, 보다 상세하게는 게이트 절연층과 채널층 사이에 삽입되고, 채널층과 접합부위를 갖는 유도층이 채널층의 산소를 흡수하여, 채널층의 산소 공공(oxygen vacancy)을 증가시켜 산화물 반도체 박막 트랜지스터의 전기적 특성을 향상시키는 기술에 관한 것이다.

### 배경 기술

[0002] 최근, 디스플레이의 백 플레인(backplane)을 구동하는 박막트랜지스터의 채널 물질로 다결정실리콘(poly-Si)과 산화물 반도체가 널리 사용되고 있다.

[0003] 다결정 실리콘과 산화물 반도체는 과거부터 주로 사용되어온 비정질 실리콘(a-Si)과 비교하여 우수한 전기적 특성을 가지기 때문에 고성능의 디스플레이를 구현할 수 있다.

[0004] 다결정 실리콘의 전기적 특성(이동도 약 100 cm<sup>2</sup>/Vs)은 현재까지 상용화된 박막트랜지스터의 채널 물질 중에 가장 우수한 성능을 보인다.

[0005] 하지만, 다결정 실리콘은 누설전류가 높으며, 공정 상의 한계로 인해 대면적 디스플레이에 적용하기에는 한계가 있다.

[0006] 이에 반해, 산화물 반도체의 전기적 특성(이동도 약 10 cm<sup>2</sup>/Vs)은 다결정 실리콘에 비해 상대적으로 낮은 이동도를 갖지만, 비정질 실리콘(이동도 약 1 cm<sup>2</sup>/Vs) 대비 충분히 우수한 성능을 보이며, 다결정 실리콘 대비 낮은 누설전류 특성을 갖고 대면적 디스플레이에도 적용이 가능하여 많은 가능성을 가지고 있는 소재이다.

[0007] 이러한 소재 특성으로 인해, 현재 고성능 디스플레이로 대표되는 모바일 OLED(Organic Light Emitting Diode) 디스플레이에는 다결정 실리콘이, 대면적 TV OLED 디스플레이에는 산화물 반도체가 주로 사용되고 있다.

[0008] 한편, 산화물 반도체의 전기적 특성을 향상시키기 위한 연구는 지속적으로 수행되고 있으며, 산화물 반도체 박막 트랜지스터의 형성 제조 과정에서 증착 시간과 열처리 시간 등을 제어하여 전기적 특성을 향상시키는 방법도 지속적으로 연구되고 있다.

## 선행기술문헌

### 특허문헌

[0009] (특허문헌 0001) 한국등록특허 제10-1451306호, "유기절연체와 유기반도체 사이의 비정질의 금속산화물 층간-박막을 이용한 유기 박막 트랜지스터"

(특허문헌 0002) 한국등록특허 제10-1785949호, "이중게이트 구조를 이용한 시냅틱 트랜지스터 소자"

(특허문헌 0003) 한국등록특허 제10-1446703호, "유기 절연체와 금속산화물 반도체 사이의 금속산화물 층간박막을 이용한 박막 트랜지스터"

(특허문헌 0004) 한국공개특허 제10-2015-0111193호, "트랜지스터와 그 제조방법 및 트랜지스터를 포함하는 전자소자"

## 발명의 내용

### 해결하려는 과제

- [0010] 본 발명은 게이트 절연층과 채널층 사이에 추가적인 유도층이 삽입된 산화물 반도체 박막 트랜지스터를 제공하는 것을 목적으로 할 수 있다.
- [0011] 본 발명은 게이트 절연층과 채널층 사이에 형성되는 유도층의 공정 조건(증착 시간 및 열처리 시간 등)을 제어하여 전기적 특성이 향상된 산화물 반도체 박막 트랜지스터를 제공하는 것을 목적으로 할 수 있다.
- [0012] 본 발명은 게이트 절연층 상에 유도층의 형성 물질을 증착하고, 채널층의 형성 물질을 증착한 후, 열처리를 수행하여 유도층의 산소 환원력을 증가시키는 것을 목적으로 할 수 있다.
- [0013] 본 발명은 게이트 절연층과 채널층 사이에 유도층을 형성하여 채널층 내 산소 공공(oxygen vacancy)을 증가시키는 것을 목적으로 할 수 있다.

### 과제의 해결 수단

- [0014] 본 발명의 일실시예에 따르면 산화물 반도체 박막 트랜지스터는 게이트 전극, 게이트 절연층, 유도층, 채널층, 소스 전극 및 드레인 전극을 포함하고, 상기 유도층은 도체 또는 절연체 중 적어도 하나의 물질이 증착되고, 상기 채널층이 증착된 후 열처리를 통해 산화되며, 상기 채널층과의 접합 부위에서 상기 채널층의 산소를 흡수할 수 있다.
- [0015] 상기 유도층은 상기 도체가 증착될 경우, 상기 열처리 후 절연체 특성을 나타내고, 상기 절연체가 증착될 경우, 복수의 산소 공공(oxygen vacancy)을 포함할 수 있다.
- [0016] 상기 채널층은 상기 열처리 후, 상기 유도층과 접합 부위의 산소결합이 감소하여 산소 공공(oxygen vacancy)이 증가되고, 캐리어(carrier) 농도가 증가될 수 있다.
- [0017] 상기 유도층은 질화티탄(TiN), 타이타늄(Ti), hafnium(Hf), 알루미늄(Al), 규소(Si), 지르코늄(Zr), 이트륨(Y), 세륨(Ce), 탄탈럼(Ta), 란탄(La), 산화 타이타늄(TiO<sub>2</sub>), 이산화 hafnium(HfO<sub>2</sub>), 산화 알루미늄(Al<sub>2</sub>O<sub>3</sub>), 산화 규소(SiO<sub>2</sub>), 산화 지르코늄(ZrO<sub>2</sub>), 산화 이트륨(Y<sub>2</sub>O<sub>3</sub>), 산화 세륨(CeO<sub>2</sub>), 산화 탄탈럼(Ta<sub>2</sub>O<sub>5</sub>), 또는 산화 란탄(La<sub>2</sub>O<sub>3</sub>) 중 적어도 어느 하나의 물질을 이용하여 형성될 수 있다.
- [0018] 상기 유도층은 상기 적어도 어느 하나의 물질이 60초 내지 180초동안 상기 게이트 절연층 상에 증착 되고, 상기 채널층이 증착된 후, 300℃의 온도에서 1시간 내지 1시간 30분 동안 열처리되어 형성될 수 있다.
- [0019] 상기 유도층은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.
- [0020] 상기 채널층은 InGaZnO, ZnO, ZrInZnO, InZnO, AlInZnO, ZnO, InGaZnO<sub>4</sub>, ZnInO, ZnSnO, In<sub>2</sub>O<sub>3</sub>, Ga<sub>2</sub>O<sub>3</sub>, HfInZnO, GaInZnO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>SnO<sub>2</sub>, MgZnO, ZnSnO<sub>3</sub>, ZnSnO<sub>4</sub>, CdZnO, CuAlO<sub>2</sub>, 또는 CuGaO<sub>2</sub> 중 적어도 어느 하나의 산화 물질을 이용하여 형성될 수 있다.

### 발명의 효과

- [0021] 본 발명은 게이트 절연층과 채널층 사이에 추가적인 유도층이 삽입된 산화물 반도체 박막 트랜지스터를 제공할 수 있다.
- [0022] 본 발명은 게이트 절연층과 채널층 사이에 형성되는 유도층의 공정 조건(증착 시간 및 열처리 시간 등)을 제어하여 전기적 특성이 향상된 산화물 반도체 박막 트랜지스터를 제공할 수 있다.
- [0023] 본 발명은 게이트 절연층 상에 유도층의 형성 물질을 증착하고, 채널층의 형성 물질을 증착한 후, 열처리를 수행하여 유도층의 산소 환원력을 증가시킬 수 있다.
- [0024] 본 발명은 게이트 절연층과 채널층 사이에 유도층을 형성하여 채널층 내 산소 공공(oxygen vacancy)을 증가시킬 수 있다.

## 도면의 간단한 설명

- [0025] 도 1은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 구조를 설명하는 도면이다.
- 도 2a 내지 도 2c는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하는 도면이다.
- 도 3은 본 발명의 일실시예에 따른 유도층이 채널층의 산소와 결합되는 과정을 설명하는 도면이다.
- 도 4는 본 발명의 일실시예에 따른 유도층의 증착 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.
- 도 5는 본 발명의 일실시예에 따른 유도층의 열처리 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.
- 도 6은 본 발명의 다른 실시예에 따른 유도층의 증착 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.

## 발명을 실시하기 위한 구체적인 내용

- [0026] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.
- [0027] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0028] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0030] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0034] 도 1은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 구조를 설명하는 도면이다.
- [0035] 구체적으로, 도 1은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터(100)의 형성 구조를 예시한다.

- [0036] 도 1을 참고하면, 산화물 반도체 박막 트랜지스터(100)는 게이트 전극(110), 게이트 절연층(120), 유도층(130), 채널층(140), 소스 및 드레인 전극(150)을 포함한다.
- [0037] 본 발명의 일실시예에 따르면 게이트 전극(110)은 기판으로서 P-타입(type)으로 붕소가 고농도로 도핑된 Si 웨이퍼(wafer)가 이용될 수 있다.
- [0038] 일례로, 게이트 절연층(120)은 게이트 전극(110) 상에 열산화(thermal oxidation) 기법으로 이산화규소( $\text{SiO}_2$ )를 성장시켜 형성될 수 있다.
- [0039] 즉, 게이트 전극(110) 및 게이트 절연층(120)은 P-타입(type)의 불순물이 고농도로 도핑된 Si 웨이퍼(wafer)에서 이산화규소( $\text{SiO}_2$ )를 열적으로 성장시켜 형성될 수 있다.
- [0040] 본 발명의 일실시예에 따르면 유도층(130)은 도체, 절연체 등 다양한 소재가 사용될 수 있고, 채널층(140)의 형성 물질보다 높은 환원력(산소와 잘 결합하는 특성)을 가질 수 있다.
- [0041] 일례로, 유도층(130)은 도체 또는 절연체 중 적어도 하나의 물질이 증착되고, 채널층(140)이 증착된 후 열처리를 통해 산화되며, 채널층(140)과의 접합 부위에서 채널층(140)의 산소를 흡수할 수 있다.
- [0042] 본 발명의 일실시예에 따르면 유도층(130)은 CII(carrier inducement interlayer)를 포함할 수 있다.
- [0043] 일례로, 유도층(130)은 열처리 과정에서 상부에 증착된 채널층(140)의 산소를 빼앗아오는 역할을 수행할 수 있다.
- [0044] 본 발명의 일실시예에 따르면 유도층(130)은 도체가 증착될 경우, 열처리 후 절연체 특성을 나타내고, 절연체가 증착될 경우, 복수의 산소 공공(oxygen vacancy)을 포함할 수 있다.
- [0045] 일례로, 유도층(130)은 질화티탄( $\text{TiN}$ ), 타이타늄( $\text{Ti}$ ), 하프늄( $\text{Hf}$ ), 알루미늄( $\text{Al}$ ), 규소( $\text{Si}$ ), 지르코늄( $\text{Zr}$ ), 이트륨( $\text{Y}$ ), 세륨( $\text{Ce}$ ), 탄탈럼( $\text{Ta}$ ), 란탄( $\text{La}$ ), 산화 타이타늄( $\text{TiO}_2$ ), 이산화 하프늄( $\text{HfO}_2$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화 규소( $\text{SiO}_2$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 탄탈럼( $\text{Ta}_2\text{O}_5$ ), 또는 산화 란탄( $\text{La}_2\text{O}_3$ ) 중 적어도 어느 하나의 물질을 이용하여 형성될 수 있다.
- [0046] 본 발명의 일실시예에 따르면 유도층(130)은 적어도 어느 하나의 물질이 60초 내지 180초동안 게이트 절연층(120) 상에 증착 되고, 채널층(140)이 증착된 후, 300℃의 온도에서 1시간 내지 1시간 30분 동안 열처리되어 형성될 수 있다.
- [0047] 본 발명의 일실시예에 따른 유도층(130)의 제조 과정은 도 2a 내지 도 2c를 이용하여 추가 설명한다.
- [0048] 일례로, 유도층(130)은 스퍼터링(sputtering) 공정, CVD(Chemical Vapor Deposition) 공정, ALD(Atomic Layer Deposition) 공정 중 적어도 어느 하나의 공정을 이용하여 형성될 수 있다.
- [0049] 본 발명의 일실시예에 따르면 채널층(140)은 유도층(130) 상에 증착 형성되고, 열처리 후, 유도층(130)과 접합 부위의 산소결합이 감소하여 산소 공공(oxygen vacancy)이 증가되고, 캐리어(carrier) 농도가 증가될 수 있다.
- [0050] 따라서, 본 발명은 본 발명은 게이트 절연층과 채널층 사이에 추가적인 유도층이 삽입된 산화물 반도체 박막 트랜지스터(100)를 제공할 수 있다.
- [0051] 채널층(140)의 산소 공공 증가와 관련된 구성은 도 3을 통하여 추가 설명한다.
- [0052] 일례로, 채널층(140)은  $\text{InGaZnO}$ ,  $\text{ZnO}$ ,  $\text{ZrInZnO}$ ,  $\text{InZnO}$ ,  $\text{AlInZnO}$ ,  $\text{ZnO}$ ,  $\text{InGaZnO}_4$ ,  $\text{ZnInO}$ ,  $\text{ZnSnO}$ ,  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ ,  $\text{HfInZnO}$ ,  $\text{GaInZnO}$ ,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3\text{SnO}_2$ ,  $\text{MgZnO}$ ,  $\text{ZnSnO}_3$ ,  $\text{ZnSnO}_4$ ,  $\text{CdZnO}$ ,  $\text{CuAlO}_2$ , 또는  $\text{CuGaO}_2$  중 적어도 어느 하나의 산화 물질을 이용하여 형성될 수 있다.
- [0053] 본 발명의 일실시예에 따르면 소스 및 드레인 전극(150)은 동일한 물질을 이용하여 채널층(140) 상에 형성될 수 있다.
- [0054] 일례로, 소스 및 드레인 전극(150)은 알루미늄( $\text{Al}$ )을 200nm의 두께로 증착하여 형성될 수 있다.
- [0056] 도 2a 내지 도 2c는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하는 도면이다.



- [0057] 도 2a는 산화물 반도체 박막 트랜지스터(200)의 게이트 전극(201), 게이트 절연층(202) 및 유도층(203)의 형성 과정과 관련된 제조 방법을 예시한다.
- [0058] 도 2a를 참고하면, 산화물 반도체 박막 트랜지스터의 제조 방법은 게이트 전극(201)과 게이트 절연층(202)을 p 타입 불순물이 고농도로 도핑된 Si 기판 위에 열적으로 산화규소( $\text{SiO}_2$ )를 성장된 기판 상에 형성할 수 있다.
- [0059] 산화물 박막 트랜지스터의 제조 방법은 질화티탄( $\text{TiN}$ ), 타이타늄( $\text{Ti}$ ), 하프늄( $\text{Hf}$ ), 알루미늄( $\text{Al}$ ), 규소( $\text{Si}$ ), 지르코늄( $\text{Zr}$ ), 이트륨( $\text{Y}$ ), 세륨( $\text{Ce}$ ), 탄탈럼( $\text{Ta}$ ), 란탄( $\text{La}$ ), 산화 타이타늄( $\text{TiO}_2$ ), 이산화 하프늄( $\text{HfO}_2$ ), 산화 알루미늄( $\text{Al}_2\text{O}_3$ ), 산화 규소( $\text{SiO}_2$ ), 산화 지르코늄( $\text{ZrO}_2$ ), 산화 이트륨( $\text{Y}_2\text{O}_3$ ), 산화 세륨( $\text{CeO}_2$ ), 산화 탄탈럼( $\text{Ta}_2\text{O}_5$ ), 또는 산화 란탄( $\text{La}_2\text{O}_3$ ) 중 적어도 어느 하나의 물질을 이용하여 유도층(203)을 형성할 수 있다.
- [0060] 예를 들어, 산화물 박막 트랜지스터의 제조 방법은 2인치 이상의 질화티탄을 이용하여 스퍼터링(Sputtering) 공정을 통해 증착한 후, 아르곤 가스 5 mmTorr 분위기에서 스퍼터링 파워 80 W로 진행하고, 증착 시간을 60초, 120초, 180초, 240초로 변경하면서 증착을 진행하여 유도층(203)을 형성할 수 있다.
- [0061] 도 2b를 참고하면, 산화물 반도체 박막 트랜지스터의 제조 방법은 유도층(203)상에 채널층(204)의 형성 물질을 증착하고, 핫플레이트(210)를 이용하여 열처리하여 유도층(203)과 채널층(204)을 형성할 수 있다.
- [0062] 예를 들어, 채널층(204)은  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{O}_3$ - $\text{ZnO}$ 의 몰 비가 1:1:1인 3인치 타겟이 적용될 수 있고 스퍼터링 공정을 통해 제작하되, 핫플레이트(210)의 온도 300℃에서 1시간 동안 열처리하여 형성될 수 있다.
- [0063] 즉, 본 발명은 게이트 절연층 상에 유도층의 형성 물질을 증착하고, 채널층의 형성 물질을 증착한 후, 열처리를 수행하여 유도층의 산소 환원력을 증가시킬 수 있다.
- [0064] 도 2c를 참고하면, 산화물 반도체 박막 트랜지스터의 제조 방법은 채널층(204) 상에 소스 및 드레인 전극(205)을 추가 형성할 수 있다.
- [0065] 예를 들어, 산화물 반도체 박막 트랜지스터의 제조 방법은 소스 및 드레인 전극(205)을 이베퍼레이터(Evaporator)를 사용하여 알루미늄( $\text{Al}$ )을 200nm 두께로 증착하여 형성할 수 있다.
- [0067] 도 3은 본 발명의 일실시예에 따른 유도층이 채널층의 산소와 결합되는 과정을 설명하는 도면이다.
- [0068] 도 3을 참고하면, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은 게이트 절연층(310), 유도층(320) 및 채널층(330)을 각각 증착한 후, 핫플레이트(300)에서 열처리할 수 있다.
- [0069] 일례로, 채널층(330)은 열처리 이전에, 산소(O), 금속물질(M), 산소 공공(V)을 포함하고 있다.
- [0070] 유도층(320)은 핫플레이트(300)를 통하여 열이 인가되면, 채널층(330)의 산소(O)가 유도층(320)으로 이동된다.
- [0071] 여기서, 유도층(320)은 산소 환원력에 기반하여 채널층(330)의 산소(O)를 흡수(intake)하여, 채널층(330)의 산소와 결합될 수 있다.
- [0072] 채널층(330)은 열처리 후, 유도층(320)으로 산소(O)가 흡수된 후, 흡수된 위치에는 산소 공공(V)이 위치한다.
- [0073] 유도층(320)은 채널층(330)의 산소를 흡수 한 후, 산소 흡수 유도층(340)으로 변환될 수 있다. 여기서, 산소 흡수 유도층(340)은 산소를 흡수한 유도층(320)을 표현하기 위한 것으로, 유도층(320)에 포함될 수 있다.
- [0074] 따라서, 본 발명은 게이트 절연층과 채널층 사이에 유도층을 형성하여 채널층 내 산소 공공(oxygen vacancy)을 증가시킬 수 있다.
- [0076] 도 4는 본 발명의 일실시예에 따른 유도층의 증착 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.
- [0077] 도 4는 본 발명의 일실시예에 따라 유도층의 형성물질을 질화티탄을 이용하여 형성할 시, 증착 시간 변화에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 예시한다.
- [0078] 도 4를 참고하면, 그래프의 가로축은 게이트 전압을 나타내고, 세로축은 드레인 전류를 나타내고, 그래프의 변화(curve)는 이동도를 나타낼 수 있다.
- [0079] 즉, 그래프는 질화티탄의 증착 시간을 0초(400), 60초(410), 120초(420), 180초(430), 240초(440)로 변경하면서 제작된 박막트랜지스터의 전기적 특성 변화를 나타낸 그래프이다.



- [0080] 여기서, 0초(400)는 질화티탄을 증착하지 않은 산화물 반도체 박막 트랜지스터의 이동도를 나타낼 수 있으며, 약  $11.79 \text{ cm}^2/\text{Vs}$ 로 나타낼 수 있다.
- [0081] 이에 반해, 질화티탄을 60초(410), 120초(420)초 증착한 산화물 반도체 박막 트랜지스터는 각각  $12.77 \text{ cm}^2/\text{Vs}$ ,  $15.99 \text{ cm}^2/\text{Vs}$ 로 향상된 전기적 특성을 나타낼 수 있다.
- [0082] 특히, 질화티탄을 120초 증착한 산화물 반도체 박막 트랜지스터의 전기적특성이 0초(400), 60초(410), 180초(430) 및 240초(440)에 대비하여 가장 우수하게 나타났다.
- [0083] 이외에 질화티탄을 180초(430) 증착한 산화물 반도체 박막 트랜지스터는 문턱전압이 음의 방향으로 천이한 특성을 나타낼 수 있다.
- [0084] 또한, 질화티탄을 240초(440) 증착한 산화물 반도체 박막 트랜지스터는 더 이상 스위칭 보이지 않고 도체 특성을 나타내었다. 이는 질화티탄이 특정 두께 이상으로 형성될 경우, 채널층 증착 후 열처리 공정을 진행하여도 질화티탄이 모두 산화되지 않고 도체 특성을 나타내는 부분이 있기 때문에 스위칭 특성을 보이지 않는 것일 수 있다.
- [0086] 도 5는 본 발명의 일실시예에 따른 유도층의 열처리 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.
- [0087] 도 5는 본 발명의 일실시예에 따라 유도층을 형성할 시, 유도층의 형성물질을 질화티탄을 이용하여 형성할 시, 증착 시간을 120초로 하고 열처리 시간을 변화에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 예시한다.
- [0088] 도 5를 참고하면, 그래프의 가로축은 게이트 전압을 나타내고, 세로축은 드레인 전류를 나타내고, 그래프의 변화(curve)는 이동도를 나타낼 수 있다.
- [0089] 즉, 도 5는 질화티탄을 120초 증착하고 산화물 반도체 채널까지 증착한 후, 열처리 시간을 1시간(500), 3시간(510), 5시간(520)으로 변화시킨 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 나타낸 그래프이다.
- [0090] 열처리를 3시간(510) 진행한 산화물 반도체 박막 트랜지스터의 이동도는  $16.77 \text{ cm}^2/\text{Vs}$ 로 가장 우수한 특성을 보였지만, 누설전류 특성이 열화되었다.
- [0091] 또한, 열처리를 5시간(520) 진행한 산화물 반도체 박막 트랜지스터의 이동도는  $14.59 \text{ cm}^2/\text{Vs}$ 로 1시간(500) 진행한 산화물 반도체 박막 트랜지스터의 이동도에 대비하여 낮은 이동도 특성을 가졌고, 누설전류 특성은 비슷한 특성을 나타내었다.
- [0092] 결과적으로, 도 4 및 도 5에 따르면 질화티탄을 유도층 형성 물질로 사용할 경우, 120초 동안 증착을 진행하고  $300^\circ\text{C}$ 에서 1시간 동안 열처리를 진행하는 것이 가장 최적화된 조건일 수 있다.
- [0093] 따라서, 본 발명은 게이트 절연층과 채널층 사이에 형성되는 유도층의 공정 조건(증착 시간 및 열처리 시간 등)을 제어하여 전기적 특성이 향상된 산화물 반도체 박막 트랜지스터를 제공할 수 있다.
- [0095] 도 6은 본 발명의 다른실시예에 따른 유도층의 증착 조건에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 설명하는 도면이다.
- [0096] 도 6은 본 발명의 일실시예에 따라 유도층의 형성물질을 산화하프늄을 이용하여 형성할 시, 증착 시간 변화에 따른 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 예시한다.
- [0097] 도 6을 참고하면, 그래프의 가로축은 게이트 전압을 나타내고, 세로축은 드레인 전류를 나타내고, 그래프의 변화(curve)는 이동도를 나타낼 수 있다.
- [0098] 즉, 도 6은 유도층의 형성물질인 산화하프늄의 증착 시간을 0초(600), 120초(610), 180초(620), 240초(630)로 변경하면서 제작된 산화물 반도체 박막 트랜지스터의 전기적 특성 변화를 나타낸 그래프이다.
- [0099] 여기서, 0초(600)는 산화하프늄을 증착하지 않은 산화물 반도체 박막 트랜지스터의 이동도를 나타낼 수 있고, 약  $11.79 \text{ cm}^2/\text{Vs}$ 일 수 있다.
- [0100] 이에 반해, 산화하프늄을 120초(610) 증착한 산화물 반도체 박막 트랜지스터의 이동도는  $13.55 \text{ cm}^2/\text{Vs}$ 로 향상된

전기적 특성을 나타낼 수 있다.

- [0101] 180초(620)와 240초(630) 증착한 산화물 반도체 박막 트랜지스터의 이동도는 각각  $11.40, 10.59 \text{ cm}^2/\text{Vs}$ 고 누설 전류가 매우 증가하여 증착시간이 증가할수록 전기적 특성이 하락될 수 있다.

[0102] 이는 산화하프늄이 특정 두께 이상으로 형성될 경우, 산화물 반도체 증착 후 열처리 공정을 진행하여도 산화하프늄 내에 다량의 산소공공이 존재하는 부분이 남아있기 누설전류가 증가된 것일 수 있다.

[0103] 결과적으로, 산화하프늄을 유도층으로 사용할 경우, 120초 동안 증착을 진행하는 것이 가장 최적화된 유도층 형성 조건일 수 도 있다.

[0105] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

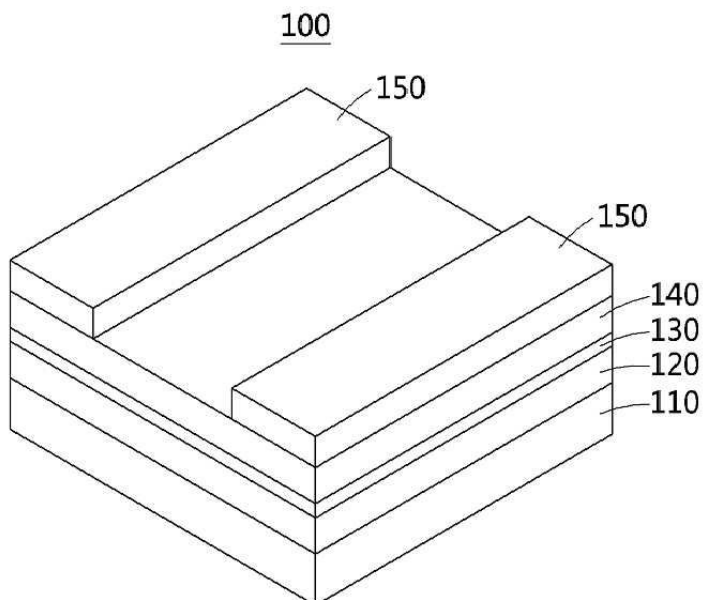
[0106] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

## 부호의 설명

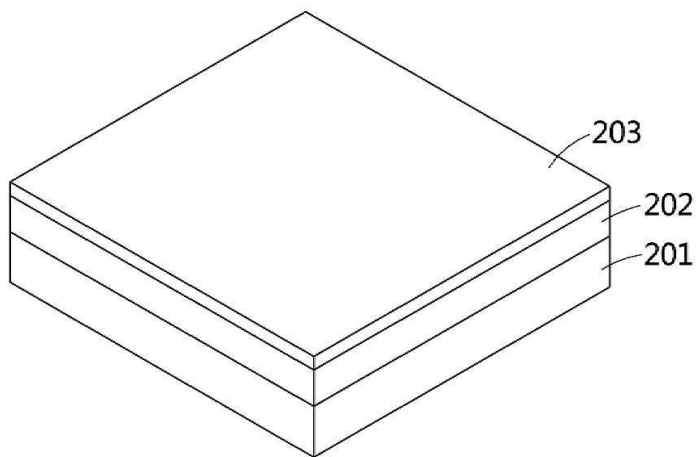
- [0107]
- |                       |              |
|-----------------------|--------------|
| 100: 산화물 반도체 박막 트랜지스터 |              |
| 110: 게이트 전극           | 120: 게이트 절연층 |
| 130: 유도층              | 140: 채널층     |
| 150: 소스 및 드레인 전극      |              |

도면

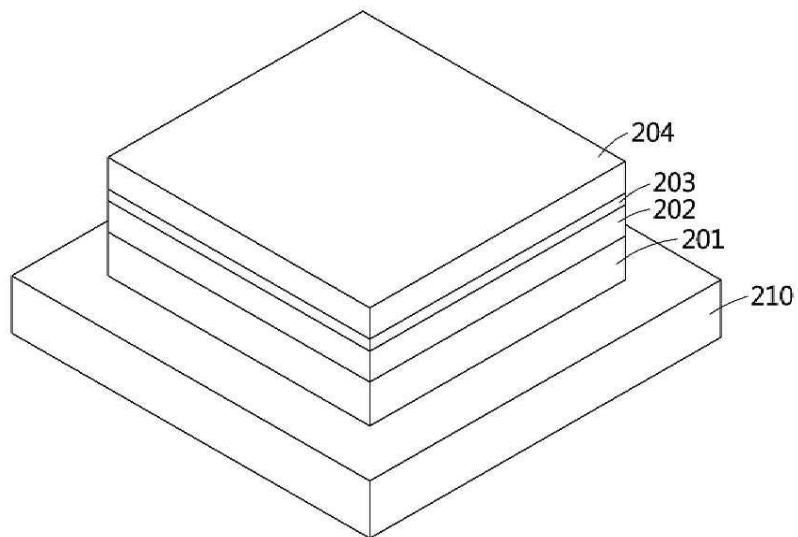
도면1



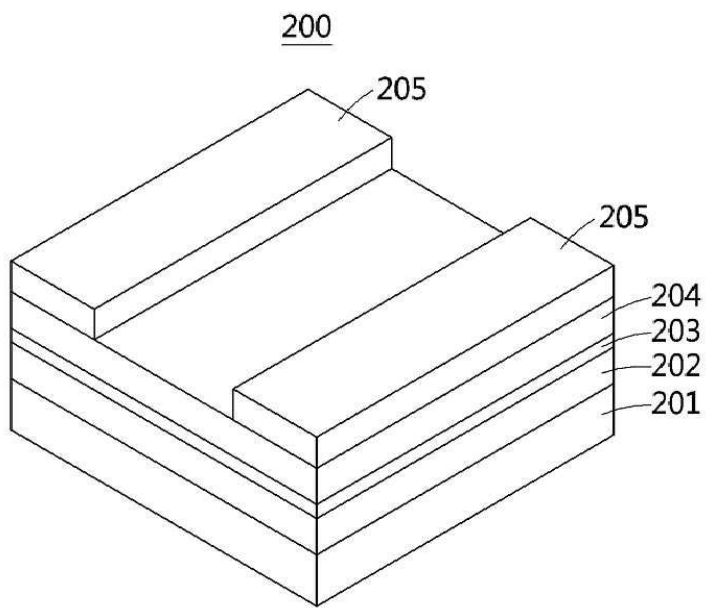
도면2a



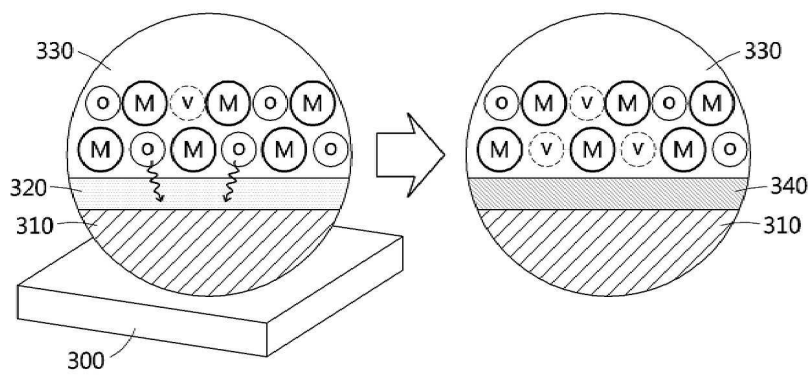
도면2b



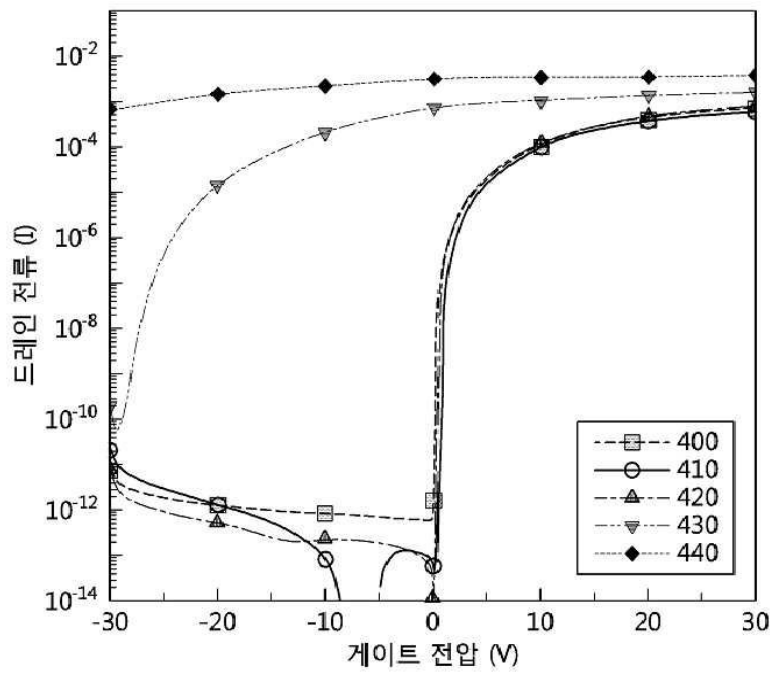
도면2c



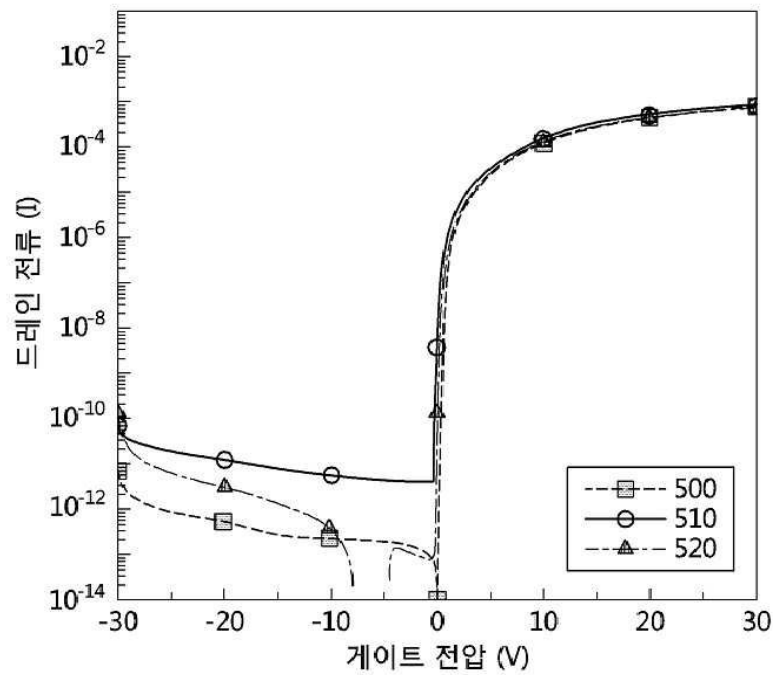
도면3



도면4



도면5



도면6

