



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년07월06일

(11) 등록번호 10-2130578

(24) 등록일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)

G06F 12/02 (2018.01) G06F 12/08 (2016.01)

(21) 출원번호 10-2014-0170641

(22) 출원일자 2014년12월02일

심사청구일자 2018년11월21일

(65) 공개번호 10-2016-0066362

(43) 공개일자 2016년06월10일

(56) 선행기술조사문헌

US20040260908 A1*

US20080183959 A1*

US20060288172 A1

US20070064500 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

강성호

서울특별시 종로구 통일로 246-20 109-1403

박기현

서울특별시 서대문구 연희로14길 63-36 207

우수해

서울특별시 중랑구 용마산로 669 105-607

(74) 대리인

김선중

전체 청구항 수 : 총 10 항

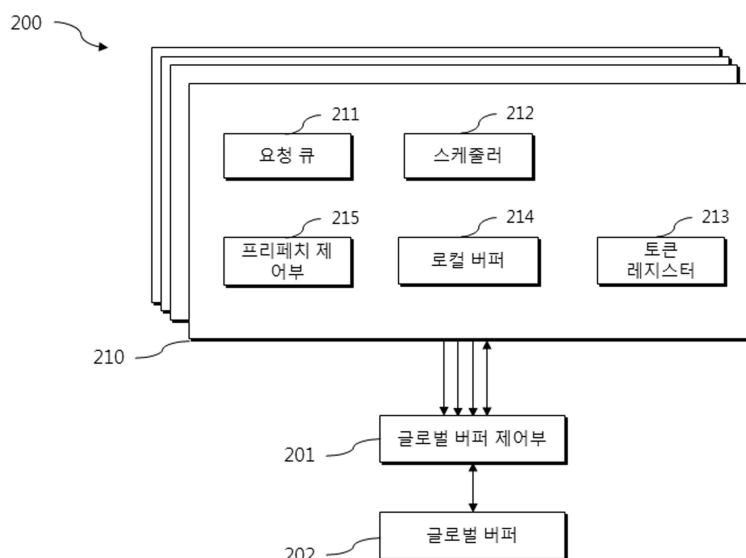
심사관 : 남윤권

(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명의 일 실시예에 의한 반도체 장치는 로컬 버퍼를 각각 포함하는 다수의 메모리 컨트롤러; 다수의 메모리 컨트롤러와 연결되며 다수의 메모리 컨트롤러 각각에 할당된 영역을 포함하는 글로벌 버퍼; 및 글로벌 버퍼의 할당된 영역의 크기를 제어하는 글로벌 버퍼 제어부를 포함한다

대표도 - 도2



명세서

청구범위

청구항 1

각각 대응하는 셀 파티션에 대한 읽기 쓰기 동작을 제어하며 로컬 버퍼를 포함하는 다수의 메모리 컨트롤러;

상기 다수의 메모리 컨트롤러와 연결되며 상기 다수의 메모리 컨트롤러 각각에 할당된 영역을 포함하는 글로벌 버퍼; 및

상기 글로벌 버퍼의 할당된 영역의 크기를 제어하는 글로벌 버퍼 제어부

를 포함하되,

상기 로컬 버퍼는 대응하는 메모리 컨트롤러의 제어에 따라 대응하는 셀 파티션에서 프리페치된 데이터 또는 대응하는 메모리 컨트롤러의 제어에 따라 대응하는 셀 파티션에 기록할 쓰기 데이터를 저장하고,

상기 글로벌 버퍼에서 어느 한 메모리 컨트롤러에 할당된 영역은 상기 어느 한 메모리 컨트롤러에 포함된 로컬 버퍼의 저장 공간을 확장하는 반도체 장치.

청구항 2

청구항 1에 있어서, 상기 글로벌 버퍼 제어부는 상기 다수의 메모리 컨트롤러 중 제 1 메모리 컨트롤러가 상기 글로벌 버퍼의 상기 제 1 메모리 컨트롤러에 할당된 영역을 설정된 임계점을 초과하여 사용하는 경우 상기 다수의 메모리 컨트롤러 중 상기 글로벌 버퍼의 할당된 영역에 여유 공간을 갖는 제 2 메모리 컨트롤러를 선택하여 상기 여유 공간의 일부를 상기 제 1 메모리 컨트롤러에 재할당하는 반도체 장치.

청구항 3

청구항 1에 있어서, 상기 다수의 메모리 컨트롤러의 상기 글로벌 버퍼에 대한 할당량에 대한 정보를 저장하는 레지스터를 더 포함하는 반도체 장치.

청구항 4

청구항 1에 있어서, 상기 다수의 메모리 컨트롤러 각각은 외부에서 제공된 읽기 요청으로부터 프리페치 요청을 생성하는 프리페치 제어부를 더 포함하되, 상기 프리페치 제어부는 상기 프리페치 요청에 대응하는 주소 및 데이터를 상기 로컬 버퍼에 저장하는 반도체 장치.

청구항 5

청구항 1에 있어서, 상기 다수의 메모리 컨트롤러 각각은 외부에서 제공된 쓰기 요청에 대응하는 주소 및 데이터를 상기 로컬 버퍼에 저장하는 쓰기 버퍼 제어부를 더 포함하는 반도체 장치.

청구항 6

청구항 1에 있어서, 상기 로컬 버퍼는 프리페치 버퍼 영역과 쓰기 버퍼 영역을 포함하고, 상기 다수의 메모리 컨트롤러 각각은 외부에서 제공된 읽기 요청으로부터 프리페치 요청을 생성하는 프리페치 제어부를 더 포함하고 상기 프리페치 제어부는 상기 프리페치 버퍼 영역에 상기 프리페치 요청에 대응하는 주소 및 데이터를 저장하고, 상기 다수의 메모리 컨트롤러 각각은 외부에서 제공된 쓰기 요청에 대응하는 주소 및 데이터를 상기 쓰기 버퍼 영역에 저장하는 쓰기 버퍼 제어부를 더 포함하는 반도체 장치.

청구항 7

청구항 6에 있어서, 상기 프리페치 제어부는 상기 프리페치 버퍼 영역과 상기 쓰기 버퍼 영역의 비율을 동적으로 조정하는 반도체 장치.

청구항 8

청구항 7에 있어서, 상기 프리페치 제어부는 프리페치 히트율에 따라 상기 프리페치 버퍼 영역의 크기를 동적으로 증감하는 반도체 장치.

청구항 9

청구항 8에 있어서, 상기 프리페치 제어부는 상기 프리페치 히트율이 감소하는 경우 상기 프리페치 버퍼 영역의 크기를 감소시키는 반도체 장치.

청구항 10

청구항 1에 있어서, 상기 다수의 메모리 컨트롤러 각각은 외부에서 제공된 읽기 및 쓰기 요청을 저장하는 요청 큐 및 상기 요청 큐에 저장된 요청들 중 처리할 요청을 선택하는 스케줄러를 더 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 다수의 메모리 컨트롤러를 포함하는 반도체 장치에 관한 것으로서 보다 구체적으로는 다수의 메모리 컨트롤러에 동적으로 할당될 수 있는 글로벌 버퍼를 포함하는 반도체 장치에 관한 것이다.

배경 기술

- [0002] 다수의 메모리 셀 다이와 이를 제어하는 로직 다이를 포함하는 HMC(Hybrid Memory Cube) 기술이 개발되고 있다.
- [0003] 도 1은 HMC의 구조를 설명하는 도면이다.
- [0004] HMC는 다수의 메모리 셀 다이(10)와 로직 다이(20)를 포함한다.
- [0005] 각 메모리 셀 다이(10)는 다수의 셀 파티션(11)으로 분할되고 로직 다이(20)는 다수의 로직 파티션(21)으로 분할된다. 각각의 셀 파티션(11)은 다수의 뱅크를 포함할 수 있다.
- [0006] 메모리 셀 다이(10)와 로직 다이(20)가 수직으로 적층되는 경우 대응하는 위치의 셀 파티션(11)과 로직 파티션(21)은 관통 전극(TSV: Thru-Silicon-Via)을 통해 신호를 주고받을 수 있다.
- [0007] 이때 대응하는 위치의 셀 파티션(11)과 로직 파티션(21)의 집합을 볼트(31)라고 한다. 로직 파티션(21)은 셀 파티션(11)을 제어하는 메모리 컨트롤러로서 동작하며 이하에서는 이를 메모리 컨트롤러 또는 볼트 컨트롤러로 지칭한다.
- [0008] 하나의 HMC 내에는 다수의 볼트(31)가 포함될 수 있으며 각각의 볼트(31)는 독립적으로 동작할 수 있다.
- [0009] 종래의 HMC 장치에서 볼트 컨트롤러(21)는 볼트(31) 내의 메모리 셀들을 제어하기 위하여 쓰기 버퍼, 프리페치 버퍼 등의 자원을 포함하지만 이들은 다른 볼트 컨트롤러(21)와 공유되지 못한다.
- [0010] 이에 따라 특정 메모리 볼트(31)에 읽기 쓰기 등의 동작이 집중되는 경우 볼트 컨트롤러(21) 내의 자원이 부족해져 성능이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 다수의 메모리 컨트롤러에서 공유할 수 있는 자원을 포함하고 이에 대한 할당을 동적으로 제어함으로써 특정 메모리 컨트롤러에 읽기 쓰기 요청이 집중되더라도 성능 저하를 방지할 수 있는 반도체 장치를 제공한다.

과제의 해결 수단

[0012] 본 발명의 일 실시예에 의한 반도체 장치는 로컬 버퍼를 각각 포함하는 다수의 메모리 컨트롤러; 다수의 메모리 컨트롤러와 연결되며 다수의 메모리 컨트롤러 각각에 할당된 영역을 포함하는 글로벌 버퍼; 및 글로벌 버퍼의 할당된 영역의 크기를 제어하는 글로벌 버퍼 제어부를 포함한다.

발명의 효과

- [0013] 본 기술에 의한 반도체 장치는 다수의 메모리 컨트롤러에서 공유할 수 있는 자원을 포함하고 각 메모리 컨트롤러의 동작 상황에 따라 이를 동적으로 할당함으로써 반도체 장치의 성능을 향상시킬 수 있다.
- [0014] 또한 본 발명은 메모리 컨트롤러에서 사용할 수 있는 자원으로서 쓰기 버퍼와 프리페치 버퍼와 같이 다른 종류의 버퍼를 일체로 형성한 하이브리드 버퍼를 제공하고 읽기 요청 및 쓰기 요청에 따라 하이브리드 버퍼 내에서 각 버퍼의 용량을 가변적으로 조절함으로써 반도체 장치의 성능을 향상시킬 수 있다.

도면의 간단한 설명

- [0015] 도 1은 HMC 장치의 구조를 설명하는 설명도.
- 도 2는 본 발명의 일 실시예에 의한 반도체 장치의 블록도.
- 도 3은 도 2의 로컬 버퍼의 데이터 구조도.
- 도 4는 도 2의 글로벌 버퍼의 데이터 구조도.
- 도 5는 도 2의 글로벌 버퍼 제어기의 동작을 나타내는 순서도.
- 도 6은 본 발명의 일 실시예에 의한 반도체 장치의 블록도.
- 도 7은 본 발명의 일 실시예에 의한 반도체 장치의 블록도.
- 도 8은 도 7의 로컬 버퍼의 데이터 구조도.
- 도 9는 도 7의 글로벌 버퍼의 데이터 구조도.
- 도 10은 도 7의 프리페치 제어부의 동작을 나타낸 순서도.
- 도 11은 도 7의 로컬 버퍼 내의 용량을 가변적으로 조절하는 예를 나타낸 설명도.
- 도 12 및 도 13은 본 발명의 효과를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 대해서 상세히 설명한다. 이하의 설명에서 동일한 참조부호는 실질적으로 동일한 대상을 지시한다.
- [0017] 도 2는 본 발명의 일 실시예에 의한 반도체 장치의 블록도이다.
- [0018] 본 발명의 일 실시예에 의한 반도체 장치(200)는 다수의 볼트 컨트롤러(210)와 글로벌 버퍼(202) 및 글로벌 버퍼 제어부(201)를 포함한다.
- [0019] 본 실시예에서 볼트 컨트롤러(210)는 같은 볼트 내의 메모리 셀에 대한 읽기 쓰기 동작을 제어한다.
- [0020] 볼트 컨트롤러(210)는 요청 큐(211), 스케줄러(212), 토큰 레지스터(213), 로컬 버퍼(214), 프리페치 제어부(215)를 포함한다.
- [0021] 요청 큐(211)는 볼트 컨트롤러(210)에 입력된 다수의 읽기 및 쓰기 요청을 저장한다. 스케줄러(212)는 다수의 읽기 및 쓰기 요청들의 처리 순서를 결정하여 선택된 요청에 따라 같은 볼트 내의 메모리 셀에 대한 읽기 또는 쓰기 동작을 제어한다.
- [0022] 토큰 레지스터(213)는 각 볼트 컨트롤러(210)에 부여된 토큰 값을 저장한다. 토큰 값은 볼트 컨트롤러(210)에 할당될 수 있는 글로벌 버퍼(202)의 크기와 연관된다. 각 볼트 컨트롤러(210)의 토큰 값은 글로벌 버퍼 제어부(201)에 의해 동적으로 조정될 수 있다.
- [0023] 로컬 버퍼(214)는 각 볼트 컨트롤러(210)에서 독점하는 버퍼이다. 본 실시예에서 로컬 버퍼(214)는 프리페치된 주소와 데이터를 저장하는 용도로 사용된다.
- [0024] 프리페치 제어부(215)는 프리페치 동작을 제어한다. 프리페치 동작은 볼트 컨트롤러(210)에서 읽기 요청을 더욱 빠르게 처리하기 위하여 아직 요청되지 않은 주소의 데이터를 메모리 셀로부터 미리 읽어오는 동작으로서 메모리 컨트롤러 분야에서 이미 사용되고 있는 기술이다.

- [0025] 스케줄러(212)는 외부에서 제공된 일반적인 읽기 쓰기 요청을 처리하지 않는 동안 프리페치 제어부(215)에서 생성된 프리페치 요청을 처리할 수 있다.
- [0026] 또한 볼트 컨트롤러(210)는 외부에서 제공된 읽기 요청에 대응하는 데이터가 로컬 버퍼(214)에 존재하는 경우(히트) 메모리 셀에 접근할 필요없이 로컬 버퍼(214)의 데이터를 읽어서 출력한다.
- [0027] 프리페치 제어부(215)는 요청 큐(211)에 저장된 읽기 요청들의 주소를 분석하여 앞으로 요청될 가능성이 있는 주소의 데이터를 읽는 요청을 생성하고 이에 따라 읽어온 데이터를 로컬 버퍼(214)에 저장한다.
- [0028] 본 발명에서 프리페치 제어부(215)는 로컬 버퍼(214)에 여유 공간이 없는 경우 글로벌 버퍼(202)의 할당된 공간에 프리페치 주소 및 데이터가 저장되도록 한다.
- [0029] 이때 프리페치 제어부(215)는 프리페치 주소, 데이터 및 볼트 정보를 글로벌 버퍼 제어부(201)에 제공하고 글로벌 버퍼 제어부(201)는 제공된 정보를 글로벌 버퍼(202)에 저장할 수 있다.
- [0030] 본 발명에서 글로벌 버퍼(202)는 각 볼트 컨트롤러(214)의 로컬 버퍼(214)의 용량을 확장하는 기능을 한다. 이에 따라 글로벌 버퍼(202)의 구조는 로컬 버퍼(214)의 구조와 실질적으로 동일하다.
- [0031] 도 3은 도 2의 로컬 버퍼(214)의 데이터 구조를 나타낸다. 도 2의 로컬 버퍼(214)는 유효 필드(VALID), 주소 필드(ADDRESS), 데이터 필드(DATA)를 포함한다.
- [0032] 유효 필드(VALID)는 대응하는 행의 정보가 유효한 지를 저장하고, 주소 필드(ADDRESS)는 프리페치 주소를 저장하며, 데이터 필드(DATA)는 프리페치 데이터를 저장한다.
- [0033] 도 4는 도 2의 글로벌 버퍼(202)의 데이터 구조를 나타낸다. 글로벌 버퍼(202)의 데이터 구조는 로컬 버퍼(214)의 데이터 구조와 실질적으로 동일하다. 다만 글로벌 버퍼(202)는 대응하는 행이 어느 볼트에 할당된 것인지 표시하는 볼트 필드(VAULT)를 더 포함한다.
- [0034] 글로벌 버퍼 제어부(201)는 각 볼트 컨트롤러(210)에 할당된 글로벌 버퍼의 크기와 각 볼트 컨트롤러(210)가 실제로 사용하는 글로벌 버퍼의 크기를 참조하여 할당된 크기를 동적으로 조정한다.
- [0035] 이때 각 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202)의 크기를 토큰 값으로 표시하고 이를 토큰 레지스터(213)에 저장할 수 있다.
- [0036] 각 볼트 컨트롤러(210)가 실제로 사용하는 글로벌 버퍼(202)의 크기는 도 4에의 데이터 구조에서 볼트 필드(VAULT)와 유효 필드(VALID)를 참조하여 계산할 수 있다.
- [0037] 도 5는 글로벌 버퍼 제어부(201)의 동작을 나타내는 순서도이다.
- [0038] 도 5의 순서도는 볼트 컨트롤러(210)가 4개 존재하는 경우를 가정한 실시예이다.
- [0039] 먼저 모든 볼트 컨트롤러(210)의 토큰 레지스터(213)의 값 즉 토큰 값을 1로 초기화하고 볼트 컨트롤러(210)를 식별하는 인덱스 i , j 를 1로 초기화한다(S100).
- [0040] 다음으로 i 번째 볼트 컨트롤러의 글로벌 버퍼(202) 사용량이 임계점 이상인지 확인한다(S110). 이때 임계점은 i 번째 볼트 컨트롤러에 할당된 글로벌 버퍼(202)의 크기보다 일정한 값만큼 작은 값으로 설정되는 것이 바람직하며 일정한 값의 크기는 실험을 통해 결정될 수 있다.
- [0041] 글로벌 버퍼 사용량이 임계점 이상이 아니라면 인덱스 i 의 값을 1 증가시키고(S120), 갱신된 인덱스 값이 마지막 인덱스의 값인 4를 초과하는지 확인한다(S130).
- [0042] 마지막 인덱스를 초과하지 않는다면 다음 인덱스에 해당하는 볼트 컨트롤러(210)의 토큰 값 조정을 위하여 단계(S110)로 이동하고 그렇지 않으면, 인덱스 i 를 1로 초기화하여 처음 인덱스에 해당하는 볼트 컨트롤러에 대하여 단계(S110)를 반복한다.
- [0043] 단계(S110)에서 확인한 결과 i 번째 볼트 컨트롤러(210)의 글로벌 버퍼(202) 사용량이 임계점 이상이면 단계(S150)로 이동한다. 이때 임계점은 각 볼트 컨트롤러(210)에 대응하는 글로벌 버퍼(202)의 할당량에 근접하는 값으로 설정될 수 있다. 이에 따라 임계점은 볼트 컨트롤러(210)에 따라 다른 값으로 지정될 수 있다.
- [0044] 단계(S150)에서는 j 번째 볼트 컨트롤러(210)의 글로벌 버퍼(202)의 사용량과 토큰값 1에 대응하는 버퍼 크기의 합이 j 번째 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202)의 크기 이하인지 확인한다.

- [0045] 즉, 단계(S150)에서는 j 번째 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202) 중 사용되지 않는 여유 공간을 i 번째 볼트 컨트롤러(210)에 제공할 수 있는지 확인한다.
- [0046] 단계(S110)에서 임계점이 충분히 크게 설정된다면 두 인덱스 i, j가 동일한 경우 단계(S150)에서 '예'로 판단되는 경우는 발생하지 않는다. 만일 그렇지 않다면 두 인덱스 i, j가 동일한 경우는 단계(S190)가 수행되지 않도록 추가 단계를 수행할 수도 있다.
- [0047] 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202)의 크기는 볼트 컨트롤러(210)의 토큰 값으로부터 연산될 수 있다. 예를 들어 글로벌 버퍼(202)의 총 크기가 10KB이고 토큰 값들의 총 합이 10인 경우 토큰 값 1은 1KB의 크기를 나타낸다.
- [0048] 단계(S150)에서 '예'로 판단한 경우 i 번째 볼트 컨트롤러(210)의 토큰 값을 1 증가시키고 j 번째 볼트 컨트롤러(210)의 토큰 값을 1 감소시킨다. 이를 통해 전체 토큰 값들의 총 합은 일정하게 유지될 수 있다.
- [0049] 단계(S150)에서 '아니오'로 판단한 경우 인덱스 j를 1 증가시키고(S160), 마지막 인덱스 4를 초과하는지 확인한다(S170).
- [0050] 마지막 인덱스를 초과하지 않으면 단계(S150)로 이동하여 전술한 동작을 반복하고 마지막 인덱스를 초과하는 경우 인덱스 j를 1로 초기화하고(S180) 단계(S110)로 이동하여 전술한 동작을 반복한다.
- [0051] 글로벌 버퍼 제어기(201)는 도 5에 도시된 동작을 반복적으로 수행하면서 각 볼트 컨트롤러(210)에 할당된 토큰 값 즉 각 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202)의 크기를 동적으로 조정함으로써 특정 볼트 컨트롤러(210)에 요청이 집중되는 경우 이에 할당된 글로벌 버퍼(202)의 크기가 자동으로 증가시킨다. 이에 따라 특정 볼트 컨트롤러(210)에 요청이 집중되는 경우에도 버퍼 부족으로 인한 성능 저하를 방지할 수 있다.
- [0052] 도 6은 본 발명의 다른 실시예에 의한 반도체 장치의 블록도이다.
- [0053] 도 6의 실시예는 로컬 버퍼(214)와 글로벌 버퍼(202)가 쓰기 버퍼로서 동작하는 점 및 로컬 버퍼(214)를 제어하는 쓰기 버퍼 제어부(216)를 포함하는 점에서 도 2의 실시예와 상이하다.
- [0054] 이를 제외한 요청 큐(211), 스케줄러(2120 및 토큰 레지스터(213)의 구성은 전술한 바와 실질적으로 동일하다.
- [0055] 쓰기 버퍼 제어부(214)는 쓰기 요청이 있는 경우 쓰기 요청된 주소와 쓰기 요청된 데이터를 로컬 버퍼(214)에 저장한다. 쓰기 버퍼 제어부(214)는 쓰기 요청이 처리된 경우 로컬 버퍼(214)에서 대응하는 정보를 삭제할 수 있다.
- [0056] 쓰기 버퍼로 동작하는 로컬 버퍼(214) 및 이를 제어하는 쓰기 버퍼 제어부(216)는 메모리 컨트롤러에 일반적으로 포함되는 구성이므로 이에 대한 구체적인 개시는 생략한다.
- [0057] 도 6에서 로컬 버퍼(214)와 글로벌 버퍼(202)의 데이터 구조는 도 3 및 도 4에 개시된 것과 실질적으로 동일하여 글로벌 버퍼 제어부(201)가 각 볼트 컨트롤러(210)에 할당된 글로벌 버퍼(202)의 크기를 동적으로 제어하는 구성은 전술한 바와 동일하다.
- [0058] 도 7은 본 발명의 다른 실시예에 의한 반도체 장치의 블록도이다.
- [0059] 도 7의 실시예에서 반도체 장치(200)는 프리페치 제어부(215)와 쓰기 버퍼 제어부(216)를 모두 포함한다.
- [0060] 프리페치 제어부(215)와 쓰기 버퍼 제어부(216)의 기능은 도 2 및 도 6의 실시예에서 설명한 것과 실질적으로 동일하다.
- [0061] 도 7의 실시예에서 로컬 버퍼(214)와 글로벌 버퍼(202)는 프리페치 된 주소 및 데이터와 쓰기 요청된 주소 및 데이터를 하나의 데이터 구조 내에 저장하는 하이브리드 버퍼이다.
- [0062] 이를 제외한 요청 큐(211), 스케줄러(2120 및 토큰 레지스터(213)의 구성은 전술한 바와 실질적으로 동일하다.
- [0063] 또한 글로벌 버퍼 제어부(201)와 글로벌 버퍼(202)의 구성 및 글로벌 버퍼 제어부(201)의 동작에 의해 각 볼트 제어기(210) 할당되는 글로벌 버퍼(202)의 크기를 동적으로 조정하는 구성 역시 전술한 바와 실질적으로 동일하다.
- [0064] 도 8은 도 7의 로컬 버퍼(214)의 데이터 구조이다.
- [0065] 도 7의 로컬 버퍼(214)는 프리페치 필드(PREFETCH)를 더 포함한다. 프리페치 필드(PREFETCH)는 대응하는 행이

프리페치 버퍼로서 동작하는지 또는 쓰기 버퍼로 동작하는지를 표시한다.

- [0066] 예를 들어 프리페치 필드(PREFETCH)가 활성화된 행에서 주소 필드(ADDRESS)와 데이터 필드(DATA)는 프리페치된 주소와 데이터를 저장하고, 프리페치 필드(PREFETCH)가 활성화되지 않은 행에서 주소 필드(ADDRESS)와 데이터 필드(DATA)는 쓰기 요청된 주소와 데이터를 저장할 수 있다.
- [0067] 유효 필드(VALID)는 대응하는 행이 유효한 정보를 포함하는지를 나타낸다.
- [0068] 도 9는 도 7의 글로벌 버퍼(202)의 데이터 구조이다.
- [0069] 글로벌 버퍼(202)는 도 8의 데이터 구조에 볼트 필드(VAULT)를 더 포함하여 각 행이 어느 볼트 제어기(210)에 할당된 것인지 표시한다.
- [0070] 전술한 바와 같이 볼트 제어기(210) 내의 로컬 버퍼(214)와 볼트 제어기(210)에 할당된 글로벌 버퍼(202) 각각은 프리페치 버퍼로 사용되는 영역과 쓰기 버퍼로 사용되는 영역으로 구분된다.
- [0071] 이때 프리페치 제어부(215)는 두 영역 사이의 비율을 각 볼트 제어기(210)의 동작 상황에 따라 동적으로 조정할 수 있다.
- [0072] 도 10은 도 7의 프리페치 제어부(215)의 동작을 나타낸 순서도이다.
- [0073] 먼저 로컬 버퍼(214)에서 프리페치 버퍼 영역과 쓰기 버퍼 영역 사이의 비율을 초기화한다(S210).
- [0074] 일정시간 대기 후(S220) 해당 시간 동안의 프리페치 히트율을 계산한다(S230).
- [0075] 프리페치 히트율은 일정 시간 동안 프리페치 버퍼 영역에 프리페치 된 데이터 개수와 프리페치 된 데이터 중 읽기 요청의 처리에 사용된 데이터의 개수 사이의 비율로 계산될 수 있다.
- [0076] 이후 히트율에 대응하는 프리페치 버퍼 영역의 변동량을 산출한다(S240)
- [0077] 변동량에 따라 프리페치 버퍼 영역의 크기를 조절하고 이에 따라 쓰기 버퍼 영역의 크기를 조절하여 두 영역 사이의 비율을 조정한다(S250).
- [0078] 이후 단계(S220)로 이동하여 전술한 과정을 반복한다.
- [0079] 일 실시예에서 특정 볼트 컨트롤러(210)에 대응하는 프리페치 버퍼 영역과 쓰기 버퍼 영역 사이의 비율은 로컬 버퍼(214)와 글로벌 버퍼(202)에 공통적으로 적용될 수 있다.
- [0080] 이에 따라 글로벌 버퍼(202) 내에서는 대응하는 볼트 제어기(210)에 따라 프리페치 버퍼 영역과 쓰기 버퍼 영역 사이의 비율이 서로 다르게 설정될 수 있다.
- [0081] 도 11은 본 발명의 일 실시예에서 프리페치 히트율과 쓰기 버퍼 영역과 프리페치 버퍼 영역 사이의 비율의 관계를 나타낸 도표이다.
- [0082] 도시된 바와 같이 히트율이 가장 높은 구간에서 프리페치 버퍼 영역의 비율이 가장 높게 설정되고 히트율이 낮을수록 프리페치 버퍼 영역의 비율이 점차 낮게 설정된다.
- [0083] 이에 따라 쓰기 버퍼 영역의 크기는 히트율이 가장 높은 구간에서 가장 작게 설정되고 히트율이 가장 높은 구간에서 가장 크게 설정된다.
- [0084] 본 실시예에서 쓰기 버퍼 영역의 크기는 최소 50%가 되도록 설정된다.
- [0085] 이와 같이 하이브리드 버퍼 내에서 프리페치 히트율에 따라 프리페치 버퍼 영역을 동적으로 조절함으로써 프리페치 버퍼로 낭비될 수 있는 공간을 쓰기 버퍼로 추가로 할당할 수 있고 이에 따라 반도체 장치의 성능을 향상시킬 수 있다.
- [0086] 도 12는 본 발명의 효과를 나타내는 그래프이다.
- [0087] 세로 축은 평균 읽기 레이턴시를 나타내고 가로 축은 시뮬레이션에 사용된 트레이스의 종류를 나타낸다.
- [0088] 그래프에서 짙은 색 막대는 종래와 같이 글로벌 버퍼가 없는 경우를 나타내고 옅은 색 막대는 본 발명에서와 같이 글로벌 버퍼가 있는 경우를 나타낸다.
- [0089] 도시된 바와 같이 본 발명의 경우 모든 트레이스에서 읽기 레이턴시가 줄어들어 성능이 향상됨을 확인할 수 있

다.

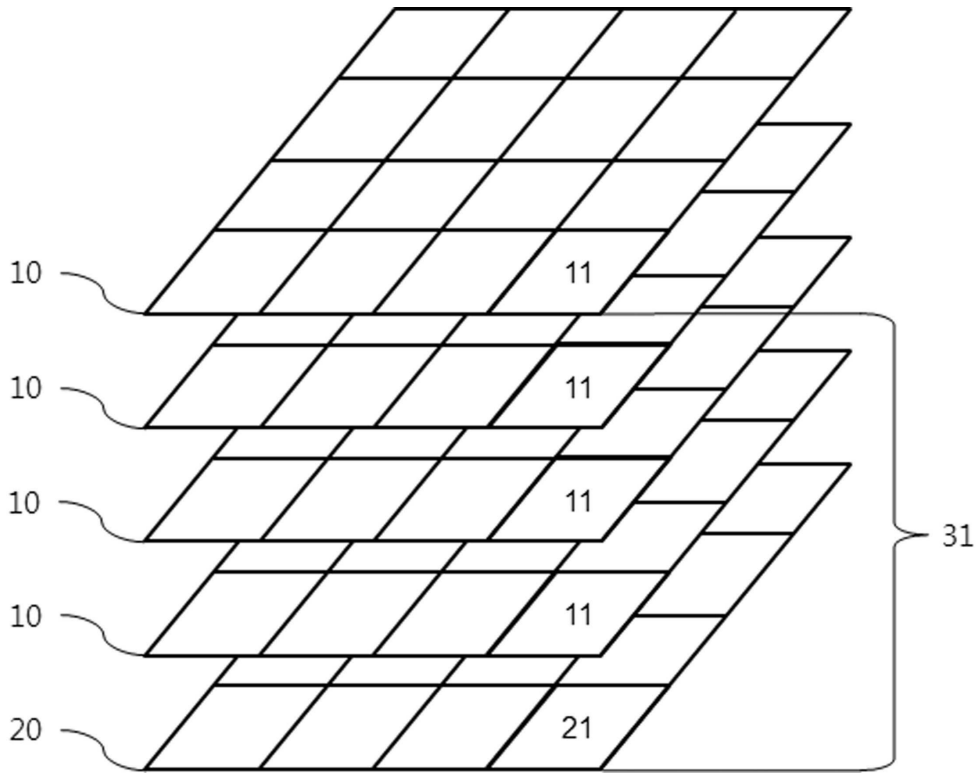
- [0090] 도 13은 본 발명의 효과를 나타내는 다른 그래프이다.
- [0091] 그래프에서 세로 축은 총 수행 시간을 나타내고 가로 축은 시뮬레이션에 사용된 트레이스의 종류를 나타낸다.
- [0092] 그래프에서 짙은 색 막대는 종래와 같이 프리페치 버퍼와 쓰기 버퍼가 별개로 존재하는 경우를 나타내고 옅은 색 막대는 본 발명에서와 같이 프리페치 버퍼와 쓰기 버퍼가 하나의 하이브리드 형태의 버퍼로 존재하는 경우를 나타낸다.
- [0093] 도시된 바와 같이 본 발명은 대부분의 트레이스에서 종래의 경우에 비하여 총 수행 시간이 줄어들어 성능이 향상되었음을 알 수 있다.
- [0094] 이상에서 도면을 참조하여 본 발명의 실시예를 개시하였다. 이상의 개시는 설명을 위한 것으로서 본 발명의 권리범위를 한정하는 것은 아니며, 본 발명의 권리범위는 이하의 특허청구범위에 문언적으로 기재된 범위와 그 균등범위에 의해 정해진다.
- [0095] 예를 들어 이상에서는 본 발명에 의한 반도체 장치가 HMC에 사용되는 예를 이용하여 본 발명을 개시하였으나 본 발명에 의한 반도체 장치가 반드시 HMC에 사용되는 것으로 한정되는 것은 아니다.

부호의 설명

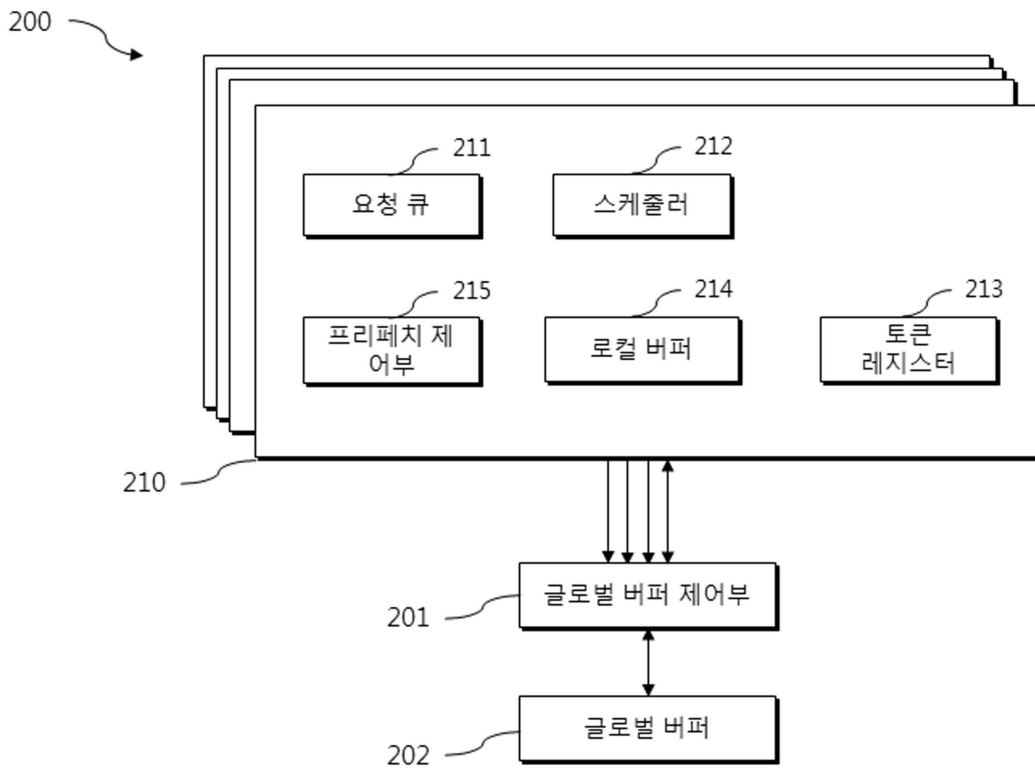
- [0096] 10: 메모리 셀 다이
- 11: 셀 파티션
- 20: 로직 다이
- 21: 로직 파티션
- 31: 볼트
- 200: 반도체 장치
- 210: 볼트 컨트롤러
- 211: 요청 큐
- 212: 스케줄러
- 213: 토큰 레지스터
- 214: 로컬 버퍼
- 215: 프리페치 제어부
- 216: 쓰기 버퍼 제어부
- 201: 글로벌 버퍼 제어부
- 202: 글로벌 버퍼

도면

도면1




도면2



도면3

214




VALID	ADDRESS	DATA

⋮

도면4

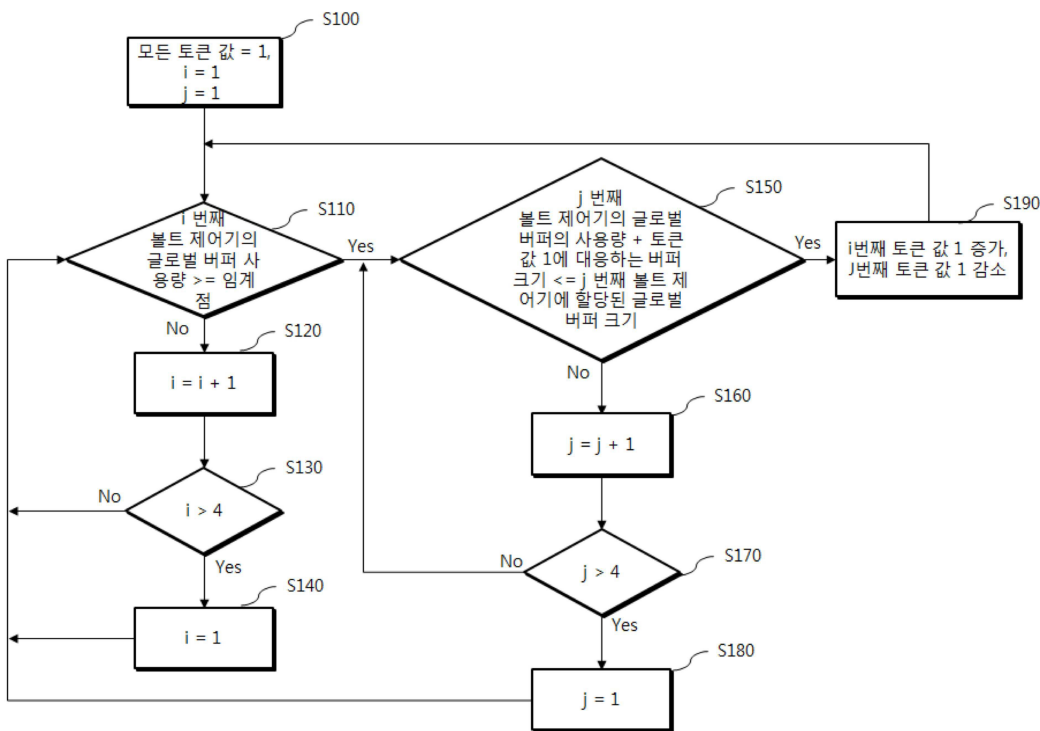
202



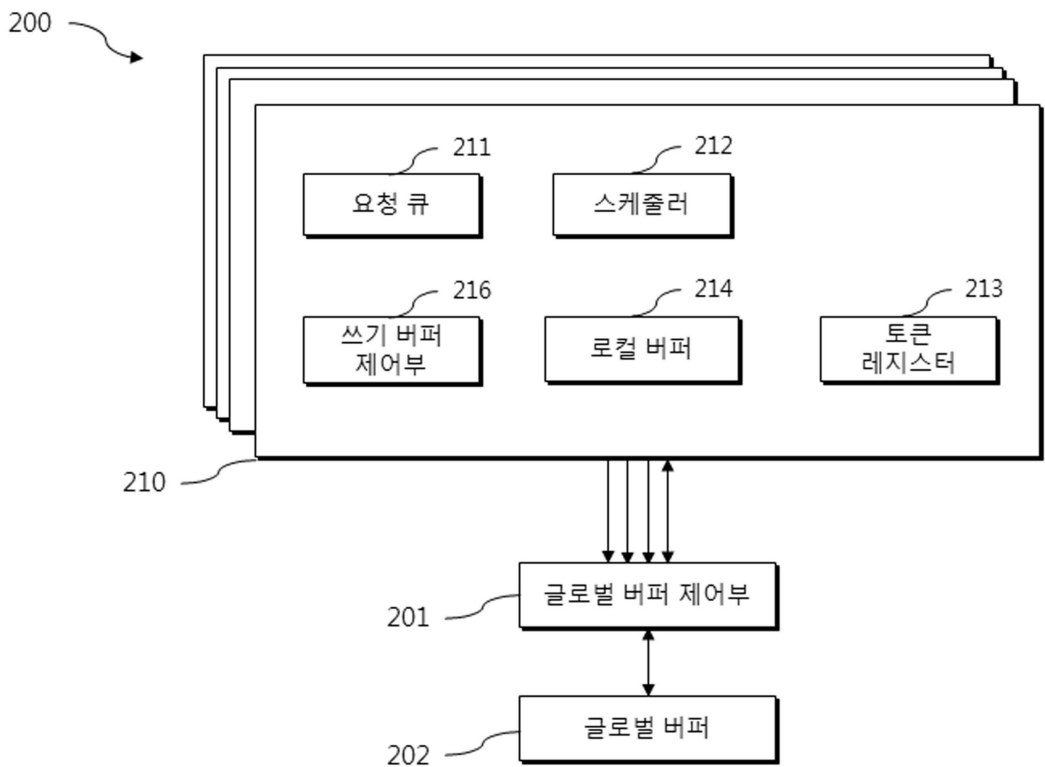
VALID	VAULT	ADDRESS	DATA

⋮

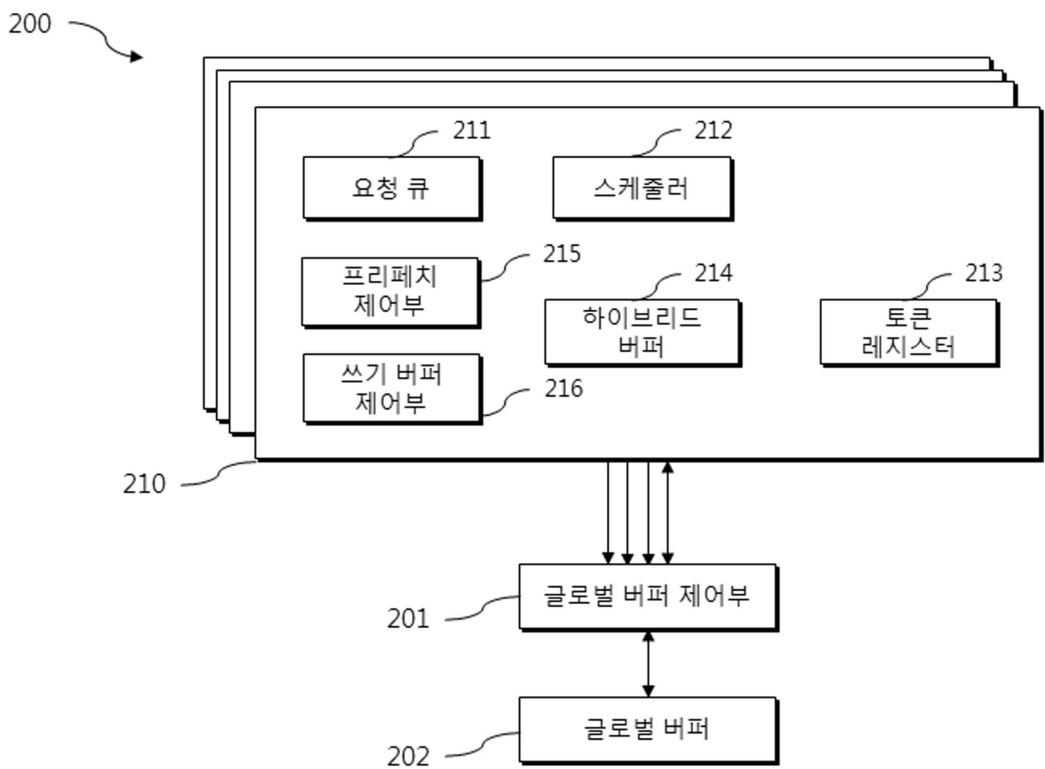
도면5



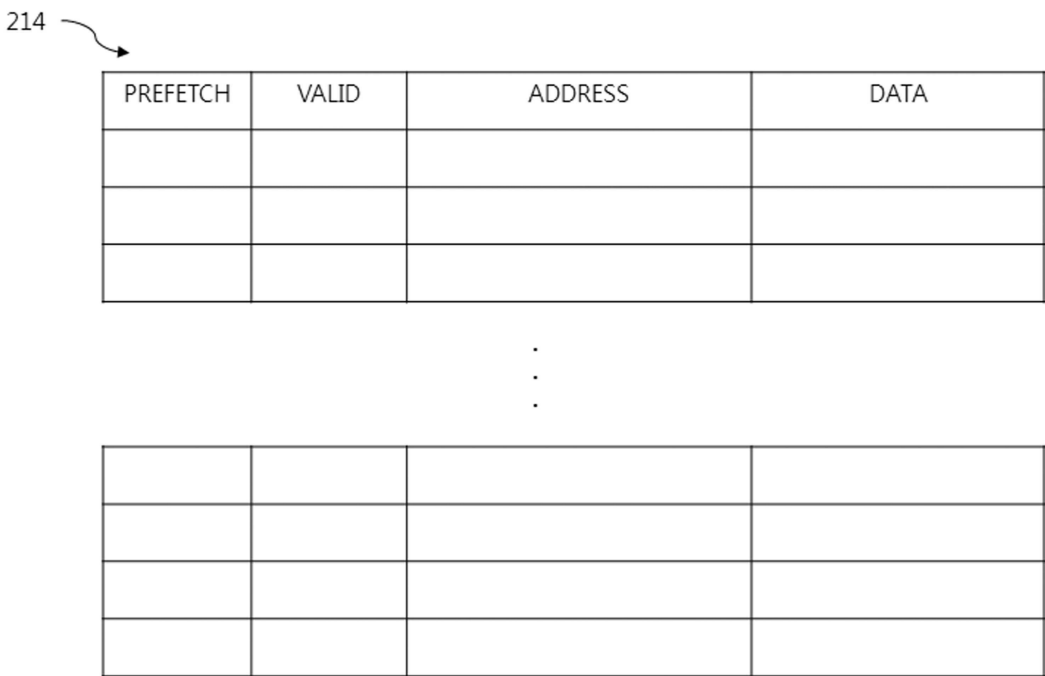
도면6



도면7



도면8



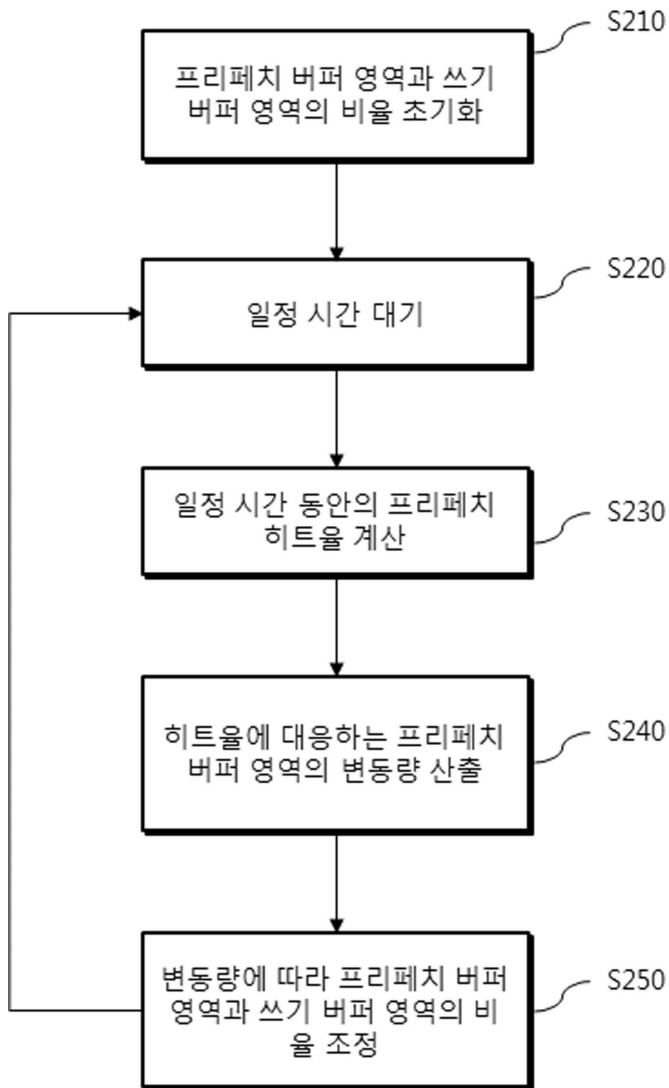
도면9

202

PREFETCH	VALID	VAULT	ADDRESS	DATA

·
·
·

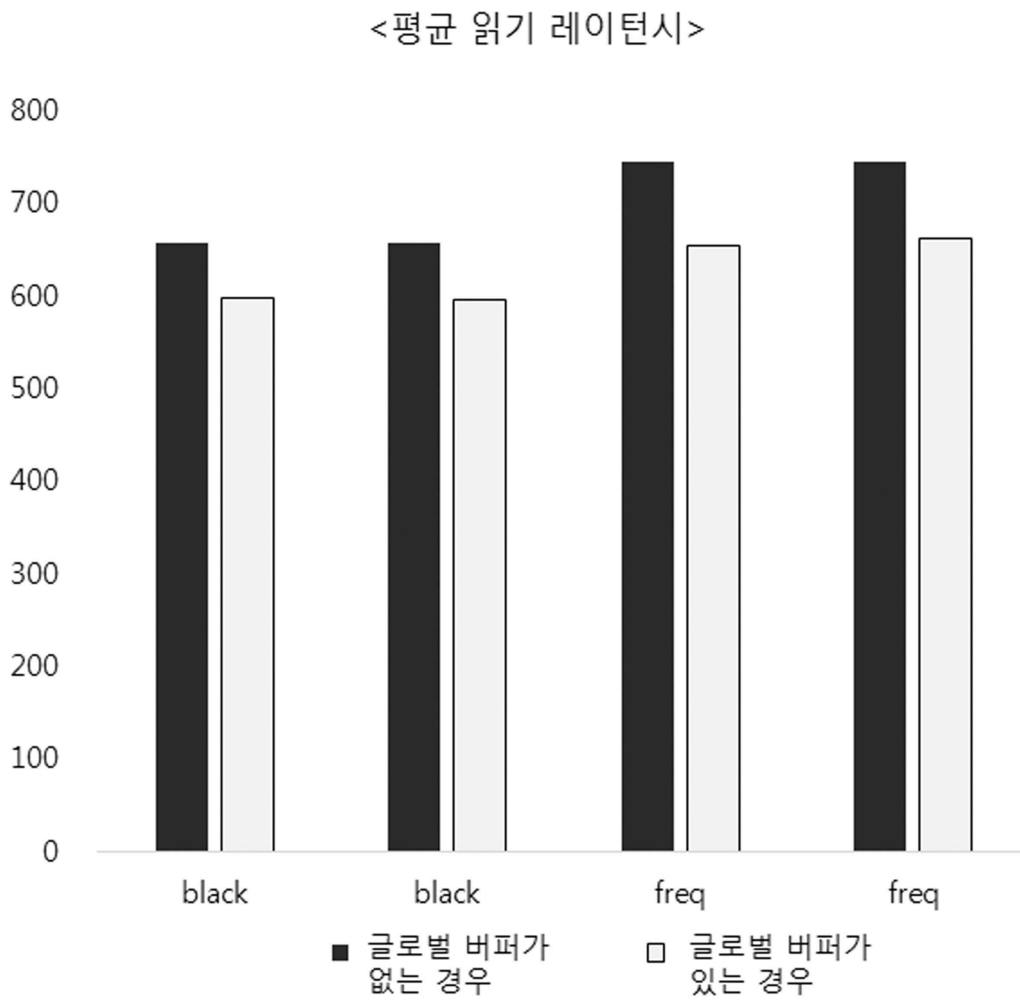
도면10



도면11

프리페치 히트율(PE)	쓰기 버퍼 영역의 비율	프리페치 버퍼 영역의 비율
$85\% < PE \leq 100\%$	4/8	4/8
$50\% < PE \leq 85\%$	5/8	3/8
$25\% < PE \leq 50\%$	6/8	2/8
$PE \leq 25\%$	7/8	1/8

도면12



도면13

