



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월24일  
(11) 등록번호 10-2147149  
(24) 등록일자 2020년08월18일

(51) 국제특허분류(Int. Cl.)  
H01L 21/027 (2006.01) H01L 21/02 (2006.01)  
H01L 21/033 (2006.01) H01L 21/28 (2006.01)  
H01L 21/3065 (2006.01)  
(52) CPC특허분류  
H01L 21/0274 (2013.01)  
H01L 21/02172 (2013.01)  
(21) 출원번호 10-2018-0066670  
(22) 출원일자 2018년06월11일  
심사청구일자 2018년06월11일  
(65) 공개번호 10-2019-0140188  
(43) 공개일자 2019년12월19일  
(56) 선행기술조사문헌  
KR1020140115353 A\*  
KR1020180060983 A\*  
US20160254191 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
연세대학교 산학협력단  
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)  
오일권  
경기도 군포시 금산로 91, 126동 2002호 (산본동, 래미안하이어스)  
(72) 발명자  
오일권  
경기도 군포시 금산로 91, 126동 2002호 (산본동, 래미안하이어스)  
김형준  
서울특별시 영등포구 국제금융로 79, E동 201호(여의도동, 한양아파트)  
최태진  
서울특별시 서대문구 연세로 50 연세대학교 공학원 225D호  
(74) 대리인  
특허법인(유한) 대아

전체 청구항 수 : 총 17 항

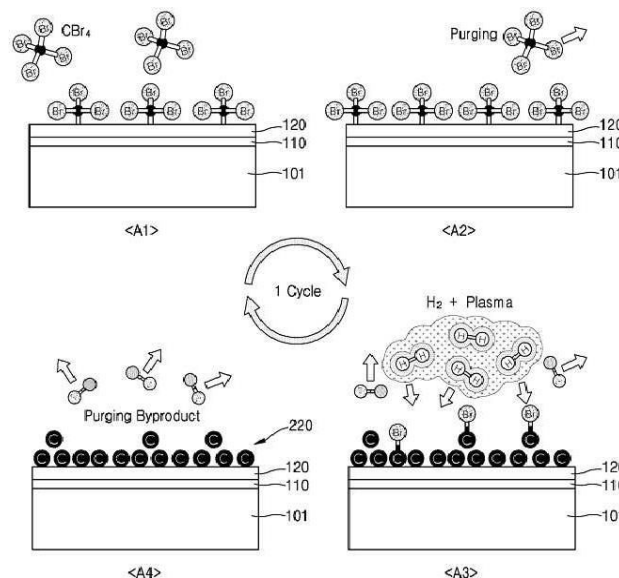
심사관 : 윤지영

(54) 발명의 명칭 반도체 소자의 제조 방법

(57) 요약

상기 반도체 소자의 제조 방법은, 식각 대상층 상에 희생막 패턴을 형성하고, 상기 희생막 패턴의 양측벽에 제1 스페이서를 형성하는 단계, 상기 희생막 패턴을 제거하고, 상기 제1 스페이서의 양측벽에 제2 스페이서를 형성하는 단계, 상기 제1 스페이서를 제거하고, 상기 제2 스페이서의 양측벽에 제3 스페이서를 형성하는 단계, 및 상기 제2 스페이서를 제거하고, 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함한다.

대표도



(52) CPC특허분류

*H01L 21/02205* (2013.01)

*H01L 21/02274* (2013.01)

*H01L 21/0228* (2013.01)

*H01L 21/0337* (2013.01)

*H01L 21/28141* (2013.01)

*H01L 21/3065* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

식각 대상층 상에 희생막 패턴을 형성하고, 상기 희생막 패턴의 양측벽에 제1 스페이서를 형성하는 단계;

상기 희생막 패턴을 제거하고, 상기 제1 스페이서의 양측벽에 제2 스페이서를 형성하는 단계;

상기 제1 스페이서를 제거하고, 상기 제2 스페이서의 양측벽에 제3 스페이서를 형성하는 단계; 및

상기 제2 스페이서를 제거하고, 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함하며,

상기 제2 스페이서를 형성하는 단계는, ACL(Amorphous Carbon Layer) ALD 공정을 이용하여 상기 제2 스페이서를 형성하되, 상기 ACL ALD 공정은 100℃ 이하의 저온에서 수행되며,

상기 ACL ALD 공정은, 탄소 전구체와 플라즈마를 이용하여 상기 제2 스페이서를 형성하는 반도체 소자의 제조 방법.

#### 청구항 2

제1 항에 있어서,

상기 제1 내지 제3 스페이서는, 각각 서로 다른 물질로 구성되는 반도체 소자의 제조 방법.

#### 청구항 3

제1 항에 있어서

상기 제2 스페이서는, 상기 제1 스페이서에 대해 식각 선택비를 갖는 물질을 포함하고,

상기 제3 스페이서는, 상기 제2 스페이서에 대해 식각 선택비를 갖는 물질을 포함하는 반도체 소자의 제조 방법.

#### 청구항 4

제1 항에 있어서

상기 제1 스페이서는, 실리콘 산화물을 포함하고,

상기 제2 스페이서는, 비정질 탄소층(Amorphous Carbon Layer; ACL)를 포함하고,

상기 제3 스페이서는, 금속 산화물(Metal Oxide)을 포함하는 반도체 소자의 제조 방법.

#### 청구항 5

제1 항에 있어서

상기 제3 스페이서는, TiO<sub>2</sub>, HfO<sub>2</sub>, 또는 ZrO<sub>2</sub>를 포함하는 반도체 소자의 제조 방법.

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

제1 항에 있어서,

상기 탄소 전구체는, 브롬화 탄소 전구체를 포함하는 반도체 소자의 제조 방법.

#### 청구항 9

제1 항에 있어서,

상기 플라즈마는, RF(Radio Frequency), 또는 상기 RF 보다 높은 주파수의 VHF(Very High Frequency) 소스를 이용하여 생성되는 수소 플라즈마를 포함하는 반도체 소자의 제조 방법.

#### 청구항 10

제1 항에 있어서,

상기 제3 스페이서를 형성하는 단계는, PE(Plasma Enhanced) ALD 공정을 이용하여 상기 제3 스페이서를 형성하는 것을 포함하는 반도체 소자의 제조 방법.

#### 청구항 11

제10 항에 있어서,

상기 PE ALD 공정은, RF(Radio Frequency), 또는 상기 RF 보다 높은 주파수의 VHF(Very High Frequency) 소스를 이용하여 생성되는 플라즈마를 이용하는 반도체 소자의 제조 방법.

#### 청구항 12

순차적으로 형성되는 식각 대상층 및 하드마스크막 상에 희생막 패턴을 형성하고, 상기 희생막 패턴의 양측벽에 제1 스페이서를 형성하는 단계;

상기 희생막 패턴을 제거하고, 상기 제1 스페이서의 양측벽에 제2 스페이서를 형성하는 단계;

상기 제1 스페이서를 제거하고, 상기 제2 스페이서를 식각 마스크로 상기 하드마스크막을 식각하여 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴의 양측벽에 제3 스페이서를 형성하는 단계; 및

상기 하드마스크 패턴을 제거하고, 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함하는

반도체 소자의 제조 방법.

#### 청구항 13

제12 항에 있어서,

상기 제1 내지 제3 스페이서는, 각각 서로 다른 물질로 구성되는 반도체 소자의 제조 방법.

#### 청구항 14

제12 항에 있어서

상기 제2 스페이서는, 상기 제1 스페이서에 대해 식각 선택비를 갖는 물질을 포함하고,

상기 제3 스페이서는, 상기 식각 마스크에 대해 식각 선택비를 갖는 물질을 포함하는 반도체 소자의 제조 방법.

#### 청구항 15

제12 항에 있어서

상기 제1 스페이서는, 실리콘 산화물을 포함하고,

상기 제2 스페이서는, 비정질 탄소층(Amorphous Carbon Layer; ACL)를 포함하고,

상기 제3 스페이서는, 금속 산화물(Metal Oxide)을 포함하는 반도체 소자의 제조 방법.

#### 청구항 16

제12 항에 있어서,

상기 제2 스페이서를 형성하는 단계는, ACL(Amorphous Carbon Layer) ALD 공정을 이용하여 상기 제2 스페이서를 형성하는 것을 포함하는 반도체 소자의 제조 방법.

#### 청구항 17

제16 항에 있어서,

상기 ACL ALD 공정은, 탄소 전구체와 플라즈마를 이용하여 상기 제2 스페이서를 형성하는 반도체 소자의 제조 방법.

#### 청구항 18

제17 항에 있어서,

상기 탄소 전구체는, 브롬화 탄소 전구체를 포함하는 반도체 소자의 제조 방법.

#### 청구항 19

제12 항에 있어서,

상기 제3 스페이서를 형성하는 단계는, PE(Plasma Enhanced) ALD 공정을 이용하여 상기 제3 스페이서를 형성하는 것을 포함하는 반도체 소자의 제조 방법.

### 발명의 설명

### 기술 분야

본 발명은 반도체 소자의 제조 방법에 관한 것이다.

[0001]

## 배경 기술

- [0003] 최근 정보 매체의 급속한 보급에 따라 반도체 장치의 기능도 비약적으로 발전하고 있다. 최근의 반도체 제품들의 경우, 경쟁력 확보를 위해 낮은 비용, 고품질을 위해 제품의 고집적화가 요구된다. 고집적화를 위해, 반도체 장치는 스케일링 다운이 진행되고 있다.
- [0004] 반도체 장치의 집적도가 증가됨에 따라, 반도체 장치의 구성 요소들에 대한 디자인 룰(design rule)이 감소되고 있다. 반도체 장치의 고집적화 경향에 대응한 미세 패턴의 반도체 장치를 제조하는 데 있어서, 포토 리소그래피(photolithography) 장비의 해상도 한계를 초월하는 미세한 선폭을 가지는 패턴들을 구현하는 것이 요구된다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명이 해결하려는 과제는, 서로 다른 물질로 구성된 스페이서를 마스크로 이용하는 OPT(Octuple Patterning Technology; 이하, OPT) 공정으로 미세한 선폭의 라인 패턴들을 형성할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.
- [0007] 또한, 본 발명이 해결하려는 과제는, 반복되는 하드마스크 식각 공정을 생략하여 미세한 선폭의 라인 패턴을 형성할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.
- [0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

### 과제의 해결 수단

- [0010] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 제조 방법의 일 태양(aspect)은 식각 대상층 상에 희생막 패턴을 형성하고, 상기 희생막 패턴의 양측벽에 제1 스페이서를 형성하는 단계, 상기 희생막 패턴을 제거하고, 상기 제1 스페이서의 양측벽에 제2 스페이서를 형성하는 단계, 상기 제1 스페이서를 제거하고, 상기 제2 스페이서의 양측벽에 제3 스페이서를 형성하는 단계, 및 상기 제2 스페이서를 제거하고, 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함한다.
- [0011] 또한, 상기 제1 내지 제3 스페이서는, 각각 서로 다른 물질로 구성될 수 있다.
- [0012] 또한, 상기 제2 스페이서는, 상기 제1 스페이서에 대해 식각 선택비를 갖는 물질을 포함하고, 상기 제3 스페이서는, 상기 제2 스페이서에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0013] 또한, 상기 제1 스페이서는, 실리콘 산화물을 포함하고, 상기 제2 스페이서는, 비정질 탄소층(Amorphous Carbon Layer; ACL)을 포함하고, 상기 제3 스페이서는, 금속 산화물(Metal Oxide)을 포함할 수 있다.
- [0014] 또한, 상기 제3 스페이서는,  $TiO_2$ ,  $HfO_2$ , 또는  $ZrO_2$ 를 포함할 수 있다.
- [0015] 또한, 상기 제2 스페이서를 형성하는 단계는, ACL(Amorphous Carbon Layer) ALD 공정을 이용하여 상기 제2 스페이서를 형성하는 것을 포함할 수 있다.
- [0016] 또한, 상기 ACL ALD 공정은, 탄소 전구체와 플라즈마를 이용하여 상기 제2 스페이서를 형성할 수 있다.
- [0017] 또한, 상기 탄소 전구체는, 브롬화 탄소 전구체를 포함할 수 있다.
- [0018] 또한, 상기 플라즈마는, RF(Radio Frequency), 또는 상기 RF 보다 높은 주파수의 VHF(Very High Frequency) 소스를 이용하여 생성되는 수소 플라즈마를 포함할 수 있다.
- [0019] 또한, 상기 제3 스페이서를 형성하는 단계는, PE(Plasma Enhanced) ALD 공정을 이용하여 상기 제3 스페이서를 형성하는 것을 포함할 수 있다.
- [0021] 또한, 상기 PE ALD 공정은, RF(Radio Frequency), 또는 상기 RF 보다 높은 주파수의 VHF(Very High Frequency) 소스를 이용하여 생성되는 플라즈마를 이용할 수 있다.
- [0022] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 제조 방법의 다른 태양은, 순차적으로 형성되는 식각 대상층 및 하드마스크막 상에 희생막 패턴을 형성하고, 상기 희생막 패턴의 양측벽에 제1 스페이서를 형성하는 단계, 상기 희생막 패턴을 제거하고, 상기 제1 스페이서의 양측벽에 제2 스페이서를 형성하는 단계, 상기 제1 스페이서를 제거하고, 상기 제2 스페이서의 양측벽에 제3 스페이서를 형성하는 단계, 및 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함한다.

페이서를 제거하고, 상기 제2 스페이서를 식각 마스크로 상기 하드마스크막을 식각하여 하드마스크 패턴을 형성하는 단계, 상기 하드마스크 패턴의 양측벽에 제3 스페이서를 형성하는 단계, 및 상기 하드마스크 패턴을 제거하고, 상기 제3 스페이서를 식각 마스크로 상기 식각 대상층을 식각하여 패턴을 형성하는 단계를 포함한다.

- [0023] 또한, 상기 제1 내지 제3 스페이서는, 각각 서로 다른 물질로 구성될 수 있다.
- [0024] 또한, 상기 제2 스페이서는, 상기 제1 스페이서에 대해 식각 선택비를 갖는 물질을 포함하고, 상기 제3 스페이서는, 상기 식각 마스크에 대해 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0025] 또한, 상기 제1 스페이서는, 실리콘 산화물을 포함하고, 상기 제2 스페이서는, 비정질 탄소층(Amorphous Carbon Layer; ACL)을 포함하고, 상기 제3 스페이서는, 금속 산화물(Metal Oxide)을 포함할 수 있다.
- [0026] 또한, 상기 제2 스페이서를 형성하는 단계는, ACL(Amorphous Carbon Layer) ALD 공정을 이용하여 상기 제2 스페이서를 형성하는 것을 포함할 수 있다.
- [0027] 또한, 상기 ACL ALD 공정은, 탄소 전구체와 플라즈마를 이용하여 상기 제2 스페이서를 형성할 수 있다.
- [0028] 또한, 상기 탄소 전구체는, 브롬화 탄소 전구체를 포함할 수 있다.
- [0029] 또한, 상기 제3 스페이서를 형성하는 단계는, PE(Plasma Enhanced) ALD 공정을 이용하여 상기 제3 스페이서를 형성하는 것을 포함할 수 있다.
- [0030] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

### 발명의 효과

- [0032] 본 발명의 반도체 소자의 제조 방법은, 서로 다른 물질로 구성된 스페이서를 마스크로 이용하는 OPT 공정을 통하여 미세한 선폭의 라인 패턴들을 형성할 수 있다. 본 발명은 높은 물리적 강도와 고식각 선택비의 스페이서를 이용함으로써, 안정적인 라인 패턴을 구현할 수 있다. 또한, 반도체 소자의 라인 패턴에 대한 선폭의 불균일도(Critical Dimension Non-Uniformity; 이하, CDNU), 패턴 표면의 거칠기(Line Edge Roughness; 이하, LER), 및 패턴 너비 거칠기(Line Width Roughness; 이하, LWR) 특성은 개선될 수 있다.
- [0033] 또한, 본 발명의 반도체 소자의 제조 방법은, 반복되는 하드마스크 식각 공정을 생략함으로써, 미세한 선폭의 라인 패턴을 형성하는데 필요한 공정수를 획기적으로 감소시킬 수 있다.
- [0034] 상술한 효과와 더불어 본 발명의 구체적인 효과는 이하 발명을 실시하기 위한 구체적인 사항을 설명하면서 함께 기술한다.

### 도면의 간단한 설명

- [0036] 도 1a 내지 도 1m은 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.  
도 2a 내지 도 2m은 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

- [0037] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0038] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0039] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션

일 수도 있음은 물론이다.

- [0040] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0041] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0042] 참고로, SPT(Spacer Patterning Technology) 공정은 포지티브(Positive) SPT 공정과 네가티브(Negative) SPT 공정이 있다. 포지티브 SPT 공정은 스페이서 패턴을 그대로 패터닝을 위한 하드마스크로 사용하는 공정이며, 네가티브 SPT 공정은 스페이서 패턴 사이에 절연물질을 매립하고, 스페이서 패턴을 제거한 후 매립된 절연물질을 패터닝을 위한 하드마스크로 사용하는 공정이다.
- [0043] 네가티브 SPT 공정을 적용하면 마스크 공정을 줄일 수 있으나, 최종 라인 선포 균일도(Line Critical Dimension Uniformity)가 낮아서 활성영역의 CDU(Critical Dimension Uniformity)가 저하된다. 따라서, 본 발명의 몇몇 실시예는 CDU개선을 위해 포지티브 SPT 공정을 적용하는 것을 예로 들어 설명하도록 한다.
- [0044] 이하에서, 도 1a 내지 도 1m를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 소자의 제조 방법에 대해 설명한다.
- [0046] 도 1a 내지 도 1m은 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.
- [0047] 도 1a을 참조하면, 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법에서, 식각 대상층(100) 상에는 희생막 패턴(130)이 형성된다.
- [0048] 식각 대상층(100)에는 반도체 회로에 필요한 패턴(예를 들어, 라인 패턴과 같은 미세 패턴)이 형성된다. 식각 대상층(100)은 단일 레이어 또는 복수 개의 레이어로 구성될 수 있다.
- [0049] 예를 들어, 식각 대상층(100)은 기판과, 기판을 식각하기 위한 식각마스크로 이용되는 피식각층(예를 들어, 하드마스크층), 및 기판과 피식각층 상에 배치되는 산화막, 절연막, 식각 정지막, 또는 반사 방지막 등으로 구성될 수 있다.
- [0050] 이하에서는, 식각 대상층(100)이 기판(101), 식각 정지막(110) 및 실리콘 산화막(120)으로 구성되는 것을 예로 들어 설명하도록 한다.
- [0051] 구체적으로, 기판(101)은 실리콘 식각 대상층, 벌크 실리콘 또는 SOI(silicon-on-insulator)로 구성될 수 있다. 또한, 예를 들어, 기판(101)은 게르마늄과 같은 원소 반도체, 또는 IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체와 같은 화합물 반도체를 포함할 수 있다. 추가로, 기판(101)은 베이스 식각 대상층 상에 에피층이 형성된 것일 수도 있다.
- [0052] IV-IV족 화합물 반도체를 예로 들면, 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn) 중 적어도 2개 이상을 포함하는 이원계 화합물(binary compound), 삼원계 화합물(ternary compound) 또는 이들에 IV족 원소가 도핑된 화합물일 수 있다.
- [0053] III-V족 화합물 반도체를 예로 들면, III족 원소로 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0054] 식각 정지막(110)은 기판(101)의 상면을 덮도록 형성된다.
- [0055] 식각 정지막(110)은 금속 산화물(metal oxide), 금속 산질화물(metal oxynitride), 금속 실리콘 산화물, 또는 금속 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0056] 식각 정지막(110)은 식각 대상층(100) 상에 금속 산화물, 금속 산질화물, 금속 실리콘 산화물, 또는 금속 실리콘 산질화물 중 적어도 하나를 증착(deposition)하여 형성할 수 있다. 예를 들어, 식각 정지막(110)은 물리 기상 증착 공정(Physical Vapor Deposition Process: PVD), 화학 기상 증착 공정(Chemical Vapor Deposition



Process: CVD), 원자층 증착법(Atomic Layer Deposition: ALD) 또는 이들의 조합으로 형성될 수 있다

- [0057] 또한, 식각 정지막(110)은 금속 캡핑막(미도시)을 산화시켜 형성할 수 있다. 예컨대, 식각 정지막(110)은 금속 캡핑막(미도시)의 일부가 산화되어 형성될 수 있지만, 본 발명이 이에 제한되지 않는다.
- [0058] 실리콘 산화막(120)은 식각 정지막(110)의 상면을 덮도록 형성된다.
- [0059] 실리콘 산화막(120)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 산질화물( $\text{SiON}$ ), 실리콘 질화물( $\text{SixNy}$ ), TEOS(TetraEthylOrthoSilicate) 또는 다결정질 실리콘 등과 같은 실리콘 함유 물질 중 적어도 하나를 포함할 수 있다. 다만, 이는 하나의 예시에 불과하고, 본 발명이 이에 한정되는 것은 아니다.
- [0060] 다만, 이는 하나의 예시에 불과하며, 식각 대상층(100)에서 식각 정지막(110) 및 실리콘 산화막(120)은 생략되어 실시될 수 있으며, 식각 대상층(100)에는 추가적인 피식각층(예를 들어, 하드마스크층) 또는 기타 레이어가 포함되어 실시될 수 있다.
- [0061] 희생막 패턴(130)은 실리콘 산화막(120) 상에 형성되며, 식각 대상층(100)의 일부에만 오버랩되도록 형성된다. 희생막 패턴(130)은 후속 스페이서 패턴을 형성하기 위한 피식각층으로 이용되며, 쉽게 제거할 수 있는 물질로 형성된다. 예를 들어, 희생막 패턴(130)은 포토레지스트(Photoregist; PR) 또는 실리콘나이트라이드(Silicon Nitride;  $\text{Si}_3\text{N}_4$ )로 형성될 수 있다. 다만, 이는 하나의 예시에 불과하고, 본 발명이 이에 한정되는 것은 아니다.
- [0062] 희생막 패턴(130)은 후속 공정에서 맨드릴로써 이용될 수 있으며, 실리콘 산화막(120)과 식각 선택비를 갖는 물질을 포함할 수 있다.
- [0063] 예를 들어, 희생막 패턴(130)은 실리콘 산화막(120)과 식각 선택비를 갖는 다결정질 실리콘, ACL(amorphous carbon layer) 또는 SOH(Spin-On Hardmask) 중 하나를 포함할 수 있다.
- [0064] 도면에 명확히 도시하지는 않았으나, 희생막 패턴(130)은 실리콘 산화막(120) 상에 감광층(미도시)을 덮고, 사진 식각 공정(photolithography process)을 통해, 실리콘 산화막(120)의 일부를 노출시키는 희생막 패턴(130)을 형성할 수 있다.
- [0065] 또한, 도 1a에서, 희생막 패턴(130)은 단일층인 것으로 도시하였지만, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다.
- [0066] 즉, 희생막 패턴(130)은 사진 식각 공정 시에 하부막질에 의한 빛의 반사를 방지하기 위한 반사 방지층을 포함할 수 있다. 반사 방지층은 예를 들어, BARC(Bottom Anti-Reflective Coating) 또는 dBARC(developable Bottom Anti-Reflective Coating)을 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0068] 도 1b를 참조하면, 희생막 패턴(130) 상에는 희생막 패턴(130)을 덮는 제1 스페이서층(210)이 형성된다.
- [0069] 제1 스페이서층(210)은 희생막 패턴(130)의 상면과 측면, 그리고, 실리콘 산화막(120)의 상면을 덮도록 형성된다.
- [0070] 이때, 제1 스페이서층(210)은 ALD 공정을 통해 형성될 수 있다.
- [0072] 제1 스페이서층(210)은 희생막 패턴(130)과 식각 선택비를 갖는 물질을 포함할 수 있다. 예를 들어, 제1 스페이서층(210)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 산질화물( $\text{SiON}$ ), 실리콘 질화물( $\text{SixNy}$ ), TEOS(TetraEthylOrthoSilicate) 또는 다결정질 실리콘 등과 같은 실리콘 함유 물질을 포함할 수 있다. 이때, 제1 스페이서층(210)은 희생막 패턴(130)과 서로 다른 조성을 가짐으로써, 희생막 패턴(130)과 식각 선택비를 가질 수 있다.
- [0073] 또한, 제1 스페이서층(210)은 균일한 선평의 패턴을 형성하기 위해 높은 피복성(Step coverage)을 갖도록 형성하는 것이 바람직하다. 따라서, 제1 스페이서층(210)은 높은 피복성을 위해 원자층 증착법(Atomic Layer Deposition)을 적용할 수 있다. 다만, 이는 하나의 예시에 불과하며, 제1 스페이서층(210)은 다양한 공정 방식을 통하여 형성될 수 있다.
- [0074] 이때, 제1 스페이서층(210)은 희생막 패턴(130)과 실리콘 산화막(120) 상에 균일한 두께를 갖도록 형성될 수 있다.
- [0076] 도 1c를 참조하면, 제1 스페이서층(210)의 적어도 일부가 식각됨에 따라, 제1 스페이서(212, 214)가 형성된다. 이때, 제1 스페이서층(210)의 식각은 에치백으로 진행할 수 있으며, 실리콘 산화막(120)의 표면 및 희생막 패

턴(130)의 상면이 오픈되는 것을 타겟으로 식각을 진행한다.

- [0077] 제1 스페이서층(210)의 식각을 통해, 희생막 패턴(130)의 상면과 실리콘 산화막(120)의 상면의 일부가 노출된다.
- [0078] 제1 스페이서층(210)은 이방성(anisotropy) 식각이 이루어진다. 이때, 제1 스페이서층(210)은 플라즈마 식각을 이용하여 상면으로부터 일정 깊이만큼 식각될 수 있다. 플라즈마 식각의 경우는 측면 방향인 x방향의 식각 속도와 저면 방향인 z 방향의 식각 속도가 같은 속도로 진행이 되는 등방성 식각과 달리 z방향의 식각 속도가 x방향의 식각 속도보다 빠른 비등방성 식각, 즉 이방성 식각이 된다. 다만, 이는 하나의 예시에 불과하고, 본 발명이 이에 한정되는 것은 아니다.
- [0080] 도 1d를 참조하면, 제1 스페이서(212, 214)의 사이에 배치되는 희생막 패턴(130)은 제거된다.
- [0081] 희생막 패턴(130)은 제1 스페이서(212, 214)와 식각 선택비를 가지므로, 식각 공정 내에서 희생막 패턴(130)만이 제거될 수 있다.
- [0082] 이에 따라, 제1 스페이서(212, 214) 사이에 위치한 실리콘 산화막(120)의 상면이 노출된다.
- [0084] 도 1e를 참조하면, 실리콘 산화막(120)과 제1 스페이서(212, 214)의 상면을 덮는 제2 스페이서층(220)이 형성된다.
- [0085] 제2 스페이서층(220)은 실리콘 산화막(120)의 상면과, 제1 스페이서(212, 214)의 측면 및 상면을 덮도록 균일하게(conformal) 형성된다.
- [0086] 이때, 제2 스페이서층(220)은 제1 스페이서층(210)과 다른 물질로 형성될 수 있다.
- [0087] 제2 스페이서층(220)은 ACL(Amorphous Carbon Layer) ALD(Atomic Layer Deposition, 이하, ACL ALD) 공정을 통해 형성된다.
- [0088] 종래의 멀티 패터닝 공정에서 사용하는 400 ° C 이상의 CVD(chemical vapor deposition; 이하 CVD) 공정에서는 저온/고단차 피복이 불가능한 문제점이 있었다.
- [0089] 이러한 문제점을 해결하기 위해, 패턴 두께의 균일도 및 단차 피복성이 우수한 저온/고단차 피복성의 새로운 ACL ALD 공정이 제2 스페이서층(220)을 형성하는데 이용된다.
- [0090] 여기에서, ACL ALD 공정은 탄소 전구체를 이용하며, 플라즈마 처리 또는 자외선 처리, 저온 식각 대상층 처리 등을 통해 ACL의 핵 성장을 제어함으로써, 제2 스페이서층(220)을 형성한다.
- [0091] 이하에서는 ACL ALD 공정을 통한 제2 스페이서층(220)의 제조 방법을 구체적으로 설명하도록 한다.
- [0093] 도 1f는 도 1e의 제2 스페이서층(220)의 제조 방법을 설명하기 위한 도면이다.
- [0094] 도 1f를 참조하면, 우선 <A1> 단계에서, 브롬화탄소 전구체(예를 들어, CBr<sub>4</sub>)를 인입하여, 실리콘 산화막(120)(또는, 식각 대상층(100)) 상에 증착시킨다.
- [0095] 여기에서, 브롬화탄소 전구체를 예로 들어 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, CnXy, CnHyXz (X=Br, Cl) 등의 다양한 탄소 전구체 후보군이 이용될 수 있다.
- [0096] 이어서, <A2> 단계에서 증착되지 않은 브롬화탄소 전구체의 일부를 배기(purging) 시킨다.
- [0097] 이어서, <A3> 단계에서, 수소(H<sub>2</sub>) 분위기에서, 플라즈마를 인가하는 PE(Plasma Enhanced)-ALD 공정을 통해 탄소(C)를 반도체 소자의 표면 상에 증착시켜 ACL 박막을 형성한다.
- [0098] 이어서, <A4> 단계에서, PE-ALD 공정에서 나온 부산물(Byproduct)을 배기(purging) 시킨다.
- [0099] 다만, 본 발명이 이에 한정되는 것은 아니며, PE-ALD 공정에서 이용되는 플라즈마 가스 종류, 전력, 인가되는 전원의 RF 주파수 등의 조절을 통해, ACL 박막 내 sp<sup>2</sup>, sp<sup>3</sup> 결합의 비율에 따른 물리적 강도, 박막 밀도, 식각 선택비 등의 ACL 물성을 조절할 수 있다.
- [0100] 특히, 실리콘 산화막(120)(또는, 식각 대상층(100))과 ACL 박막 간에 스트레스(stress)를 최소화하기 위해 100 ° C 이하의 저온 ACL ALD 공정이 이용될 수 있다.
- [0101] 예를 들어, PE-ALD 공정에서 이용되는 플라즈마는, RF(Radio Frequency) 또는 VHF(Very High Frequency) 소스

를 이용하여 생성되는 수소 플라즈마를 포함할 수 있다. 여기에서, VHF 소스는 60MHz 이상의 주파수를 갖는 전원을 포함한다. 다만, 이는 하나의 예시에 불과하며, 본 발명이 이에 한정되는 것은 아니다.

- [0102] 이렇게 생성된 제2 스페이서층(220)은 높은 물리적 강도와 식각 선택비로 인하여, 제1 스페이서(212, 214)를 제거하는 후속 공정에서 안정적인 패턴을 유지할 수 있다.
- [0103] 또한, 제2 스페이서층(220)을 구성하는 ACL은 산소 플라즈마로 매우 쉽게 식각되므로, 다음 패턴닝 단계에서 잔여 ACL 패턴도 깨끗하게 제거될 수 있다.
- [0104] 추가적으로, 본 발명에서 이용되는 ACL ALD 공정은 다양한 계산 및 모델링을 통해 공정 개발의 시간과 비용을 절감할 수 있다.
- [0105] 예를 들어, DFT(Density Functional Theory; 이하 DFT) 계산을 통해 식각 대상층과 전구체 사이의 표면 흡착 및 반응물과의 표면 반응 에너지를 계산함으로써 박막 성장 및 물성을 예측할 수 있다.
- [0106] 또한, 고단차 피복 공정을 위해 3차원 구조 종횡비 등 구조적 변수 및 전구체와 반응물의 노출 시간 및 압력 등의 조건에 따라 Molecular Dynamics (MD) 및 Monte Carlo 시뮬레이션을 진행함으로써 공정을 예측하고 이에 대한 결과를 실제 공정에 적용할 수 있다.
- [0107] 또한, MO 박막 내에 도펀트의 종류 및 농도에 따른 깁스 자유 에너지(Gibbs free energy)를 계산하고, 박막 스트레스, 결정성 등을 계산함으로써, 공정을 정밀하게 제어할 수 있다.
- [0108] 또한, 전구체-반응물 간의 반응 매커니즘을 인사이투(in-situ) 분석장비를 사용하여 식각 대상층 흡착 연구를 진행함으로써, 공정의 시간을 단축할 수 있다.
- [0109] 또한, 플라즈마 실시간 진단을 통해, 물질의 조성, 결합 상태, 밀도, 결정성, 거칠기와 물리적 강도 분석을 수행할 수 있다. 또한, 3차원 구조의 스페이서에 대한 격자 변형(lattice strain), 결정성 및 조성의 프로파일(profile) 분석을 통해, 식각 특성을 평가할 수 있으며, 식각 선택비 및 미세 패턴의 LER을 확인할 수 있다.
- [0111] 이어서, 도 1g를 참조하면, 제2 스페이서층(220)의 적어도 일부가 식각됨에 따라, 제2 스페이서(221, 223, 225, 227)가 형성된다.
- [0112] 이때, 제2 스페이서층(220)은 이방성 식각을 통해 일부가 식각된다. 마찬가지로, 제2 스페이서층(220)의 식각은 에치백으로 진행할 수 있으며, 제1 스페이서(212, 214)의 상면 및 실리콘 산화막(120)의 표면이 오픈되는 것을 타겟으로 식각을 진행한다.
- [0113] 제2 스페이서층(220)의 식각을 통해, 제1 스페이서(212, 214)의 상면과 실리콘 산화막(120)의 상면의 일부가 노출된다.
- [0115] 도 1h를 참조하면, 제2 스페이서(221, 223, 225, 227)의 사이에 배치되는 제1 스페이서(212, 214)가 제거된다.
- [0116] 이 경우, 비정질 탄소층(ACL)으로 구성된 제2 스페이서(221, 223, 225, 227)는 실리콘 산화물로 구성되는 제1 스페이서(212, 214)에 대해 고식각 선택비를 갖는다.
- [0117] 따라서, 식각 공정 내에서 제1 스페이서(212, 214)만이 선택적으로 제거될 수 있다. 제1 스페이서(212, 214)는 건식 또는 습식식각으로 제거될 수 있으며, 제거공정은 하부 식각 정지막(110)이 손실되지 않는 조건으로 진행하는 것이 바람직하다.
- [0118] 제1 스페이서(212, 214)의 제거 공정에서 실리콘 산화막(120)의 일부는 제1 스페이서(212, 214)와 함께 식각될 수 있다.
- [0119] 이때, 제2 스페이서(221, 223, 225, 227)의 하부에 배치된 실리콘 산화막(120)은 식각되지 않고 실리콘 산화막 패턴(125)을 형성하게 된다.
- [0120]
- [0121] 도 1i를 참조하면, 제2 스페이서(221, 223, 225, 227)의 상면 및 측면과, 식각 정지막(110)의 상면을 덮는 제3 스페이서층(310)이 형성된다. 제3 스페이서층(310)은 균일한 선폭의 패턴을 형성하기 위해 높은 피복성(Step coverage)을 갖도록 형성하는 것이 바람직하다. 따라서, 제3 스페이서층(310)은 높은 피복성을 위해 PE(Plasma Enhanced) 원자층 증착법(Atomic Layer Deposition)을 적용할 수 있다. 다만, 이는 하나의 예시에 불과하며, 제3 스페이서층(310)은 다양한 공정 방식을 통하여 형성될 수 있다.

- [0122] 제3 스페이스층(310)은 식각 정지막(110)의 상면과, 제 2 스페이스(221, 223, 225, 227)의 측면 및 상면을 덮도록 균일하게(conformal) 형성된다.
- [0123] 이때, 제3 스페이스층(310)은 제1 및 제2 스페이스층(210, 220)과 서로 다른 물질로 구성될 수 있다.
- [0124] 제3 스페이스층(310)은 금속 산화물(Metal Oxide)을 포함할 수 있다. 이때, 제3 스페이스층(310)을 구성하는 금속 산화물은 TiO<sub>2</sub>, HfO<sub>2</sub>, 또는 ZrO<sub>2</sub>를 포함할 수 있다.
- [0125] 상기 PE-ALD 공정에서 이용되는 플라즈마는, RF(Radio Frequency) 또는 VHF(Very High Frequency) 소스를 이용하여 생성되는 수소 플라즈마를 포함할 수 있다. 여기에서, VHF 소스는 60Mhz 이상의 주파수를 갖는 전원을 이용한다. 이를 통해, 제3 스페이스층(310)은 저온, 저손상, 고단차의 피복성을 가질 수 있다.
- [0126] 또한, 제3 스페이스층(310)을 형성하는 PE-ALD 공정에서는, 압력, 시간, 온도, 반응 기체, 도핑 원소의 종류 및 조성비를 변화시킴으로써, 식각 선택비와 물리적 강도를 제어할 수 있다.
- [0127] 구체적으로, VHF 플라즈마의 주파수, 바이어스, 주입 가스의 종류 등의 조절을 통하여, 최적화된 저온, 고단차 피복성의 금속 산화물 스페이스가 형성될 수 있다.
- [0128] 여기에서, 저온 공정으로 인해 저하된 소재의 물리적 특성은 도핑을 통해 개선 가능하다. 또한, 선폭 및 식각 불균일도를 야기시키는 식각 대상층의 거칠기는 도핑 기반의 박막 결정성 제어를 통해 완화시킬 수 있다.
- [0129] 이때, 제3 스페이스층(310)은 제2 스페이스(221, 223, 225, 227)에 대하여 고식각 선택비를 갖는다.
- [0131] 도 1j를 참조하면, 제3 스페이스층(310)의 적어도 일부가 식각됨에 따라, 제3 스페이스(311~318)가 형성된다.
- [0132] 이때, 제3 스페이스층(310)은 이방성 식각을 통해 일부가 식각된다. 제3 스페이스층(310)의 식각은 에치백으로 진행할 수 있으며, 제2 스페이스(221, 223, 225, 227)의 상면 및 식각정지막(110)의 표면이 오픈되는 것을 타겟으로 식각을 진행한다.
- [0133] 제3 스페이스층(310)의 식각을 통해, 제2 스페이스(221, 223, 225, 227)의 상면과 식각 정지막(110)의 상면의 일부가 노출된다.
- [0135] 도 1k를 참조하면, 제3 스페이스(311~318)의 사이에 배치되는 제2 스페이스(221, 223, 225, 227)와 실리콘 산화막 패턴(125)이 제거된다.
- [0136] 이 경우, 금속 산화물(MO)로 구성된 제3 스페이스(311~318)는 ACL로 구성되는 제2 스페이스(221, 223, 225, 227)에 대해 고식각 선택비를 갖는다.
- [0137] 따라서, 식각 공정 내에서 제2 스페이스(221, 223, 225, 227)만이 선택적으로 제거될 수 있다. 제2 스페이스(221, 223, 225, 227)는 건식 또는 습식식각으로 제거할 수 있으며, 제거공정은 하부 식각 정지막(110)이 손실되지 않는 조건으로 진행하는 것이 바람직하다.
- [0138] 또한, 별도의 추가적인 식각 공정을 통해, 실리콘 산화막 패턴(125)이 제거될 수 있다.
- [0139] 각각의 제3 스페이스(311~318)는 식각 정지막(110) 상에서 서로 이격되도록 배치되며, 7nm 이하의 스케일에서도 높은 물리적 강도를 갖는다.
- [0141] 도 1l을 참조하면, 제3 스페이스(311~318)를 마스크로 이용하여 식각 대상층(100)의 일부가 식각된다.
- [0142] 이때, 식각 대상층(100)은 이방성 식각을 통해 일부가 식각된다. 식각 대상층(100)의 식각은 에치백으로 진행할 수 있으며, 반도체 소자에서 요구되는 패턴의 소정 깊이가 형성되는 것을 타겟으로 식각을 진행한다.
- [0143] 이를 통해, 식각 대상층(100)의 기판(101)에는 패턴(F1~F8)이 형성된다.
- [0144] 이때, 패턴(F1~F8)은 다양한 형상으로 형성될 수 있다. 예를 들어, 패턴(F1~F8)은 일방향으로 평행하게 연장되는 라인 형상을 갖는 패턴, 일정한 기울기를 갖고 사선방향으로 연장되는 패턴, 또는 격자 형상으로 배치되어 서로 이격되는 패턴 등으로 형성될 수 있다.
- [0145] 또한, 패턴(F1~F8)은 고종횡비를 갖는 패턴을 포함할 수 있다. 예를 들어, 패턴은 커패시터의 스토리지 노드가 형성되는 영역을 포함한다. 또한, 패턴은 콘택플러그가 형성되는 콘택홀을 포함할 수 있다. 또한, 패턴(F1~F8)은 필라구조물이 매립될 영역을 포함할 수 있다. 또한, 패턴(F1~F8)은 소자분리막이 매립될 트렌치를 포함할 수 있고, 이에 따라 활성영역을 형성할 수 있다. 또한, 각각의 패턴(F1~F8)은 트랜지스터의 액티브 영역으로 이용

될 수 있다.

- [0146] 제3 스페이서(311~318)와, 패턴(F1~F8) 사이에는 식각 정지 패턴(115)이 형성될 수 있으나, 앞에서 설명한 바와 같이 식각 정지 패턴(115)은 생략되어 실시될 수 있다.
- [0148] 도 1m을 참조하면, 패턴(F1~F8) 상의 제3 스페이서(311~318)와 식각 정지 패턴(115)은 제거된다.
- [0149] 이를 통해, 식각 대상층(100)의 상부에는 패턴(F1~F8)이 형성된다. 앞에서 설명한 바와 같이 패턴(F1~F8)은 반도체 소자 내에서 다양한 용도로 이용될 수 있다.
- [0150] 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법은, 서로 다른 물질로 구성된 스페이서를 마스크로 이용하는 OPT 공정을 이용한다.
- [0151] 다르게 표현하면, 본 발명은 패턴(F1~F8)을 형성하기 위해 복수 회의 SPT(Spacer Patterning Technology) 공정을 적용할 수 있다. 이때, SPT 공정으로는 파지티브 SPT 공정을 적용할 수 있다. 파지티브 SPT 공정은 스페이서를 식각 마스크로 이용하는 식각 공정이다.
- [0152] 구체적으로, 제1 스페이서(212, 214)는 실리콘 산화물로 구성된다.
- [0153] 제1 스페이서(212, 214)의 양측면에 형성되는 제2 스페이서(221, 223, 225, 227)는 ACL로 구성된다. 이때, ACL은 탄소 전구체와 플라스마를 이용한 저온 PE-ALD 공정을 통해 형성된다. PE-ALD 공정에는 VHF 전원을 통해 생성된 플라스마가 이용될 수 있다.
- [0154] 제2 스페이서(221, 223, 225, 227)의 양측면에 형성되는 제3 스페이서(311~318)는 금속 산화물(MO)로 구성된다. 이때, 금속 산화물(MO)은 저온 PE-ALD 공정을 통해 형성된다. PE-ALD 공정에는 VHF 전원을 통해 생성된 플라스마가 이용될 수 있다.
- [0155] 이러한 OPT 공정을 통하여 본 발명은 미세한 선폭(예를 들어, 7nm 이하)의 패턴(F1~F8)들을 형성할 수 있다.
- [0156] 본 발명은 높은 물리적 강도와 고식각 선택비의 스페이서(예를 들어, 제2 스페이서(221, 223, 225, 227), 및 제3 스페이서(311~318))를 이용함으로써, 안정적인 패턴을 구현할 수 있다.
- [0157] 이에 따라, 반도체 소자의 패턴(F1~F8)에 대한 선폭의 불균일도(Critical Dimension Non-Uniformity), 패턴 표면의 거칠기(Line Edge Roughness; 이하, LER), 및 패턴 너비 거칠기(Line Width Roughness; 이하, LWR) 특성은 종래에 복수의 하드마스크를 이용하는 DPT 또는 QPT 공정에 비해 개선될 수 있다. 또한, 반도체 소자의 구조적 안정성은 향상되며, 수율 또한 증가될 수 있다.
- [0158] 또한, 본 발명의 반도체 소자의 제조 방법은, 종래의 DPT 또는 QPT 공정에서 반복되는 하드마스크 식각 공정을 생략할 수 있으므로, 미세한 선폭의 패턴(F1~F8)을 형성하는데 필요한 공정수를 획기적으로 감소시킬 수 있다.
- [0159] 이를 통해, 반도체 소자의 제조에 필요한 설비의 숫자를 줄이고, 공정 단가를 감소시킬 수 있다.
- [0161] 도 2a 내지 도 2m은 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다. 이하에서는 앞에서 도 1a 내지 도 1m을 참조하여 설명한 내용과 중복되는 내용은 생략하고, 차이점을 위주로 설명하도록 한다.
- [0162] 도 2a를 참조하면, 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법에서, 식각 대상층(100a)과 하드마스크막(100b) 상에는 희생막 패턴(130)이 형성된다.
- [0163] 식각 대상층(100a)과 하드마스크막(100b)은 각각 단일 레이어 또는 복수 개의 레이어로 구성될 수 있다.
- [0164] 이하에서는, 식각 대상층(100a)이 기판(101) 및 제1 식각 정지막(103)을 포함하고, 하드마스크막(100b)이 하드마스크층(105), 제2 식각 정지막(110) 및 실리콘 산화막(120)으로 구성되는 것을 예로 들어 설명하도록 한다.
- [0165] 이때, 제1 식각 정지막(103), 제2 식각 정지막(110) 또는 실리콘 산화막(120)은 생략되어 실시될 수 있다. 또한, 식각 대상층(100a)과 하드마스크막(100b)에는 추가적인 피식각층(예를 들어, 하드마스크층) 또는 기타 레이어가 포함되어 실시될 수 있다.
- [0166] 구체적으로, 기판(101)은 실리콘 식각 대상층, 벌크 실리콘 또는 SOI(silicon-on-insulator)로 구성될 수 있다. 또한, 예를 들어, 기판(101)은 게르마늄과 같은 원소 반도체, 또는 IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체와 같은 화합물 반도체를 포함할 수 있다. 추가로, 기판(101)은 베이스 식각 대상층 상에 에피층이 형성된 것일 수도 있다.



- [0167] 제1 식각 정지막(103)은 기판(101)의 상면을 덮도록 형성된다. 이때, 제1 식각 정지막(103)은 금속 산화물(metal oxide), 금속 산질화물(metal oxynitride), 금속 실리콘 산화물, 또는 금속 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0168] 하드마스크층(105)은 기판(101)과 희생막 패턴(130) 사이에 배치된다. 하드마스크층(105)은 산화막으로 형성할 수 있으며, 예컨대 TEOS 산화막으로 형성할 수 있다.
- [0169] 하드마스크층(105)은 폴리 실리콘막의 단층구조, 또는 실리콘 산화 질화막 및 폴리 실리콘막의 적층구조로 형성될 수 있다. 본 실시예에서는 폴리 실리콘막의 단층구조가 형성된 예를 가정하여 설명하기로 한다.
- [0170] 제2 식각 정지막(110)은 하드마스크층(105)의 상면을 덮도록 형성된다. 식각 정지막(110)은 금속 산화물(metal oxide), 금속 산질화물(metal oxynitride), 금속 실리콘 산화물, 또는 금속 실리콘 산질화물 중 적어도 하나를 포함할 수 있다.
- [0171] 실리콘 산화막(120)은 제2 식각 정지막(110)의 상면을 덮도록 형성된다.
- [0172] 희생막 패턴(130)은 실리콘 산화막(120) 상에 형성되며, 식각 대상층(100)의 일부에만 오버랩되도록 형성된다. 희생막 패턴(130)은 후속 스페이서 패턴을 형성하기 위한 피식각층으로 이용된다.
- [0173] 도 2b를 참조하면, 희생막 패턴(130) 상에는 희생막 패턴(130)을 덮는 제1 스페이서층(210)이 형성된다. 제1 스페이서층(210)은 희생막 패턴(130)의 상면과 측면, 그리고, 실리콘 산화막(120)의 상면을 덮도록 형성된다.
- [0174] 이때, 제1 스페이서층(210)은 ALD 공정을 통해 형성될 수 있다. 이때, 제1 스페이서층(210)은 실리콘 산화막(120)과도 식각 선택비를 가지는 물질로 구성될 수 있다. 또한, 제1 스페이서층(210)은 균일한 선평의 패턴을 형성하기 위해 높은 피복성(Step coverage)을 갖도록 형성하는 것이 바람직하다. 따라서, 제1 스페이서층(210)은 높은 피복성을 위해 원자층 증착법(Atomic Layer Deposition)을 적용할 수 있다. 다만, 이는 하나의 예시에 불과하며, 제1 스페이서층(210)은 다양한 공정 방식을 통하여 형성될 수 있다.
- [0175] 이때, 제1 스페이서층(210)은 희생막 패턴(130)과 실리콘 산화막(120) 상에 균일한 두께를 갖도록 형성될 수 있다.
- [0176] 도 2c를 참조하면, 제1 스페이서층(210)의 적어도 일부가 식각됨에 따라, 제1 스페이서(212, 214)가 형성된다. 이때, 제1 스페이서층(210)의 식각은 에치백으로 진행할 수 있으며, 실리콘 산화막(120)의 표면 및 희생막 패턴(130)의 상면이 오픈되는 것을 타겟으로 식각을 진행한다.
- [0177] 제1 스페이서층(210)의 식각을 통해, 희생막 패턴(130)의 상면과 실리콘 산화막(120)의 상면의 일부가 노출된다.
- [0178] 도 2d를 참조하면, 제1 스페이서(212, 214)의 사이에 배치되는 희생막 패턴(130)은 제거된다. 이에 따라, 제1 스페이서(212, 214) 사이에 위치한 실리콘 산화막(120)의 상면이 노출된다.
- [0179] 도 2e를 참조하면, 실리콘 산화막(120)과 제1 스페이서(212, 214)의 상면을 덮는 제2 스페이서층(220)이 형성된다. 제2 스페이서층(220)은 실리콘 산화막(120)의 상면과, 제1 스페이서(212, 214)의 측면 및 상면을 덮도록 균일하게(conformal) 형성된다.
- [0180] 이때, 제2 스페이서층(220)은 제1 스페이서층(210)과 다른 물질로 형성될 수 있다.
- [0181] 제2 스페이서층(220)은 ACL(Amorphous Carbon Layer) ALD(Atomic Layer Deposition, 이하, ACL ALD) 공정을 통해 형성된다. 여기에서, ACL ALD 공정은 탄소 전구체를 이용하며, 플라즈마 처리 또는 자외선 처리, 저온 식각 대상층 처리 등을 통해 ACL의 핵 성장을 제어함으로써, 제2 스페이서층(220)을 형성한다. 제2 스페이서층(220)은 도 1f를 참고하여 설명한 제조 방법을 통해 형성될 수 있으며, 자세한 설명은 전술하였으므로 생략하도록 한다.
- [0182] 이어서, 도 2f를 참조하면, 제2 스페이서층(220)의 적어도 일부가 식각됨에 따라, 제2 스페이서(221, 223, 225, 227)가 형성된다.
- [0183] 이때, 제2 스페이서층(220)은 이방성 식각을 통해 일부가 식각된다. 마찬가지로, 제2 스페이서층(220)의 식각은 에치백으로 진행할 수 있으며, 제1 스페이서(212, 214)의 상면 및 실리콘 산화막(120)의 표면이 오픈되는 것을 타겟으로 식각을 진행한다.

- [0184] 제2 스페이서층(220)의 식각을 통해, 제1 스페이서(212, 214)의 상면과 실리콘 산화막(120)의 상면의 일부가 노출된다.
- [0185] 도 2g를 참조하면, 제2 스페이서(221, 223, 225, 227)의 사이에 배치되는 제1 스페이서(212, 214)가 제거된다.
- [0186] 이때, 비정질 탄소층(ACL)으로 구성된 제2 스페이서(221, 223, 225, 227)는 실리콘 산화물로 구성되는 제1 스페이서(212, 214)에 대해 고식각 선택비를 갖는다.
- [0187] 따라서, 식각 공정 내에서 제1 스페이서(212, 214)만이 선택적으로 제거될 수 있다. 이때, 제1 스페이서(212, 214)는 건식 또는 습식식각으로 제거될 수 있으며, 제거공정은 하부 제2 식각 정지막(110)이 손실되지 않는 조건으로 진행하는 것이 바람직하다.
- [0188] 도 2h를 참조하면, 제2 스페이서(221, 223, 225, 227)를 마스크로 이용하여 하드마스크층(105)의 일부가 식각된다.
- [0189] 이때, 하드마스크층(105)은 이방성 식각을 통해 일부가 식각된다. 이때, 하드마스크층(105)의 식각은 에치백으로 진행할 수 있으며, 제거공정은 제1 식각 정지막(103)이 손실되지 않는 조건으로 진행하는 것이 바람직하다.
- [0190] 이를 통해, 제1 식각 정지막(103) 상에는 하드마스크 패턴(221m, 223m, 225m, 227m)이 형성된다.
- [0191] 도 2i를 참조하면, 하드마스크 패턴(221m, 223m, 225m, 227m)의 상면 및 측면과, 제1 식각 정지막(103)의 상면을 덮는 제3 스페이서층(310)이 형성된다. 제3 스페이서층(310)은 균일한 선평의 패턴을 형성하기 위해 높은 피복성(Step coverage)을 갖도록 형성하는 것이 바람직하다. 따라서, 제3 스페이서층(310)은 높은 피복성을 위해 PE(Plasma Enhanced) 원자층 증착법(Atomic Layer Deposition)을 적용할 수 있다. 다만, 이는 하나의 예시에 불과하며, 제3 스페이서층(310)은 다양한 공정 방식을 통하여 형성될 수 있다.
- [0192] 이때, 제3 스페이서층(310)은 하드마스크 패턴(221m, 223m, 225m, 227m)과 서로 다른 물질로 구성될 수 있다.
- [0193] 제3 스페이서층(310)은 금속 산화물(Metal Oxide)을 포함할 수 있다. 이때, 제3 스페이서층(310)을 구성하는 금속 산화물은  $TiO_2$ ,  $HfO_2$ , 또는  $ZrO_2$ 를 포함할 수 있다.
- [0194] 상기 PE-ALD 공정에서 이용되는 플라즈마는, RF(Radio Frequency) 또는 VHF(Very High Frequency) 소스를 이용하여 생성되는 수소 플라즈마를 포함할 수 있다. 여기에서, VHF 소스는 60Mhz 이상의 주파수를 갖는 전원을 이용한다. 이를 통해, 제3 스페이서층(310)은 저온, 저손상, 고단차의 피복성을 가질 수 있다.
- [0195] 또한, 제3 스페이서층(310)을 형성하는 PE-ALD 공정에서는, 압력, 시간, 온도, 반응 기체, 도핑 원소의 종류 및 조성비를 변화시킴으로써, 식각 선택비와 물리적 강도를 제어할 수 있다. 이때, 제3 스페이서층(310)은 하드마스크 패턴(221m, 223m, 225m, 227m)에 대하여 고식각 선택비를 갖는다.
- [0196] 도 2j를 참조하면, 제3 스페이서층(310)의 적어도 일부가 식각됨에 따라, 제3 스페이서(311~318)가 형성된다.
- [0197] 이때, 제3 스페이서층(310)은 이방성 식각을 통해 일부가 식각된다. 이때, 제3 스페이서층(310)의 식각은 에치백으로 진행할 수 있으며, 하드마스크 패턴(221m, 223m, 225m, 227m)의 상면 및 제1 식각정지막(103)의 표면이 오픈되는 것을 타겟으로 식각을 진행한다.
- [0198] 제3 스페이서층(310)의 식각을 통해, 하드마스크 패턴(221m, 223m, 225m, 227m)의 상면과 제1 식각 정지막(103)의 상면의 일부가 노출된다.
- [0199] 하드마스크 패턴도 2k를 참조하면, 제3 스페이서(311~318)의 사이에 배치되는 하드마스크 패턴(221m, 223m, 225m, 227m)이 제거된다.
- [0200] 이 경우, 금속 산화물(MO)로 구성된 제3 스페이서(311~318)는 실리콘 산화물로 구성되는 하드마스크 패턴(221m, 223m, 225m, 227m)에 대해 고식각 선택비를 갖는다.
- [0201] 따라서, 식각 공정 내에서 하드마스크 패턴(221m, 223m, 225m, 227m)만이 선택적으로 제거될 수 있다. 하드마스크 패턴(221m, 223m, 225m, 227m)은 건식 또는 습식식각으로 제거할 수 있으며, 제거공정은 하부 제1 식각 정지막(103)이 손실되지 않는 조건으로 진행하는 것이 바람직하다.
- [0202] 각각의 제3 스페이서(311~318)는 제1 식각 정지막(103) 상에서 서로 이격되도록 배치되며, 7nm 이하의 스케일에서도 높은 물리적 강도를 갖는다.

[0203] 도 21을 참조하면, 제3 스페이서(311~318)를 마스크로 이용하여 식각 대상층(100a)의 일부가 식각된다.

[0204] 이때, 식각 대상층(100a)은 이방성 식각을 통해 일부가 식각된다. 이때, 식각 대상층(100a)의 식각은 에치백으로 진행할 수 있으며, 반도체 소자에서 요구되는 패턴의 소정 깊이가 형성되는 것을 타겟으로 식각을 진행한다.

[0205] 도 2m을 참조하면, 패턴(F1~F8) 상의 제3 스페이서(311~318)와 식각 정지 패턴(103p)은 제거된다.

[0206] 이를 통해, 식각 대상층(100a)의 상부에는 패턴(F1~F8)이 형성된다. 앞에서 설명한 바와 같이 패턴(F1~F8)은 반도체 소자 내에서 다양한 용도로 이용될 수 있다.

[0207] 도 2a 내지 도 2m을 참조하여 설명한 본 발명의 제2 실시예의 제조 방법에 의해 형성된 반도체 소자는, 물리적 강도와 고식각 선택비의 스페이서를 이용함으로써, 안정적인 패턴을 구현할 수 있다.

[0208] 이에 따라, 반도체 소자의 패턴(F1~F8)에 대한 선폭의 불균일도(Critical Dimension Non-Uniformity), 패턴 표면의 거칠기(Line Edge Roughness; 이하, LER), 및 패턴 너비 거칠기(Line Width Roughness; 이하, LWR) 특성은 종래에 복수의 하드마스크를 이용하는 DPT 또는 QPT 공정에 비해 개선될 수 있다. 또한, 반도체 소자의 구조적 안정성은 향상되며, 수율 또한 증가될 수 있다.

[0209] 또한, 본 발명의 반도체 소자의 제조 방법은, 종래의 DPT 또는 QPT 공정에서 반복되는 하드마스크 식각 공정을 생략할 수 있으므로, 미세한 선폭의 패턴(F1-F8)을 형성하는데 필요한 공정수를 획기적으로 감소시킬 수 있다. 이를 통해, 반도체 소자의 제조에 필요한 설비의 숫자를 줄이고, 공정 단가를 감소시킬 수 있다.

[0210] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

## 부호의 설명

[0212] 100: 시각 대상층 110: 시각 정지막

120: 실리콘 산화막                      130: 희생막 패턴

210: 제1 스페이서층                      212, 214: 제1 스페이서

220: 제2 스페이서층                      221, 223, 225, 227: 제2 스페이서

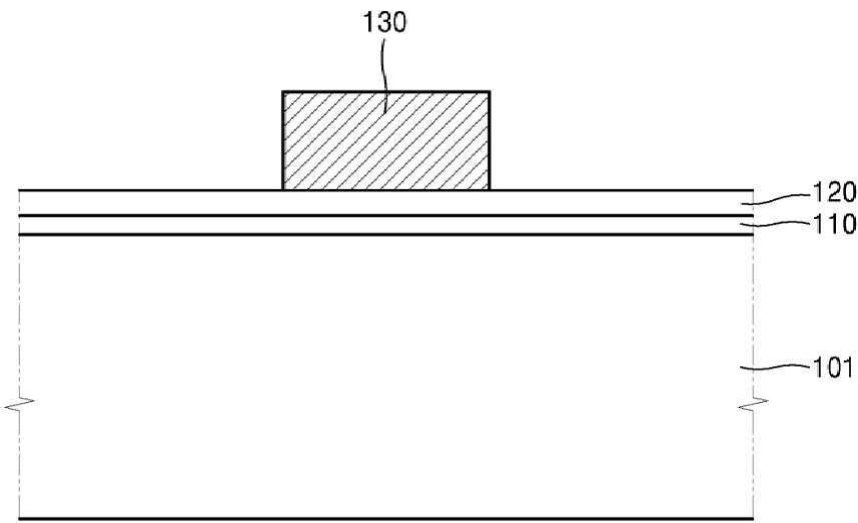
310: 제3 스페이서층                      311~318: 제3 스페이서

F1~F8: 패턴



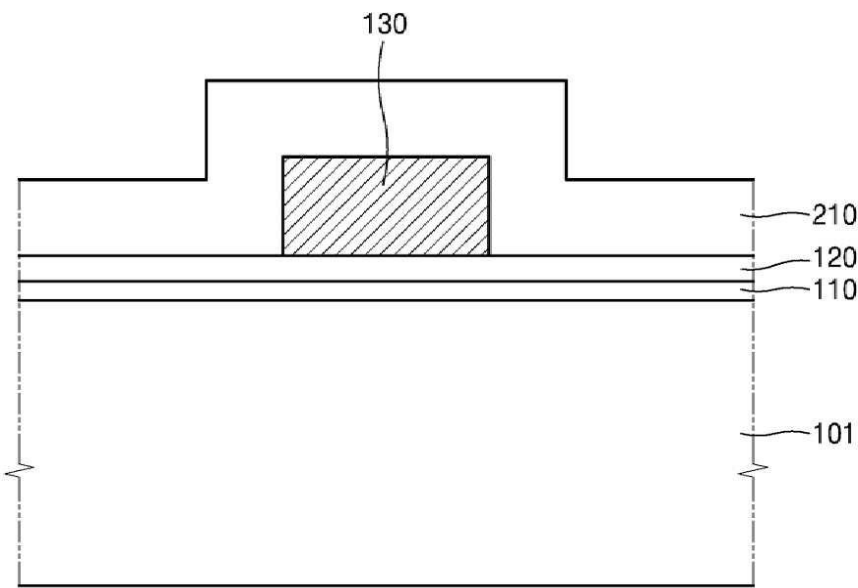
도면

도면1a

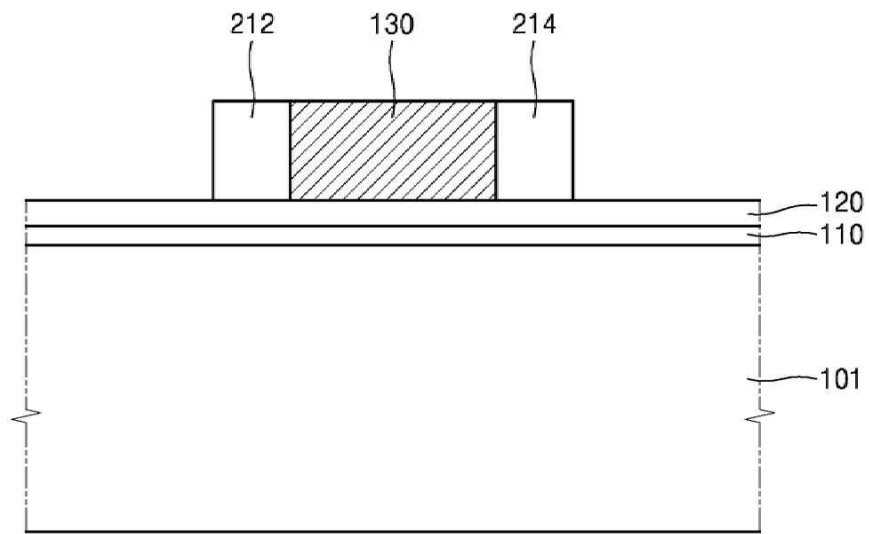


100 : 101,110,120

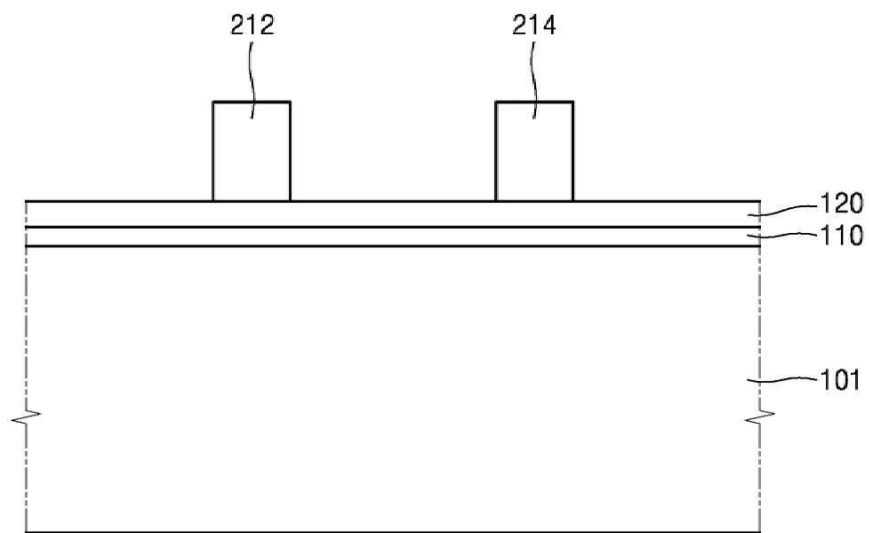
도면1b



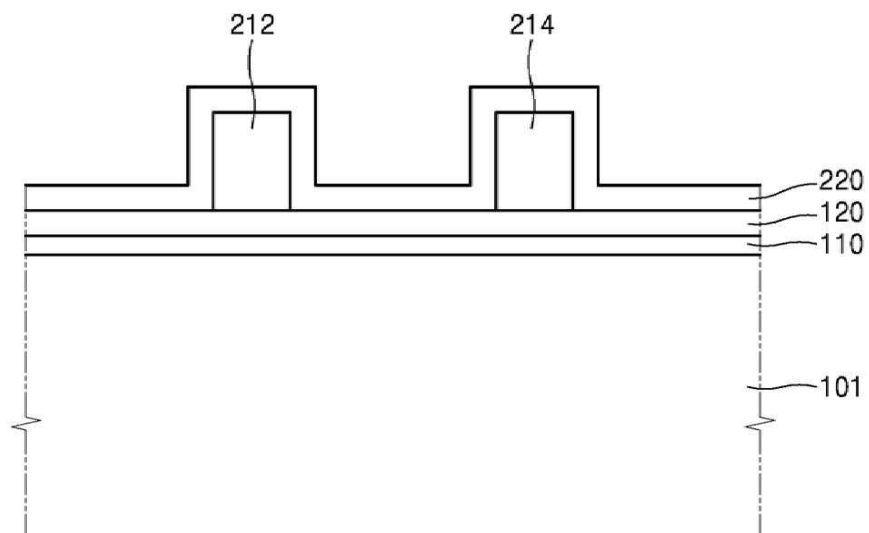
도면1c



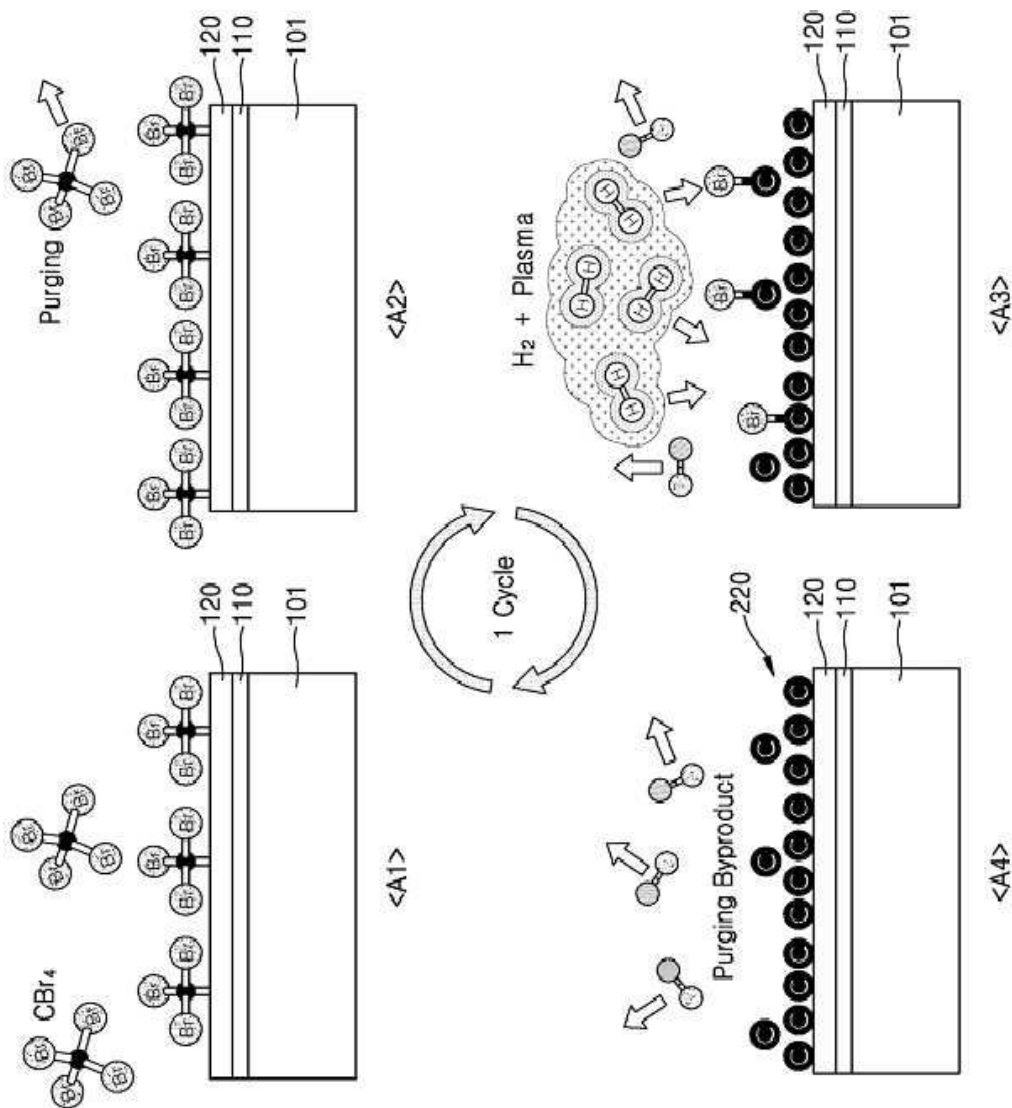
도면1d



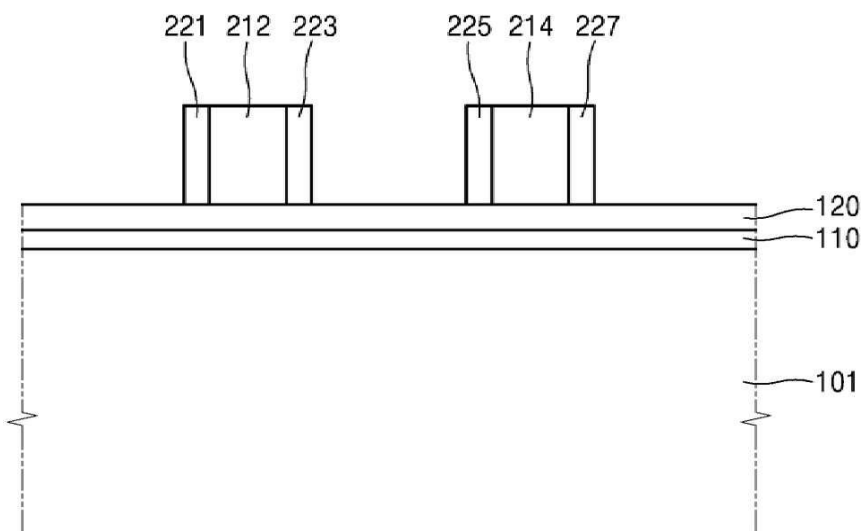
도면1e



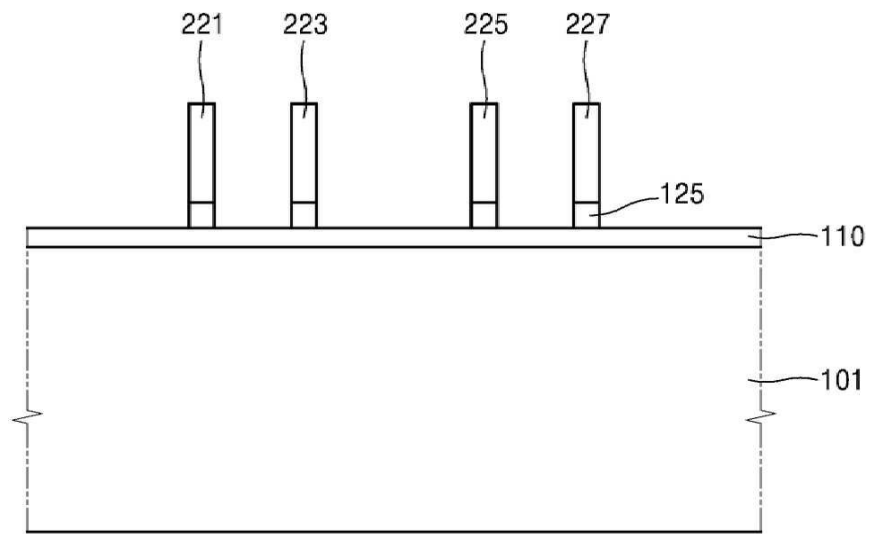
도면1f



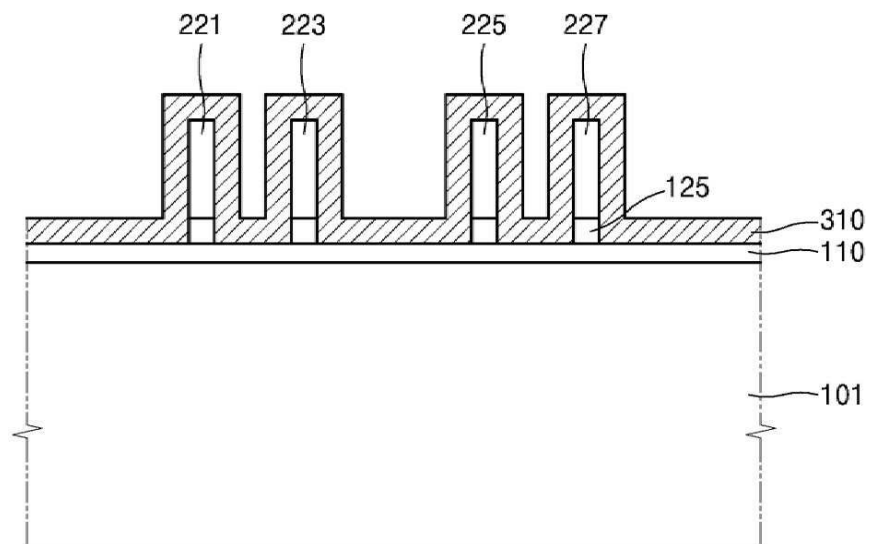
도면1g



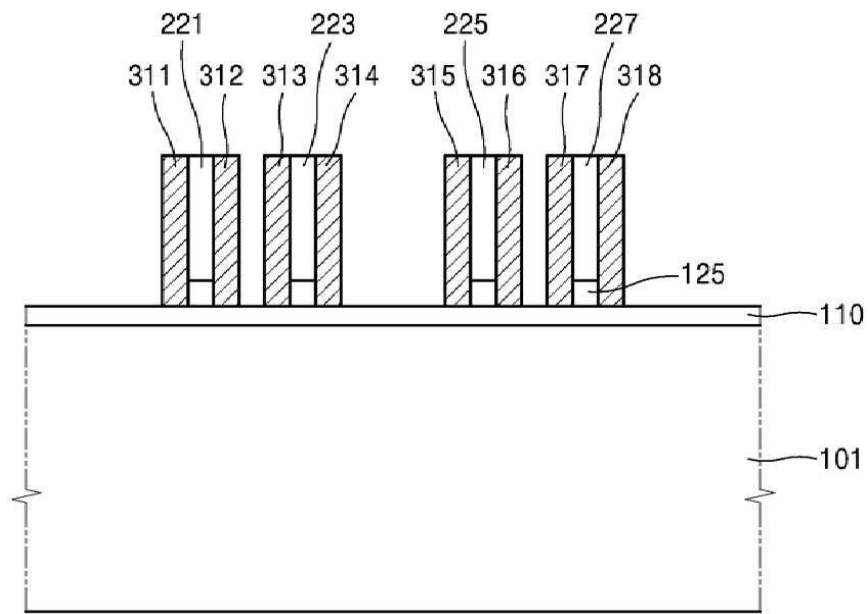
도면1h



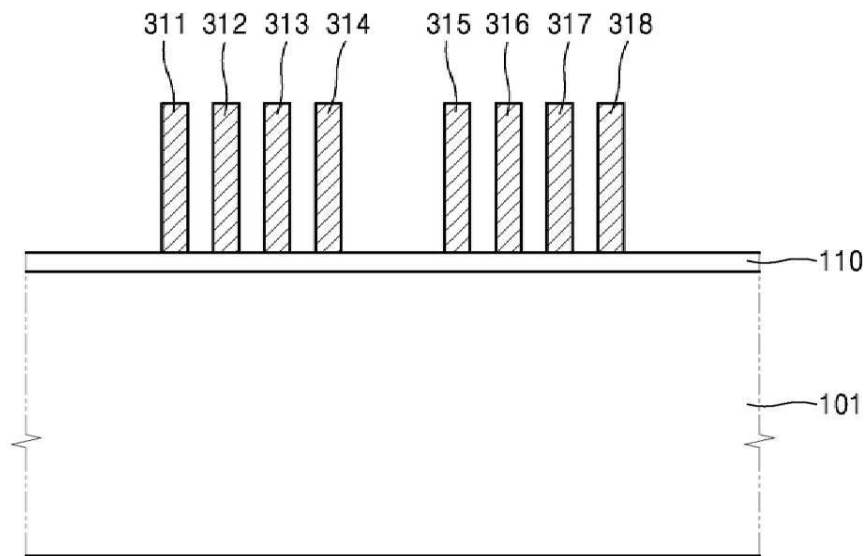
도면1i



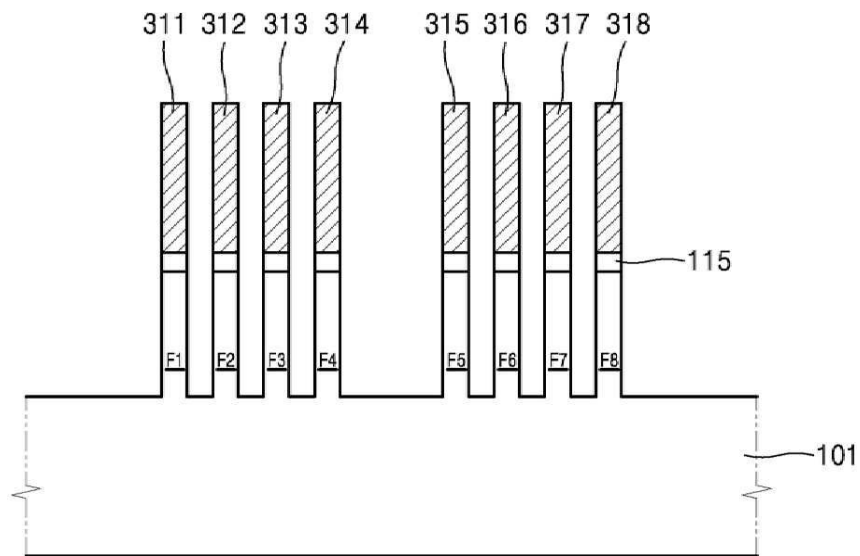
도면1j



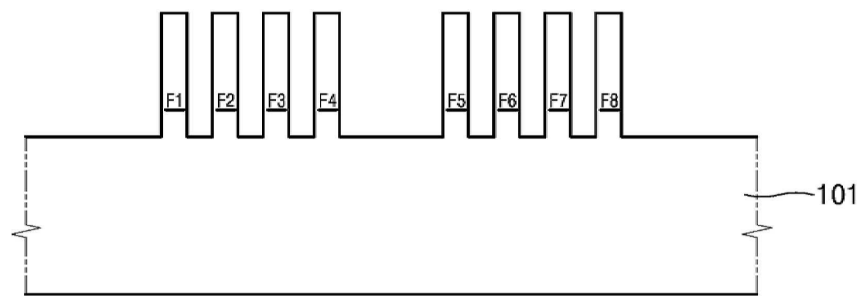
도면1k



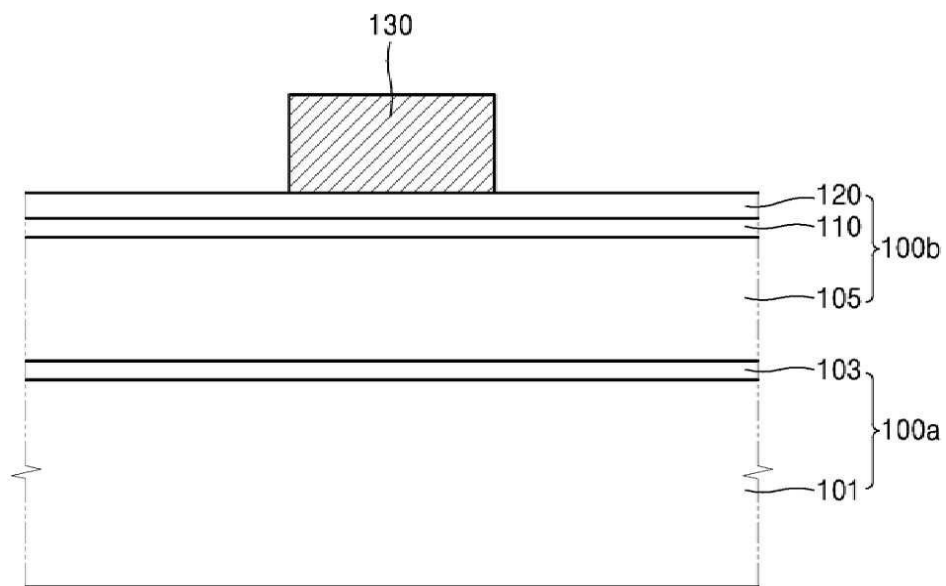
도면11



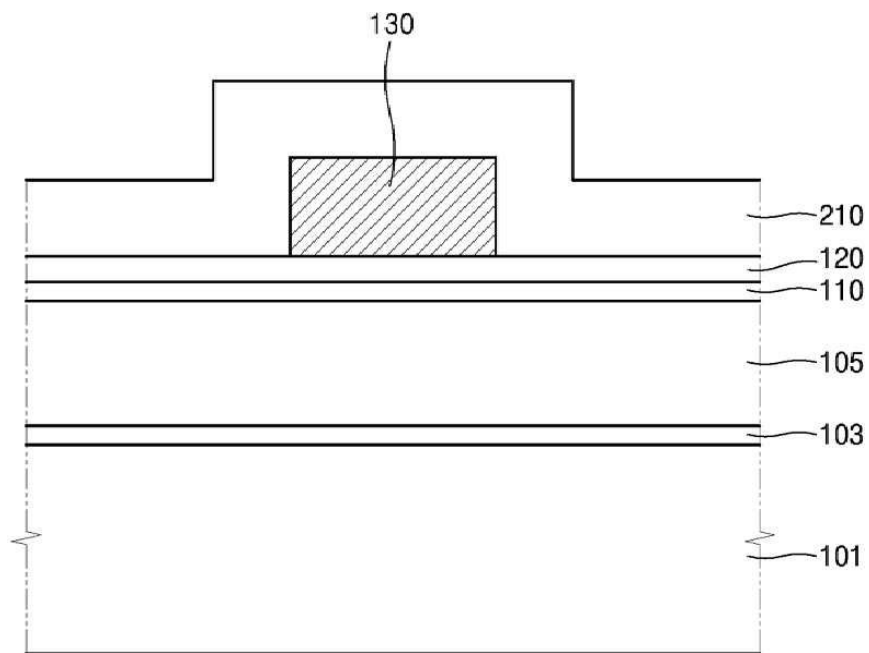
도면1m



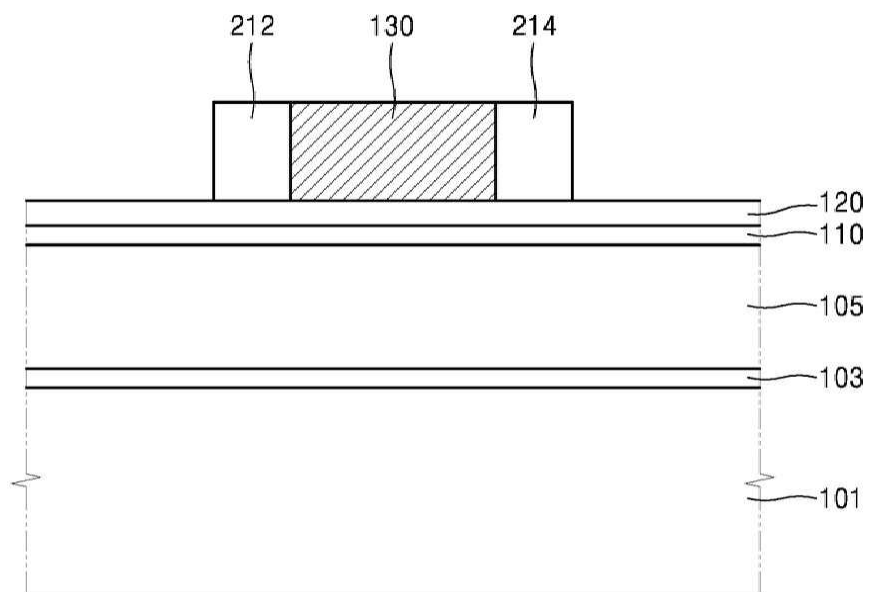
도면2a



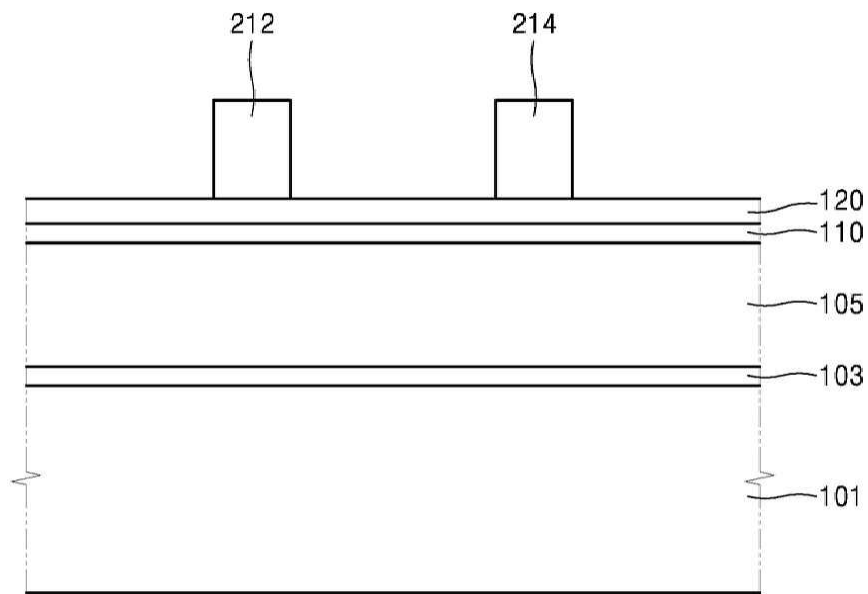
도면2b



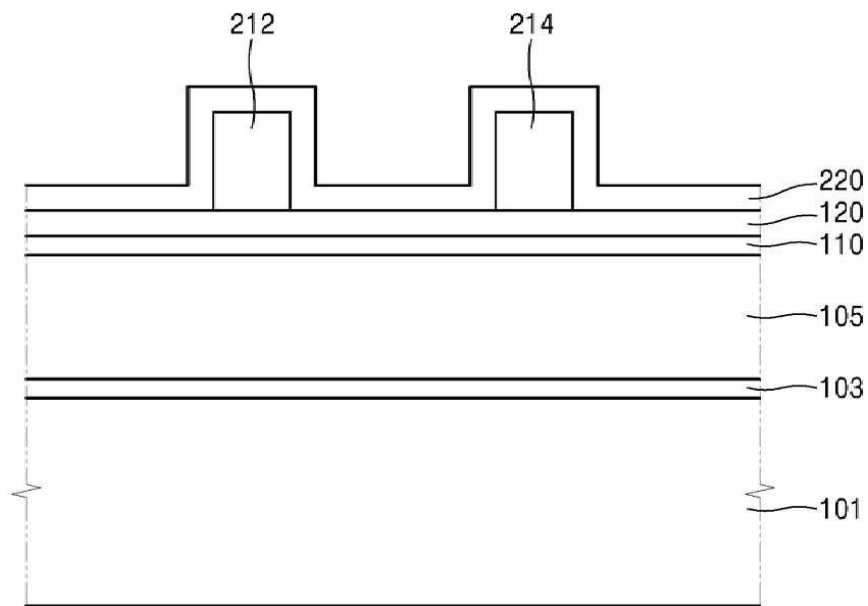
도면2c



도면2d

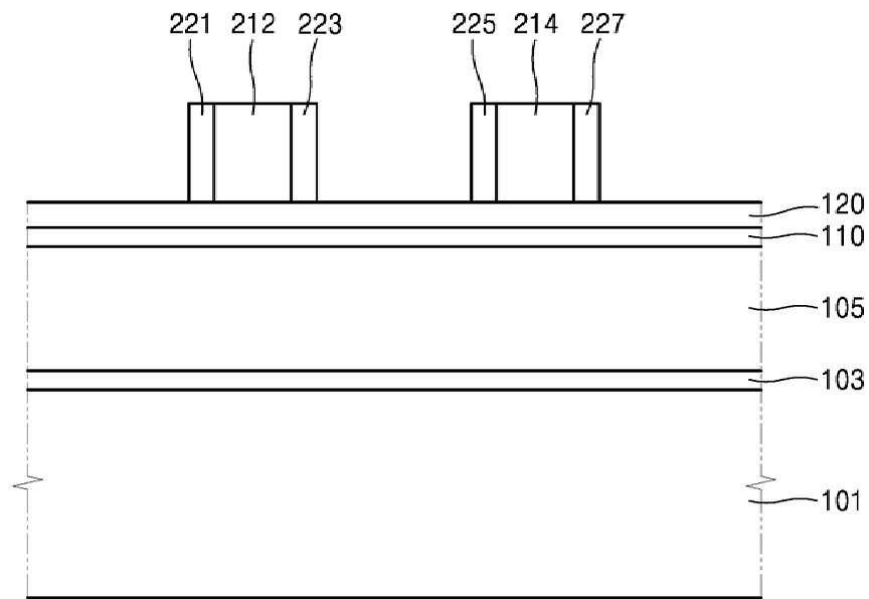


도면2e

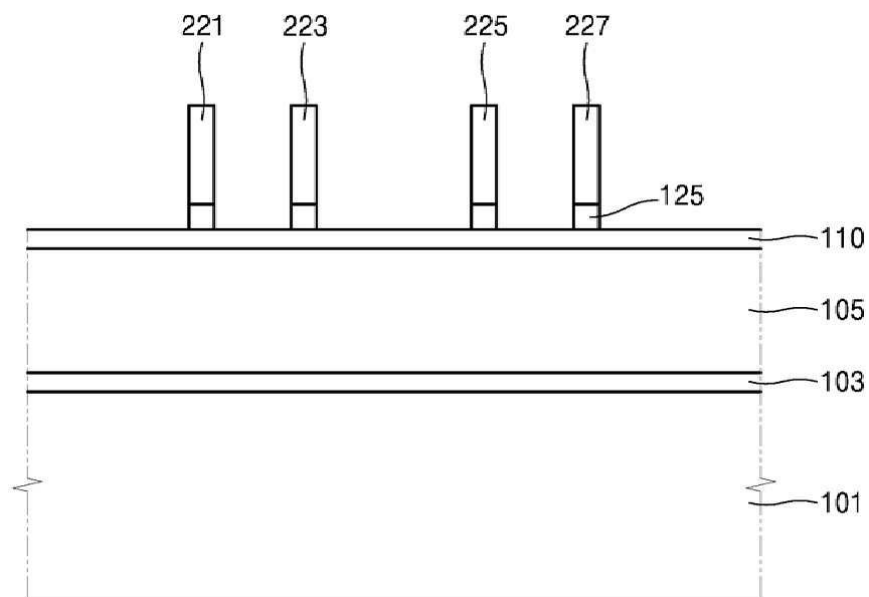




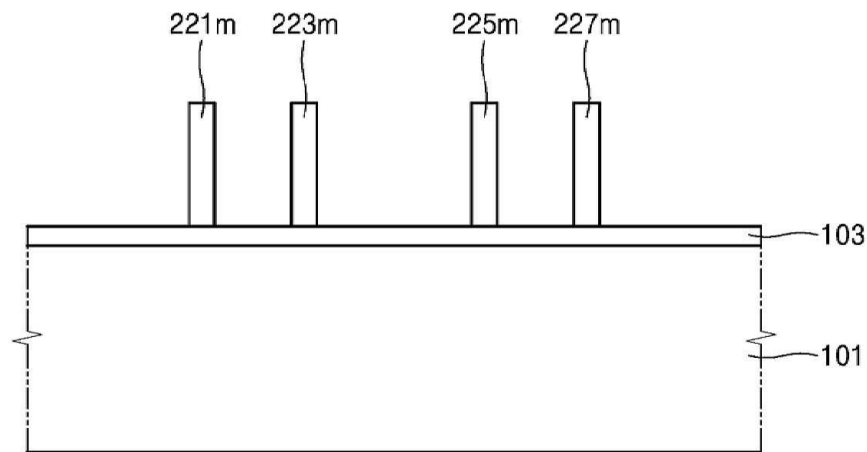
도면2f



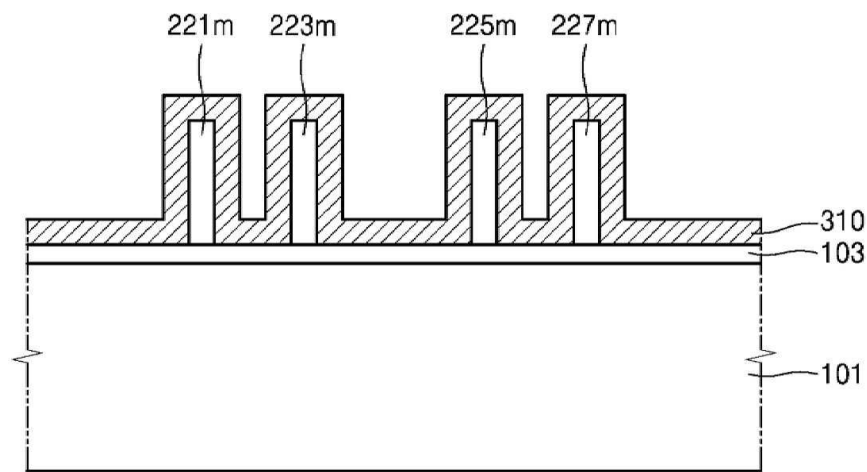
도면2g



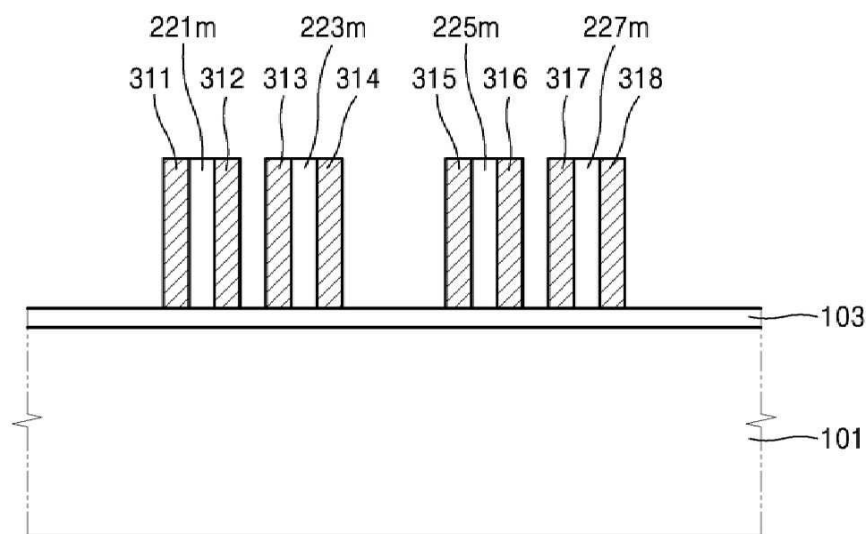
도면2h



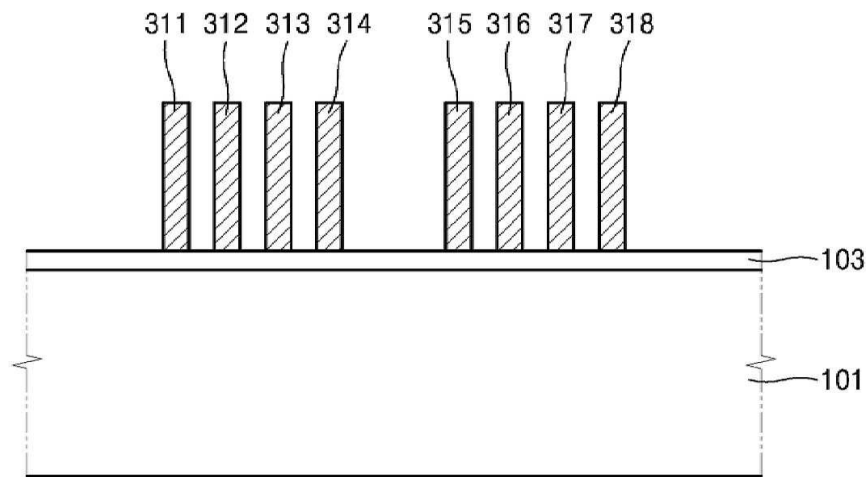
도면2i



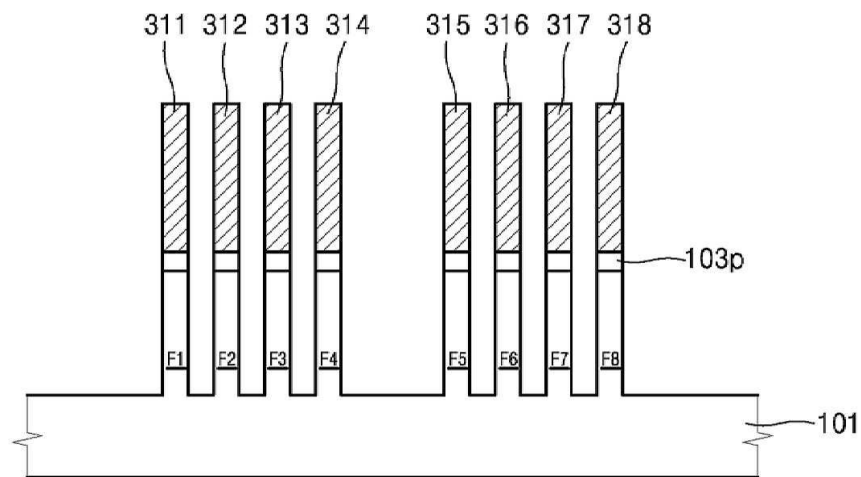
도면2j



도면2k



도면2l



도면2m

