



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년07월03일

(11) 등록번호 10-2130220

(24) 등록일자 2020년06월29일

(51) 국제특허분류(Int. Cl.)

H01L 35/14 (2006.01) H01L 35/02 (2006.01)

H01L 35/16 (2006.01) H01L 35/18 (2006.01)

H01L 35/22 (2006.01)

(52) CPC특허분류

H01L 35/14 (2013.01)

H01L 35/02 (2013.01)

(21) 출원번호 10-2018-0136951

(22) 출원일자 2018년11월08일

심사청구일자 2018년11월08일

(65) 공개번호 10-2020-0053380

(43) 공개일자 2020년05월18일

(56) 선행기술조사문헌

KR1020140103764 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

손알로이시우스

서울특별시 서대문구 성산로 394 JK캠퍼스 604호

장우선

서울특별시 강남구 일원로 127 가람아파트

107-201

이지우

서울특별시 서대문구 연희로 82 브라운스톤아파트 B동 613호

(74) 대리인

김권석

전체 청구항 수 : 총 16 항

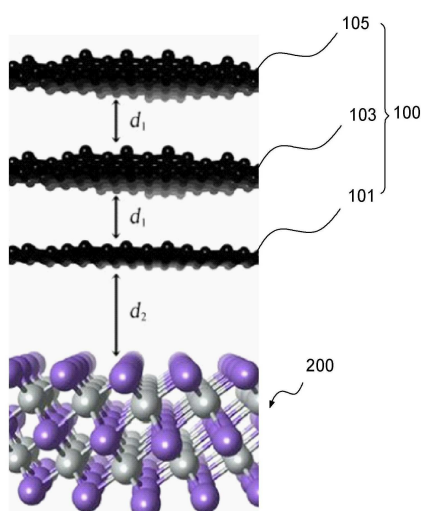
심사관 : 고재현

(54) 발명의 명칭 이중 계면을 갖는 열전 구조체 및 이를 포함하는 열전 소자

(57) 요약

본 발명은 이중 계면을 갖는 열전 구조체 및 이를 포함하는 열전 소자에 관한 것이다. 본 발명의 실시예에 따르면, 열전 소자의 응용을 위한 새로운 열전자 이중 계면을 갖는 구조체의 설계 방법(Designing a novel thermoelectric heterointerface structure for thermoelectric device application: Tetradymite and Few-layer graphene: Tetradymite and few-layer graphene)이 얻어질 수 있다.

본 발명의 일 실시예에 따른 열전 구조체는, 헥사고일 적층된 3 중층의 그래핀 다층 구조; 및 상기 그래핀 다층 구조 상에 적층되고 화학식 M_2N_3 (M은 5족 원소이며, 상기 N은 6족 원소임)을 갖는 테트라다이마이트 층을 갖는 위상 절연 층을 포함하는 이중 계면(heterointerface)을 갖는 열전 구조체를 포함할 수 있다.

대표도 - 도1c

(52) CPC특허분류

H01L 35/16 (2013.01)

H01L 35/18 (2013.01)

H01L 35/22 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2016R1A4A1012929

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 기초연구실육성사업

연구과제명 Ezbaro_디랙 물질 융복합 테라파 제어 연구실(2/3)

기 여 율 1/1

주관기관 연세대학교산학협력단

연구기간 2017.03.01 ~ 2018.02.28

공지예외적용 : 있음

명세서

청구범위

청구항 1

단위 그래핀 층들의 탄소 자리가 서로 일직선 상에 정렬되어 헥사고널(Hexagonal)구조로 적층된 3중층의 그래핀 다층 구조; 및

상기 3중층과 이종 계면(heterointerface)을 형성하도록 상기 3중층 상에 적층되고 하기 화학식을 갖는 테트라 다이마이트(tetradymite) 층을 갖는 위상 절연 층을 갖는 열전 구조체:

[화학식]

M_2N_3 (M은 5족 원소이며, 상기 N은 6족 원소임).

청구항 2

제 1 항에 있어서,

상기 테트라다이마이트 층은 Sb_2Te_3 를 포함하는 열전 구조체.

청구항 3

제 1 항에 있어서,

상기 그래핀 다층 구조와 상기 테트라다이마이트 층은 반데르발스 결합되는 열전 구조체.

청구항 4

제 1 항에 있어서,

상기 위상 절연 층의 격자 상수와 상기 그래핀 다층 구조의 격자 상수의 차이는 0.7 % 내외인 열전 구조체.

청구항 5

제 1 항에 있어서,

상기 테트라다이마이트 층의 표면에 상기 6족 원소가 노출되는 열전 구조체.

청구항 6

제 1 항에 있어서,

상기 3층의 그래핀 다층 구조의 단위 그래핀 층들 사이의 간격은 ABA(Bernal 구조) 또는 ABC(Rhombohedral 구조) 순서로 적층된 단위 그래핀 층들 사이의 간격보다 더 큰 열전 구조체.

청구항 7

제 1 항에 있어서,

상기 이종 계면은 상기 열전 구조체의 노출된 6족 원소가 상기 그래핀 다층 구조의 그래핀과 대향하는 열전 구조체.

청구항 8

제 1 항에 있어서,

상기 이종 계면에서 상기 그래핀 다층 구조 상에서 상기 위상 절연 층 이 에피택셜 성장된 열전 구조체.

청구항 9

제 1 전극;

제 2 전극; 및

상기 제 1 항 기재의 열전 구조체를 포함하며,

상기 제 1 항 기재의 그래핀 다층 구조와 상기 제 1 항 기재의 테트라다이마이트 층은 p-n 접합을 갖는 단위 열전 패턴을 제공하고, 상기 단위 열전 패턴이 적어도 하나 이상 반복 배치된 열전 층을 포함하는 열전 소자.

청구항 10

제 9 항에 있어서,

상기 테트라다이마이트 층은 Sb_2Te_3 를 포함하는 열전 소자.

청구항 11

제 9 항에 있어서,

상기 그래핀 다층 구조와 상기 테트라다이마이트 층은 반데르발스 결합되는 열전 소자.

청구항 12

제 9 항에 있어서,

상기 위상 절연 층의 격자 상수와 상기 그래핀 다층 구조의 격자 상수의 차이는 0.7 % 내외인 열전 소자.

청구항 13

제 9 항에 있어서,

상기 테트라다이마이트 층의 표면에 상기 6족 원소가 노출되는 열전 소자.

청구항 14

제 9 항에 있어서,

상기 3층의 그래핀 다층 구조의 단위 그래핀층들 사이의 간격은 ABA(Bernal 구조) 또는 ABC(Rhombohedral 구조) 순서로 적층된 단위 그래핀 층들 사이의 간격보다 더 큰 열전 소자.

청구항 15

제 9 항에 있어서,

상기 이중 계면은 상기 테트라다이마이트 층 표면에 노출된 6족 원소가 상기 그래핀 다층 구조의 그래핀과 대향하는 열전 소자.

청구항 16

그래핀 다층 구조; 및

상기 그래핀 다층 구조의 최외각 그래핀 상에 상기 최외각 그래핀과 이중 계면을 형성하도록 적층된 테트라다이마이트층을 포함하고,

상기 그래핀 다층구조의 단위 그래핀 층 수, 상기 단위 그래핀 층의 적층 순서, 상기 단위 그래핀 층 사이의 간격 및 상기 그래핀 다층구조와 상기 테트라다이마이트층 사이의 간격 중 적어도 하나는, 스핀-궤도 커플링 효과에 의해 상기 이중 계면에서 페르미 레벨 근처에 Dirac 점 및 Kramer 점이 나타나는 디랙 콘(dirac cone) 전자 밴드 구조를 발생시킬 수 있도록 설정되고, 상기 디랙 콘 전자 밴드 구조에 의해 상기 이중 계면에 전하 재분배(Charge redistribution)를 유도하여, 상기 테트라다이마이트층과 상기 그래핀 다층 구조 사이의 양공 및 자유 전자 농도 차이에 의한 열전 효과를 발생시키는 열전 구조체.

발명의 설명

기술 분야

[0001] 본 발명은 열전 기술에 관한 것으로서, 더욱 상세하게는, 이중 계면을 갖는 열전 구조체 및 이를 포함하는 열전 소자에 관한 것이다.

배경 기술

[0002] 열전 효과는 물질 또는 소자 내부에서 온도의 차이가 전류를 유도하거나 그 반대로 전류의 흐름이 온도의 차이를 생성시키는 효과이며, 이를 활용한 열전 소자는 차세대 에너지 하베스팅 소자 중 가장 유망한 소자로서 알려져 있다. 물질이 갖는 열전 효율은 ZT 값 혹은 power factor라는 이론적 계산 값에 기반하여 산정되며, 상기 ZT 값은 물질의 열 전도율에 반비례하고, 전기 전도도에 비례하여, 이러한 조건에 부합하면서도 열전 소자에 적용하기 위한 물리화학적 안정성 등을 복합적으로 갖춘 물질에 관하여 수많은 실험/이론적 연구가 이루어지고 있다.

[0003] 열전 소자용 후보 물질로서 그래핀의 성공적인 박리 이래로 다양한 이차원 나노물질들의 특수한 전자구조적 성질과 뛰어난 물성들을 많은 종류의 차세대 나노소자에 활용하고자 하는 연구가 꾸준히 이루어져 왔으며, 상기 열전 소자 분야에도 상기 그래핀을 위시한 다양한 2차원 물질을 활용하려는 시도들이 있었다. 특히 그래핀의 경우, 디랙 콘(dirac cone)으로 명명된 특수한 전자구조에서 발생하는 유효 질량이 0에 수렴하는 전자들이 존재하며, 이에 따라 상기 그래핀의 전자 수송도와 전기 전도도는 다른 어떤 물질보다도 뛰어난 것으로 밝혀져 이를 열전 소자에 적용하고자 하는 연구가 활발히 진행되어 왔다.

[0004] 그러나, 상기 그래핀은 전기 전도도 뿐만 아니라 열전 효율 저하에 영향을 미치는 열 전도도 또한 매우 높아 그 자체로는 열전 소자로서 응용되기 어렵다. 이에 대한 대안으로서, 상기 그래핀을 이용한 복합 물질을 이용하여 열전 소자의 열전 효율을 개선시킬 수 있다. 그러나, 현존하는 그래핀 복합 물질은 매우 초기 단계에 있어 정확한 성능 개선도 어려운 실정이다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는, 차세대 열전 소자로의 응용을 위한 복합 계면을 가지는 열전 구조체를 제공하는 것이다. 특히, 본 발명에서는 종래 기술이 제공하지 못했던 그래핀의 적층 배열 및 방법을 열전 효율 향상에 필요한 방향으로 설계하는 방법론을 제공함으로써 복합 계면 물질의 열전 효율을 극대화하고자 한다.

[0006] 또한, 본 발명이 해결하고자 하는 다른 기술적 과제는, 전술한 이점을 갖는 열전 구조체를 포함하는 열전 소자를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 열전 구조체는, 헥사고일 적층된 3중층의 그래핀 다층 구조; 및 상기 그래핀 다층 구조 상에 적층되고 하기 화학식을 갖는 테트라다이마이트 층을 갖는 위상 절연 층을 포함하는 이중 계면(heterointerface)을 가질 수 있다.

[0008] [화학식]

[0009] M_2N_3 (M은 5족 원소이며, 상기 N은 6족 원소임).

[0010] 일 실시예에서, 상기 테트라다이마이트 층은 Sb_2Te_3 를 포함하는 이중 계면을 가질 수 있다. 상기 테트라다이마이트 층은 반데르발스 결합되는 이중 계면을 가질 수 있다.

[0011] 상기 위상 절연 층의 격자 상수와 상기 그래핀 다층 구조의 격자 상수의 차이는 0.7 % 내외일 수 있다. 상기 테트라다이마이트 층의 표면에 상기 6족 원소가 노출되며, 상기 노출된 6족 원소가 상기 그래핀 다층 구조의 그래핀과 대향할 수 있다.

[0012] 상기 3중층의 그래핀 다층 구조의 단위 그래핀 층들 사이의 간격은 3.50 Å 내외일 수 있다. 상기 이중 계면은

상기 6족 원소가 상기 그래핀 다층 구조의 그래핀과 대향할 수 있다. 상기 이중 계면에서 상기 그래핀 다층 구조 상에서 상기 위상 절연 층이 에피택셜 성장될 수 있다.

- [0013] 본 발명의 다른 실시예에 따른 열전 소자는 제 1 전극; 제 2 전극; 상기 열전 구조체를 포함하며, 상기 헥사고날 적층된 3층의 그래핀 다층 구조와 상기 테트라다이마이트 층은 p-n 접합을 갖는 단위 열전 패턴을 제공하고, 상기 단위 열전 패턴이 적어도 하나 이상 반복 배치된 열전 층을 포함할 수 있다.

발명의 효과

- [0014] 본 발명의 일 실시예에 따르면, 헥사고날 적층된 3중층 그래핀 다층 구조 및 상기 그래핀 다층 구조 상에 적층되는 테트라다이마이트 층을 갖는 위상 절연층에 의해 제공되는 이중 계면에 의해 열전 효율이 향상된 그래핀 포함 열전 구조체가 제공될 수 있다.

- [0015] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 열전 구조체를 포함하는 열전 소자 및 블록체를 설계 및 적용할 수 있는 방법론이 제공될 수 있다.

도면의 간단한 설명

- [0016] 도 1a는 본 발명의 일 실시예에 따른 열전 구조체의 그래핀 다층 구조와 위상 절연 층을 나타내는 투시 평면도이고, 도 1b는 본 발명의 일 실시예에 따른 그래핀 다층 구조의 그래핀 층 구조 배열을 나타내는 도면이며, 도 1c는 본 발명의 일 실시예에 따른 열전 구조체를 나타내는 측면도이다.

도 2는 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조와 위상 절연 층 사이의 이중 계면의 전자 밴드 구조를 페르미-디랙(Fermi-Dirac) 분포를 활용한 온도 항을 고려하여 나타내는 도면이다.

도 3a는 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조와 위상 절연 층 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이며, 도 3b는 비교예에 따른 A 단층의 그래핀 구조와 위상 절연 층 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이고, 도 3c는 비교예에 따른 AA 적층된 2중층의 그래핀 다층 구조와 위상 절연 층 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이고, 도 3d는 도 3a의 실시예의 평균 전자 밀도와 도 3b 및 도 3c의 비교예들의 평균 전자 밀도의 총 합의 결과를 서로 비교하기 위한 그래프이다.

도 4a는 순수한 그래핀 다층 구조의 전기 전도도를 나타내는 그래프이며, 도 4b는 본 발명의 일 실시예와 비교예에 따른 그래핀 다층 구조와 위상 절연 층을 포함한 열전 구조체의 전기 전도도를 서로 비교하기 위한 그래프이다.

도 5는 본 발명의 일 실시예에 따른 열전 소자를 나타내는 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

- [0018] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

- [0019] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

- [0020] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

- [0021] 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.

- [0022] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)"

또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.

- [0023] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예에는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.
- [0025] 도 1a는 본 발명의 일 실시예에 따른 열전 구조체(TS)의 그래핀 다층 구조(100)와 위상 절연 층(200)을 나타내는 투시 평면도이고, 도 1b는 본 발명의 일 실시예에 따른 그래핀 다층 구조(100)의 그래핀 층 구조 배열을 나타내는 도면이며, 도 1c는 본 발명의 일 실시예에 따른 열전 구조체(TS)를 나타내는 측면도이다.
- [0026] 도 1a 내지 도 1c를 참조하면, 본 발명의 일 실시예에 따른 이종 계면을 갖는 열전 구조체(TS)는 그래핀 다층 구조(100)와 위상 절연층(200)을 포함할 수 있다. 그래핀 다층 구조(100)는 단위 그래핀 층들(S1, S2, S3) 중 어느 하나의 단위 그래핀 층의 특정 탄소 자리가 인접하는 다른 단위 그래핀 층의 특정 탄소 자리와 서로 일직선 상에 정렬되는 헥사고날(hexagonal; AAA-) 적층된 3중층의 그래핀 다층 구조를 포함할 수 있다. 상기 단위 그래핀 층은 상기 다른 단위 그래핀 층과 평행하고, 상기 다른 단위 그래핀 층은 상기 또 다른 단위 그래핀 층과 평행할 수 있다.
- [0027] 위상 절연 층(200)은 그래핀 다층 구조(100)와 접하여 이종 계면(heterointerface)를 형성할 수 있다. 위상 절연 층(200)은 하기 화학식을 갖는 층상의 테트라다йма이트(tetradymite) 층을 포함할 수 있으며, 테트라다йма이트 층은 위상 절연 특성을 나타내기 위한 임계 적층 두께를 만족하여야 한다.
- [0028] [화학식]
- [0029] M_2N_3 (M은 5족 원소이며, 상기 N은 6족 원소임).
- [0030] 일 실시예에서, 상기 테트라다йма이트 층은, Sb_2Te_3 (antimony telluride)를 포함할 수 있다. 상기 테트라다йма이트 층은 상기 Sb_2Te_3 을 포함하는 것에 한정되지 않고, Bi_2Te_3 (bismuth telluride) 또는 다른 공지의 위상 물질(topological material)을 포함할 수 있다. 상기 테트라다йма이트 층은 상기 그래핀 다층 구조에 적층될 수 있다. 도 1a에 도시된 바와 같이, M 원자들(201, 예를 들면, Sb 원자임)과 N 원자들(203, 예를 들면, Te 원자임)은 그래핀 다층 구조(100)의 탄소 원자들 사이에 배치될 수 있다.
- [0031] 위상 절연 층(200)의 격자 상수와 상기 그래핀 다층 구조(100)의 격자 상수의 차이는 0.7 % 내외일 수 있다. 예를 들면, 헥사고날 적층된 그래핀 다층 구조(100)의 표면 격자 상수(a_0 : surface lattice constant)는 4.27 Å일 수 있다. 위상 절연 층(200)의 격자 상수와 그래핀 다층 구조(100)의 격자 상수의 차이는 0.7 % 이내이므로, 그래핀 다층 구조(100)의 격자 상수를 위상 절연 층(200)의 격자 상수로 이용할 수 있다.
- [0032] 도 1c에 도시된 바와 같이, 위상 절연 층(200)의 표면에 상기 6족 원소(203, N; 예를 들면 Te 원자)가 노출될 수 있다. 상기 노출된 6족 원소가 그래핀 다층 구조(100)의 단위 그래핀 층(101)과 대향할 수 있다. 상기 대향하는 단위 그래핀 층(101)과 상기 노출된 6족 원소 사이의 간격(d_2)은 상수 값일 수 있다. 간격(d_2)은 예를 들면, 3.46 Å일 수 있다. 그래핀 다층 구조(100)의 단위 그래핀 층들(101, 103, 105) 사이의 간격(d_1)은 3.50 Å일 수 있다. 상기 대향하는 단위 그래핀 층(101)과 상기 노출된 6족 원소 사이의 간격(d_2)은 상기 그래핀 다층 구조(100)의 단위 그래핀 층들(101, 103, 105) 사이의 간격(d_1)보다 클 수 있다.
- [0033] 그래핀 다층 구조(100)가 헥사고날 적층된 3중층의 그래핀 다층 구조인 경우, 상기 간격(d_1)은 헥사고날 적층되지 않은 다른 그래핀 다층 구조의 배열(예: AB 적층, ABA 적층, 또는 ABC 적층)의 단위 그래핀들 사이의 간격에 비해 클 수 있다. 예를 들면, 상기 헥사고날 적층되지 않은 그래핀 다층 구조의 단위 그래핀들 사이의 간격은 3.25 Å일 수 있다. 이러한 본 발명의 실시예에 따른 그래핀 다층 구조(100)는 다른 다층 구조의 그래핀 배열에서 나타나지 않는 전자 밴드 구조에 따른 고유의 전하 재분포와 전자-정공 비대칭성을 유도하고 그에 따라 전기 전도도를 증가시켜 열전 효과를 향상시킬 수 있다.

- [0035] 도 2는 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조(gr_{AAA})와 위상 절연 층(200, 도 1c 참조) 사이의 이중 계면의 전자 밴드 구조 및 비교예에 따른 그래핀 구조(gr_A , gr_{AA} , gr_{ABA} , gr_{ABC})와 위상 절연 층 사이의 이중 계면의 전자 밴드 구조를 나타내는 도면이다.
- [0036] 도 2를 참조하면, 본 발명의 일 실시예에 따른 헥사고날 적층된 3 층의 그래핀 다층 구조는 gr_{AAA} 로 표시되고, 비교예에 따른 그래핀 다층 구조는 A 단층의 그래핀 구조(gr_A), AA 적층된 2 층의 그래핀 다층 구조(gr_{AA}), AB 적층된 2 층의 그래핀 다층 구조(gr_{AB}), ABA 적층된 3 층의 그래핀 다층 구조(gr_{ABA}) 또는 ABC 적층된 3중층의 그래핀 다층 구조(gr_{ABC})일 수 있다. 본 발명의 실시예에 따른 이중 계면과 비교예에 따른 이중 계면의 온도에 의해 확장된 전자 밴드 구조는 각각 온도 0 K (상부 패널), 온도 300 K (미들 패널) 및 온도 600 K (하부 패널)에 표시되어 있다. 그래핀 층과 위상 절연 층 사이의 열전 전송 효과(thermoelectric transport effect)는 전자 밴드 구조 및 전자와 포논 사이의 상호 작용을 활용하여 설명할 수 있다.
- [0037] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조와 위상 절연 층 사이의 이중 계면은 비교예에 따른 A 단층의 그래핀 구조(gr_A)와 위상 절연 층 사이의 이중 계면, AB 적층된 2중층의 그래핀 다층 구조(gr_{AB})와 위상 절연 층 사이의 이중 계면, ABA 적층된 3중층의 그래핀 다층 구조(gr_{ABA})와 위상 절연 층 사이의 이중 계면 또는 ABC 적층된 2중층의 그래핀 다층 구조(gr_{ABC})와 위상 절연 층 사이의 이중 계면에 비하여 전자 재분배(charge redistribution)가 강하게 발생됨을 알 수 있다. 상기 위상 절연 층의 Sb_2Te_3 은 p형 도핑될 수 있고, 상기 그래핀 다층 구조의 그래핀은 n형 도핑되는 형태의 전하 재분배가 나타날 수 있으며, 이는 적층 순서 및 적층 두께에 따라 변화할 수 있다.
- [0038] 위상 절연 층으로부터 그래핀 다층 구조로 전자들이 주입될 때, 위상 절연 층의 위상 표면의 상태는 그래핀 층의 디랙 콘들(Dirac cones)과 상호 작용을 시작하고, 그에 따라 그래핀 층의 밴드 구조에 상당한 스핀-궤도 커플링(spin-orbit coupling; SOC) 효과를 줄 수 있다. 본 발명의 실시예에 따르면 Dirac 점과 Kramers 점들이 페르미 레벨(ϵ_f) 근처에서 나타나는 전형적인 Rashba형 SOC 상호 작용이 나타난다.
- [0039] 일 실시예에서, 이중 계면에서는, 그래핀 다층 구조 상에 위상 절연 층이 에피택셜 성장될 수 있으며, 이 경우 위상 절연 층은 높은 결정성을 가질 수 있다. 위상 절연 층이 높은 결정성을 갖게 될 경우, 위상 절연 층 내의 구조적 결함이 현저히 감소됨으로써 낮은 전하 농도를 제공할 수 있게 되어 Seebeck 효과를 향상시킬 수 있다.
- [0041] 도 3a는 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조(gr_{AAA})와 위상 절연 층(200, 도 1c 참조) 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이며, 도 3b는 비교예에 따른 A 단층의 그래핀 구조(gr_A)와 위상 절연 층 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이고, 도 3c는 비교예에 따른 AA 적층된 2중층의 그래핀 다층 구조(gr_{AA})와 위상 절연 층 사이의 이중 계면의 평균 전자 밀도를 나타내는 그래프이고, 도 3d는 도 3a의 실시예의 평균 전자 밀도와 도 3b 및 도 3c의 비교예들의 평균 전자 밀도의 총 합을 결과를 서로 비교하기 위한 그래프이다.
- [0042] 도 3a 내지 도 3d를 참조하면, 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조와 위상 절연 층 사이의 이중 계면에서 강한 비대칭성의(mmetric) 전자의 고갈(depletion of electrons)과 축적(accumulation of electrons) 현상이 일어난다는 것을 알 수 있다. 상기 전자의 고갈과 상기 비대칭적인 축적은 상기 그래핀 다층 구조와 상기 위상 절연 층 사이의 수직의 빈 공간(vertical void)인 반데르발스 갭(van der Waals gap)의 근처에서 나타나는 것을 알 수 있다. 상기 그래핀 다층 구조의 상기 그래핀이 상기 위상 절연 층의 Sb_2Te_3 과 가까울 경우, 전하들은 매우 비대칭적으로 편극됨을 알 수 있다. 전하 편극으로 인해 생성된 내부 정전기장(internal electrostatic field)은 상기 그래핀 다층 구조와 상기 위상 절연 층 사이의 이중 계면의 근처에서 발생됨을 알 수 있다. 상기 그래핀 다층 구조의 전하들의 비대칭적인 편극은 상기 정전기장에서 상기 그래핀 다층 구조의 상기 그래핀이 상기 Sb_2Te_3 에 근접하는 효과(proximity effect)에 의해 나타나는 것을 알 수 있다.
- [0044] 도 4a는 순수한 그래핀 다층 구조의 전기 전도도를 나타내는 그래프이며, 도 4b는 본 발명의 실시예와 비교예에 따른 그래핀 다층 구조와 위상 절연 층을 포함한 열전 구조체의 전기 전도도를 서로 비교하기 위한 그래프이다.
- [0045] 도 4a 및 도 4b를 참조하면, 순수한 그래핀 다층 구조의 전기 전도도는 전자 화학 퍼텐셜(μ_0)인 0 eV를 기준으

로 대칭적이고, 본 발명의 실시예와 비교예에 따른 그래핀 다층 구조와 위상 절연 층을 포함한 열전 구조체의 전기 전도도는 상기 전자 화학 포텐셜(μ_0) 0 eV를 기준으로 비대칭적임을 알 수 있다. 상기 비대칭은 상기 전하 재분배 효과로부터 기인한다. 상기 헥사고날 적층된 그래핀 다층 구조와 상기 위상 절연 층의 이중 계면에서는 약하게 n형 도핑되어, 상기 헥사고날 적층된 그래핀 다층 구조와 상기 위상 절연 층을 포함한 열전 구조체의 전기 전도도는 전자 화학 포텐셜(μ_0)의 음의 값의 방향인 왼쪽으로 이동됨을 알 수 있다. 상기 비대칭성은 열 전기적인 p-n 접합을 위한 전자-정공 비대칭(electronhole asymmetry)으로 이용될 수 있다.

[0046] 본 발명의 일 실시예에 따른 헥사고날 적층된 3중층의 그래핀 다층 구조(gr_{AAA})와 상기 위상 절연 층을 포함한 열전 구조체의 전기 전도도는 AA 적층된 2중층의 그래핀 다층 구조(gr_{AA})와 위상 절연 층을 포함한 열전 구조체의 전기 전도도에 비해 큰 것을 알 수 있다. AA 적층된 2중층의 그래핀 다층 구조(gr_{AA})와 위상 절연 층의 이중 계면에서는 전하 재분배로 인하여 정전기적으로 전하의 이동이 방해됨에 따라, 전기 전도도가 낮아짐을 알 수 있다. 상기 헥사고날 적층된 3중층의 그래핀 다층 구조(gr_{AAA})와 상기 위상 절연 층의 사이의 이중 계면을 갖는 열전 구조체는 열전 소자를 구성하는 p-n 접합 블록체로 활용될 수 있다.

[0048] 도 5는 본 발명의 일 실시예에 따른 열전 소자(500)를 나타내는 사시도이다.

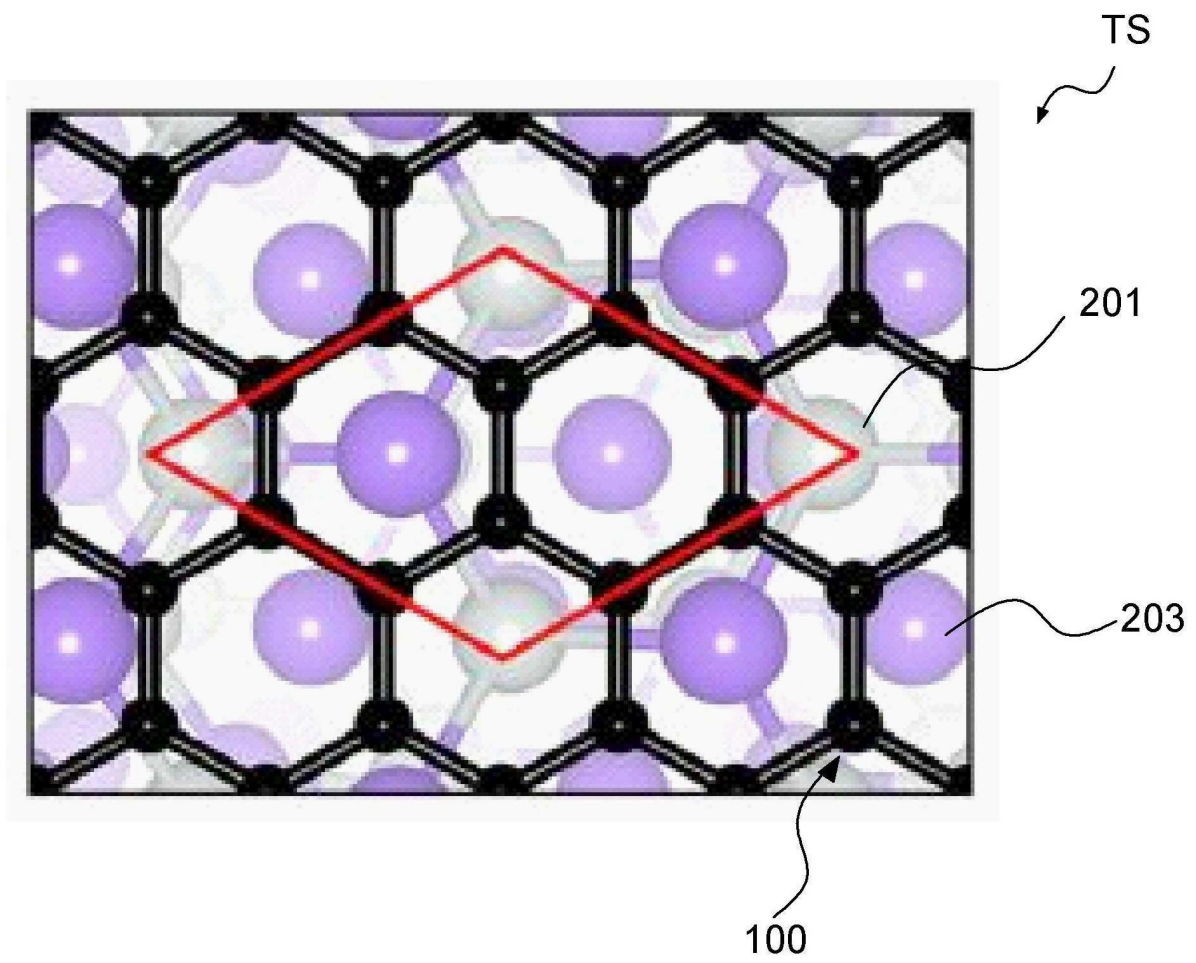
[0049] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 열전 소자(500)는 열전 층(105), 제 1 전극(101) 및 제 2 전극(103)을 포함할 수 있다. 열전 층(105)은 본 발명의 일 실시예에 따른 열전 구조체(TS, 도 1 참조)를 포함할 수 있다. 상기 헥사고날 적층된 3 중층의 그래핀 다층 구조와 상기 위상 절연 층은 p-n 접합을 갖는 단위 열전 패턴을 제공할 수 있다. 상기 열전 층(105)은 단위 열전 패턴이 적어도 하나 이상 반복 배치될 수 있다. 상기 단위 열전 패턴은 제 1 전극(301)과 제 2 전극(103) 사이에 배치될 수 있다. 상기 헥사고날 적층된 3층의 그래핀 다층 구조의 일면은 제 1 전극(101)의 일면 또는 제 2 전극(103)의 일면과 수직한 방향으로 연장될 수 있고, 상기 위상 절연 층은 제 1 전극(101)의 일면 또는 제 2 전극(103)의 일면과 수직한 방향으로 연장될 수 있다.

[0050] 제 1 전극(101)과 제 2 전극(103)은 상기 열전 층(105)에 전기적으로 연결될 수 있다. 상기 열전 소자(300)는 제 1 전극(101)과 제 2 전극(103)을 통하여 상기 열전 층(105)에 전류를 공급할 수 있다.

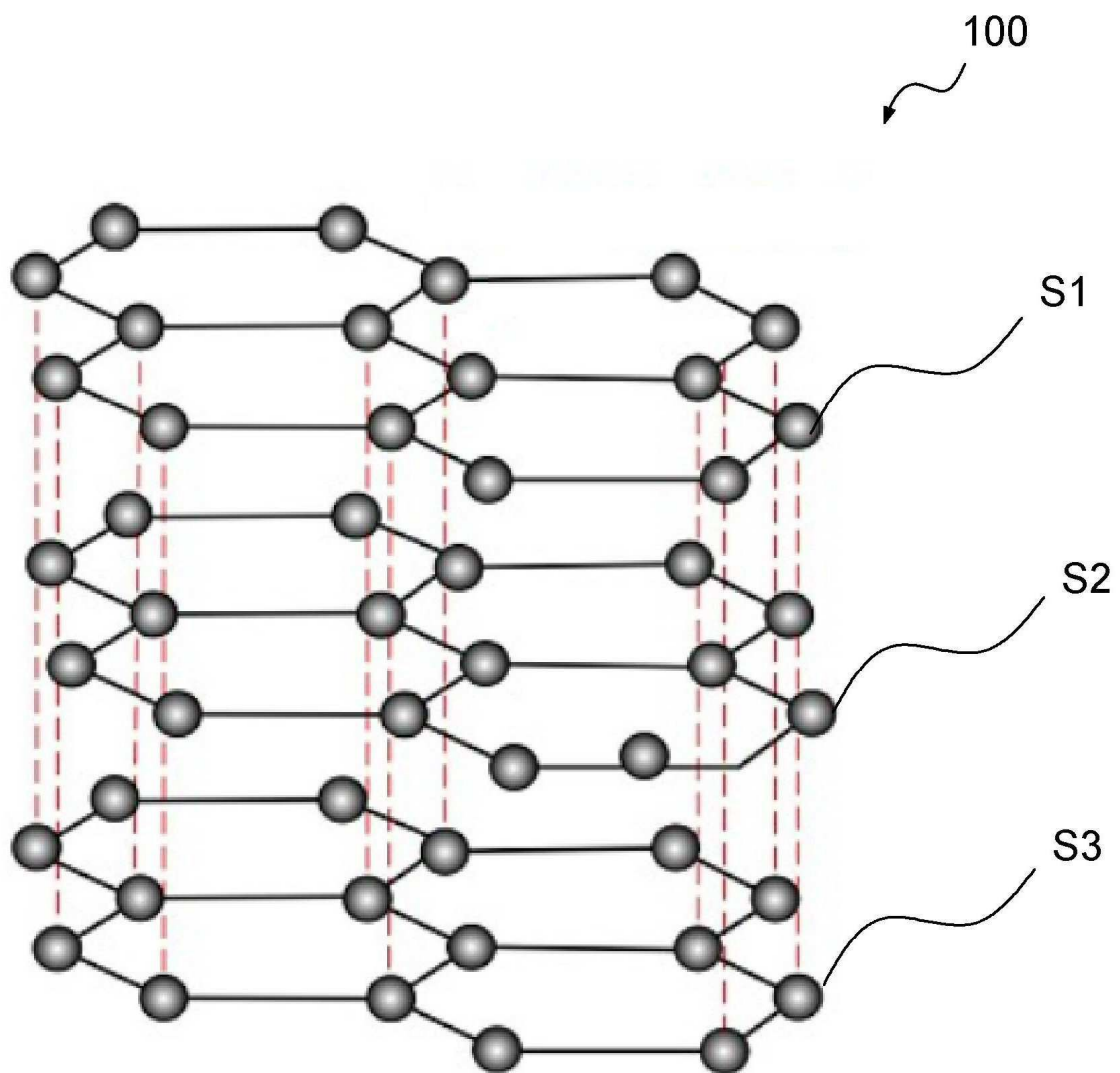
[0052] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

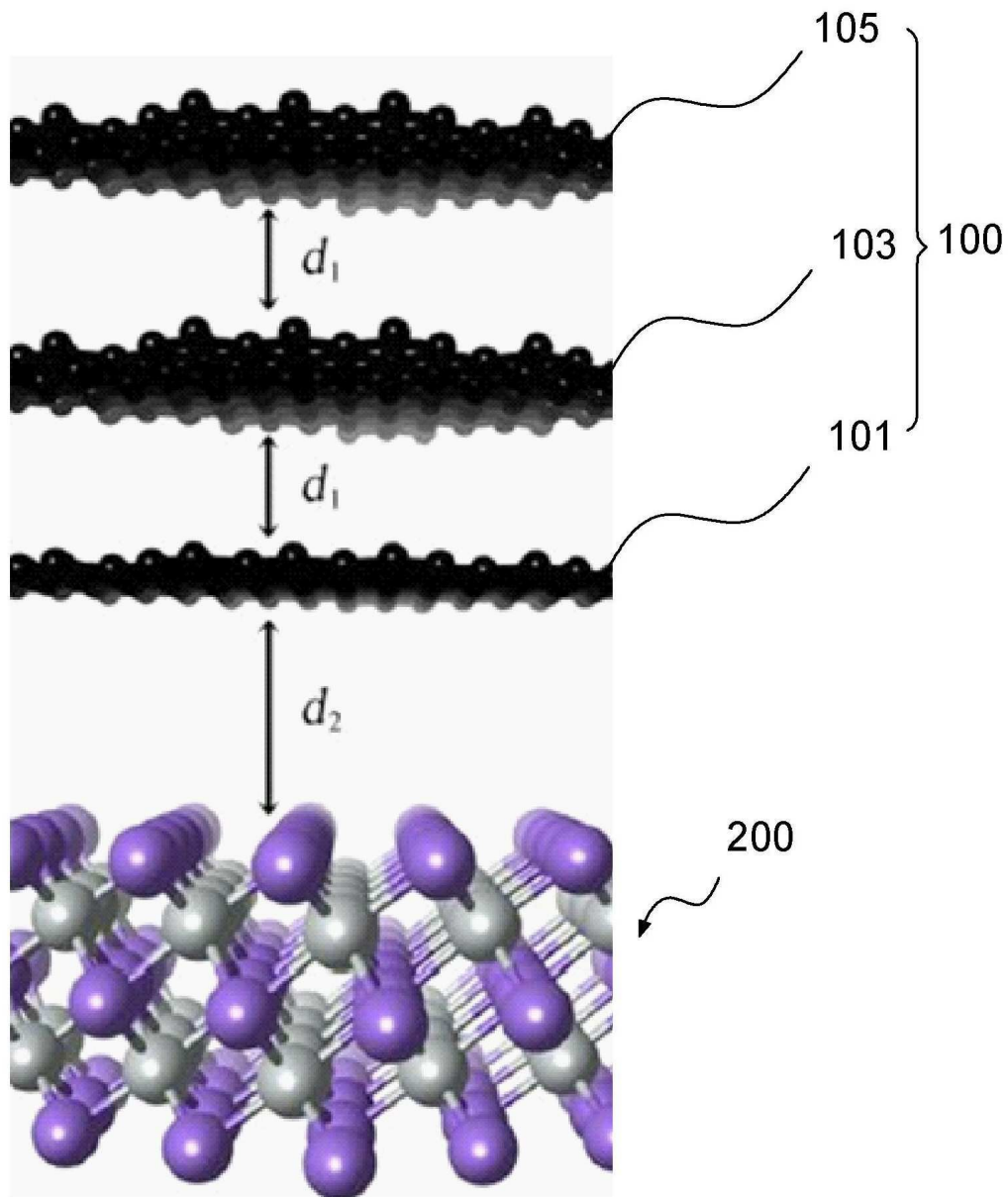
도면1a



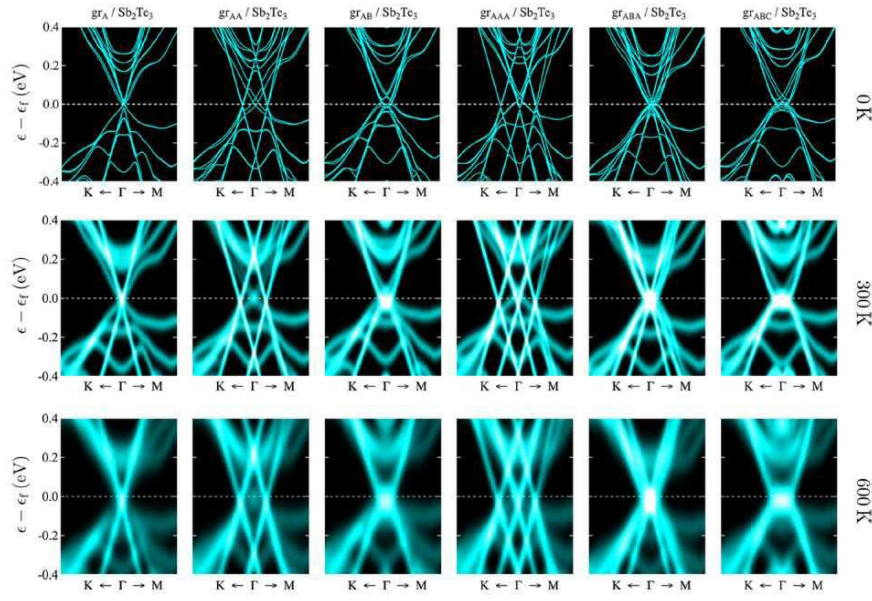
도면1b



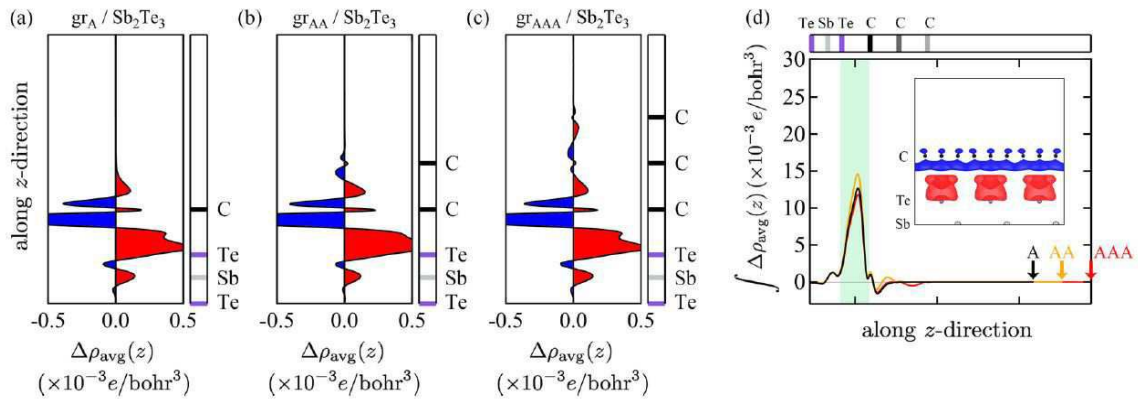
도면1c



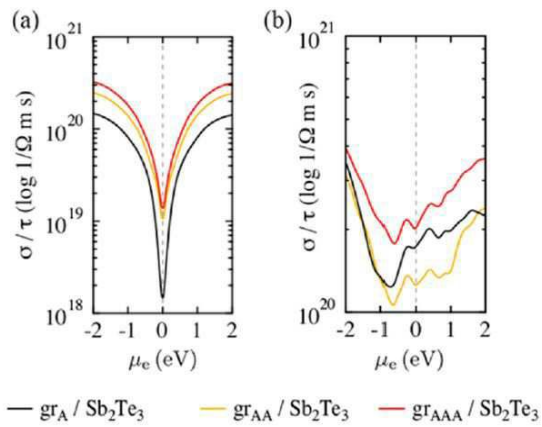
도면2



도면3



도면4



도면5

