



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월23일
(11) 등록번호 10-2126017
(24) 등록일자 2020년06월17일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 29/12 (2015.01)
(52) CPC특허분류
G11C 29/808 (2013.01)
G11C 15/04 (2013.01)
(21) 출원번호 10-2017-0170045
(22) 출원일자 2017년12월12일
심사청구일자 2017년12월12일
(65) 공개번호 10-2019-0069782
(43) 공개일자 2019년06월20일
(56) 선행기술조사문헌
KR1020140129219 A*
KR1020160031326 A*
Shyue-Kung Lu et al., 'Efficient BISR techniques for embedded memories considering cluster faults', IEEE trans. VLSI systems, Vol.18, No.2, Feb. 2010. 1부.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
강성호
서울특별시 마포구 양화로 45, 101동 2102호 (서교동, 메세나폴리스)
한동현
서울특별시 서초구 잠원로8길 20, 331동 506호 (잠원동, 신반포19차아파트)
(74) 대리인
특허법인우인

전체 청구항 수 : 총 10 항

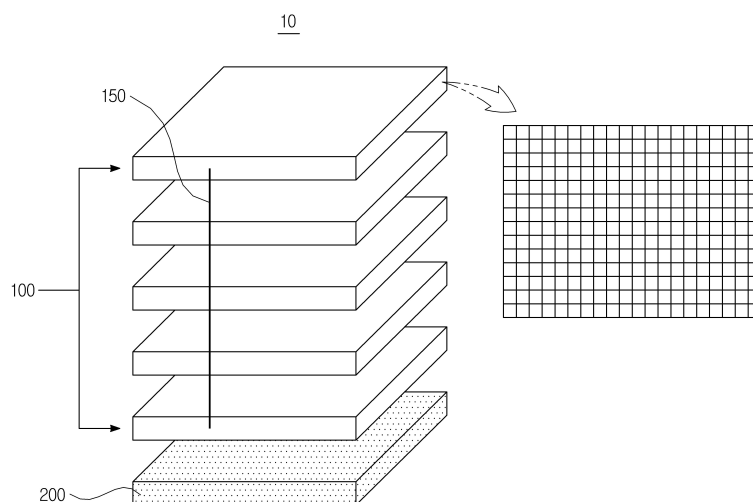
심사관 : 손윤식

(54) 발명의 명칭 베이스 다이 스페어 셀을 이용한 적층형 메모리 장치 및 그 수리 방법

(57) 요약

본 실시예들은 접합 공정 후 수리 과정을 위한 여분 셀을 베이스 다이에 배치하여 각 메모리 층마다 원하는 만큼의 스페어 셀을 사용하고, 테스트 이후의 수리 결과를 영구 저장하고, 베이스 다이의 스페어 셀과 메모리 층에 동시에 접근하고 유의미한 데이터를 선별함으로써, 메모리의 전원이 차단되더라도 새로 테스트를 진행할 필요 없고, 여분 메모리에서 판단이 수행된 후에 메모리 층에 접근할 때 낭비되는 시간을 해소하고, 높은 수리율을 확보할 수 있는 적층형 메모리 장치 및 그 수리 방법을 제공한다.

대표도



(52) CPC특허분류

G11C 29/1201 (2013.01)

G11C 5/06 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2017043199

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구자지원사업

연구과제명 초미세폭 3차원 반도체 제조비용 절감을 위한 설계 및 테스트 기술
연구(3/3)(2015.05.01~2018.04.30)

기 여 율 1/1

주관기관 연세대학교

연구기간 2017.05.01 ~ 2018.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

집합 공정 후(Post-Bond) 수리 과정을 위한 적층형 메모리 장치에 있어서,

복수의 메모리 층; 및

상기 복수의 메모리 층에 연결된 시스템 층을 포함하며,

상기 시스템 층은,

상기 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장하는 솔루션 메모리;

상기 복수의 메모리 층의 셀을 대체하는 상기 솔루션 정보 및 상기 셀에 대응하는 데이터를 저장하는 여분 메모리; 및

상기 복수의 메모리 층 중에서 해당하는 메모리 층 및 상기 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어하는 메모리 컨트롤러를 포함하며,

상기 솔루션 정보는 (i) 층 정보, (ii) 행 정보, 및 (iii) 열 정보를 포함하며,

상기 여분 메모리는 상기 층 정보를 저장하며,

상기 여분 메모리의 데이터 처리 속도가 상기 메모리 층의 데이터 처리 속도보다 빠르며,

상기 메모리 층은 고장난 셀이던 정상 셀이던 정보를 저장하고, 읽기 과정에서 데이터가 선별되며,

상기 여분 메모리의 데이터 확인은 상기 메모리 층의 데이터 확인보다 빨라서, 상기 메모리 컨트롤러는 상기 정상 셀의 데이터가 도착하기 전에 이미 상기 여분 메모리의 정보를 내보낼지 상기 메모리 층의 정보를 내보낼지 판단을 완료하며,

상기 메모리 컨트롤러가 목적 주소에 데이터를 기입하는 동작을 수행할 때, 상기 복수의 메모리 층에서 상기 목적 주소에 해당하는 메모리 층 및 상기 시스템 층에 위치하는 상기 여분 메모리 모두로 상기 목적 주소 및 상기 데이터를 전달하고,

상기 메모리 컨트롤러가 상기 목적 주소로부터 데이터를 독출하는 동작을 수행할 때, 상기 복수의 메모리 층에서 상기 목적 주소에 해당하는 메모리 층 및 상기 시스템 층에 위치하는 상기 여분 메모리 모두로 상기 목적 주소를 전달하는 것을 특징으로 하는 적층형 메모리 장치.

청구항 2

제1항에 있어서,

상기 여분 메모리는 내용 주소화 메모리(Content Addressable Memory, CAM)로 구현되며,

상기 솔루션 메모리는 상기 솔루션 정보를 영구적으로 저장하고,

상기 여분 메모리는 전원이 인가되면 상기 솔루션 메모리로부터 상기 솔루션 정보를 수신하여 상기 복수의 메모리 층에 여분 셀을 추가하지 않고 상기 복수의 메모리 층의 셀을 논리적으로 대체하는 것을 특징으로 하는 적층형 메모리 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 솔루션 메모리는 상기 복수의 메모리 층의 라인을 대체하는 (i) 상기 층 정보, (ii) 행렬 플래그, 및 (iii) 행 또는 열의 주소를 저장하고,

상기 여분 메모리는 상기 복수의 메모리 층의 라인을 대체하는 (i) 상기 층 정보, (ii) 상기 행렬 플래그, (iii) 상기 행 또는 열의 주소, 및 (iv) 상기 라인에 대응하는 데이터를 저장하는 것을 특징으로 하는 적층형 메모리 장치.

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 목적 주소에 해당하는 메모리 층은 셀의 고장여부에 상관없이 상기 전달된 데이터를 저장하며,

상기 여분 메모리는 상기 목적 주소가 존재하면 상기 전달된 데이터를 저장하고 상기 목적 주소가 존재하지 않으면 상기 전달된 데이터를 저장하지 않는 것을 특징으로 하는 적층형 메모리 장치.

청구항 8

삭제

청구항 9

제1항에 있어서,

상기 메모리 컨트롤러는 상기 여분 메모리에 상기 목적 주소가 존재하면 상기 여분 메모리에서 상기 목적 주소에 대응하는 데이터를 선택하여 출력하고, 상기 여분 메모리에 상기 목적 주소가 존재하지 않으면 상기 목적 주소에 해당하는 메모리 층에서 상기 목적 주소에 대응하는 데이터를 선택하여 출력하는 것을 특징으로 하는 적층형 메모리 장치.

청구항 10

접합 공정 후(Post-Bond) 수리 과정을 위한 복수의 메모리 층 및 시스템 층을 갖는 적층형 메모리 장치의 수리 방법에 있어서,

솔루션 메모리가 상기 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장하는 단계;

여분 메모리가 상기 복수의 메모리 층의 셀을 대체하는 상기 솔루션 정보 및 상기 셀에 대응하는 데이터를 저장하는 단계; 및

메모리 컨트롤러가 상기 복수의 메모리 층 중에서 해당하는 메모리 층 및 상기 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어하는 단계를 포함하며,

상기 솔루션 정보는 (i) 층 정보, (ii) 행 정보, 및 (iii) 열 정보를 포함하며,

상기 여분 메모리는 상기 층 정보를 저장하며,

상기 여분 메모리의 데이터 처리 속도가 상기 메모리 층의 데이터 처리 속도보다 빠르며,

상기 메모리 층은 고장난 셀이던 정상 셀이던 정보를 저장하고, 읽기 과정에서 데이터가 선별되며,

상기 여분 메모리의 데이터 확인은 상기 메모리 층의 데이터 확인보다 빨라서, 상기 메모리 컨트롤러는 상기 정상 셀의 데이터가 도착하기 전에 이미 상기 여분 메모리의 정보를 내보낼지 상기 메모리 층의 정보를 내보낼지 판단을 완료하며,

상기 메모리 컨트롤러가 목적 주소에 데이터를 기입하는 동작을 수행할 때, 상기 복수의 메모리 층에서 상기 목

적 주소에 해당하는 메모리 층 및 상기 시스템 층에 위치하는 상기 여분 메모리 모두로 상기 목적 주소 및 상기 데이터를 전달하고,

상기 메모리 컨트롤러가 상기 목적 주소로부터 데이터를 독출하는 동작을 수행할 때, 상기 복수의 메모리 층에서 상기 목적 주소에 해당하는 메모리 층 및 상기 시스템 층에 위치하는 상기 여분 메모리 모두로 상기 목적 주소를 전달하는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

청구항 11

제10항에 있어서,

상기 여분 메모리는 내용 주소화 메모리(Content Addressable Memory, CAM)로 구현되며,

상기 솔루션 메모리는 상기 솔루션 정보를 영구적으로 저장하고,

상기 여분 메모리는 전원이 인가되면 상기 솔루션 메모리로부터 상기 솔루션 정보를 수신하여 상기 복수의 메모리 층에 여분 셀을 추가하지 않고 상기 복수의 메모리 층의 셀을 논리적으로 대체하는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

제10항에 있어서,

상기 솔루션 메모리는 상기 복수의 메모리 층의 라인을 대체하는 (i) 상기 층 정보, (ii) 행렬 플래그, 및 (iii) 행 또는 열의 주소를 저장하고,

상기 여분 메모리는 상기 복수의 메모리 층의 라인을 대체하는 (i) 상기 층 정보, (ii) 상기 행렬 플래그, (iii) 상기 행 또는 열의 주소, 및 (iv) 상기 라인에 대응하는 데이터를 저장하는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

청구항 15

삭제

청구항 16

제10항에 있어서,

상기 목적 주소에 해당하는 메모리 층은 셀의 고장여부에 상관없이 상기 전달된 데이터를 저장하며,

상기 여분 메모리는 상기 목적 주소가 존재하면 상기 전달된 데이터를 저장하고 상기 목적 주소가 존재하지 않으면 상기 전달된 데이터를 저장하지 않는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

청구항 17

삭제

청구항 18

제10항에 있어서,

상기 메모리 컨트롤러는 상기 여분 메모리에 상기 목적 주소가 존재하면 상기 여분 메모리에서 상기 목적 주소에 대응하는 데이터를 선택하여 출력하고, 상기 여분 메모리에 상기 목적 주소가 존재하지 않으면 상기 목적 주소에 해당하는 메모리 층에서 상기 목적 주소에 대응하는 데이터를 선택하여 출력하는 것을 특징으로 하는 적층형 메모리 장치의 수리 방법.

발명의 설명

기술 분야

[0001] 본 실시예가 속하는 기술 분야는 적층형 메모리 장치의 수리 방법에 관한 것이다.

배경 기술

[0002] 이 부분에 기술된 내용은 단순히 본 실시예에 대한 배경 정보를 제공할 뿐 종래기술을 구성하는 것은 아니다.

[0003] 2차원 메모리에서 메모리의 층을 적층하는 3차원 메모리로 발전함에 따라 기존보다 높은 수리율이 요구되고 있다. 3차원 메모리는 한 층이라도 고칠 수 없으면 전체 메모리를 버려야 하기 때문이다.

[0004] 기존의 3차원 메모리에서는 각 층마다 여분 셀이 마련된다. 여분 셀들은 웨이퍼 상에서의 수리인 접합 공정 전 (Pre-Bond) 수리 과정을 위한 여분 셀과 메모리의 적층 이후에 수리 과정인 접합 공정 후(Post-Bond) 수리 과정을 위한 여분 셀들로 구분되어 존재한다.

[0005] 3차원 메모리의 제작을 위해 사용하는 메모리 다이는 공유 예비 셀을 사용하기 때문에 접합 공정 전 테스트 및 수리 (Pre-Bond Test & Repair) 공정 후에 무고장 다이(Fault Free Die), 자체 수리 가능 다이 (Self-Repairable Die), 공유 예비 셀을 이용한 수리 가능 다이 (Inter-Repairable Die), 수리 불가능 다이 (Irreparable Die)로 분류할 수 있다. 무고장 다이는 다이에 고장이 없으며 공유 셀을 전혀 사용하지 않는다. 자체 수리 가능 다이는 다이 내의 고장을 자체 내장 예비 셀을 이용하여 모두 수리할 수 있지만, 공유 예비 셀을 이용한 수리 가능 다이는 자체 내장 예비 셀만을 이용해서는 다이의 수리가 불가능하며 이웃 다이의 예비 셀을 추가로 사용해야 한다. 수리 불가능 다이는 자체 내장 예비 셀뿐만 아니라 이웃 다이의 예비 셀까지 공유하여 사용해도 수리할 수 없는 다이이다. 이렇게 분류된 다이는 접합 공정에서 발생할 수 있는 추가 결함을 예상하여 매칭된다. 매칭이 완료된 3차원 메모리는 접합 공정 후 테스트 및 수리(Post-Bond Test & Repair) 과정을 거친 후에 사용 가능 여부를 결정한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국등록특허공보 제10-1652874호 (2016.08.25.)

(특허문헌 0002) 한국공개특허공보 제10-1545716호 (2015.08.12.)

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예들은 접합 공정 후 수리 과정을 위한 여분 셀을 베이스 다이에 배치하여 각 메모리 층마다 원하는 만큼의 스페어 셀을 사용하고, 베이스 다이의 스페어 셀과 메모리 층에 동시에 접근하고 유의미한 데이터를 선별함으로써, 여분 메모리에서 판단이 수행된 후에 메모리 층에 접근할 때 낭비되는 시간을 해소하고, 높은 수리율을 확보하는 데 발명의 주된 목적이 있다.

[0008] 본 발명의 실시예들은 접합 공정 후 수리 과정을 위한 여분 셀을 베이스 다이에 배치하여 각 메모리 층마다 원하는 만큼의 스페어 셀을 사용하고, 테스트 이후의 수리 결과를 영구 저장함으로써, 메모리의 전원이 차단되더라도 새로 테스트를 진행할 필요 없고, 높은 수리율을 확보하는 데 발명의 다른 목적이 있다.

[0009] 본 발명의 명시되지 않은 또 다른 목적들은 하기의 상세한 설명 및 그 효과로부터 용이하게 추론할 수 있는 범위 내에서 추가적으로 고려될 수 있다.

과제의 해결 수단

[0010] 본 실시예의 일 측면에 의하면, 복수의 메모리 층 및 상기 복수의 메모리 층에 연결된 시스템 층을 포함하며,

상기 시스템 층은, 상기 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장하는 솔루션 메모리, 상기 복수의 메모리 층의 셀을 대체하는 상기 솔루션 정보 및 상기 셀에 대응하는 데이터를 저장하는 여분 메모리, 및 상기 복수의 메모리 층 중에서 해당하는 메모리 층 및 상기 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어하는 메모리 컨트롤러를 포함하는 적층형 메모리 장치를 제공한다.

[0011] 본 실시예의 다른 측면에 의하면, 복수의 메모리 층 및 시스템 층을 갖는 적층형 메모리 장치의 수리 방법에 있어서, 솔루션 메모리가 상기 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장하는 단계, 여분 메모리가 상기 복수의 메모리 층의 셀을 대체하는 상기 솔루션 정보 및 상기 셀에 대응하는 데이터를 저장하는 단계, 및 메모리 컨트롤러가 상기 복수의 메모리 층 중에서 해당하는 메모리 층 및 상기 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어하는 단계를 포함하는 적층형 메모리 장치의 수리 방법을 제공한다.

발명의 효과

[0012] 이상에서 설명한 바와 같이 본 발명의 실시예들에 의하면, 집합 공정 후 수리 과정을 위한 여분 셀을 베이스 다이에 배치하여 각 메모리 층마다 원하는 만큼의 스페어 셀을 사용하고, 베이스 다이의 스페어 셀과 메모리 층에 동시에 접근하고 유의미한 데이터를 선별함으로써, 여분 메모리에서 판단이 수행된 후에 메모리 층에 접근할 때 낭비되는 시간을 해소하고, 높은 수리율을 확보할 수 있는 효과가 있다.

[0013] 본 발명의 실시예들은 집합 공정 후 수리 과정을 위한 여분 셀을 베이스 다이에 배치하여 각 메모리 층마다 원하는 만큼의 스페어 셀을 사용하고, 테스트 이후의 수리 결과를 영구 저장함으로써, 메모리의 전원이 차단되더라도 새로 테스트를 진행할 필요 없고, 높은 수리율을 확보할 수 있는 효과가 있다.

[0014] 여기에서 명시적으로 언급되지 않은 효과라 하더라도, 본 발명의 기술적 특징에 의해 기대되는 이하의 명세서에서 기재된 효과 및 그 잠정적인 효과는 본 발명의 명세서에 기재된 것과 같이 취급된다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 구조를 예시한 도면이다.
 도 2는 본 발명의 일 실시예에 따른 적층형 메모리 장치의 시스템 층을 예시한 블록도이다.
 도 3은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 시스템 층의 신호 흐름을 예시한 도면이다.
 도 4는 본 발명의 일 실시예에 따른 적층형 메모리 장치의 솔루션 메모리를 설정하는 동작을 예시한 흐름도이다.
 도 5는 본 발명의 일 실시예에 따른 적층형 메모리 장치의 메모리 컨트롤러를 예시한 블록도이다.
 도 6은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 메모리 컨트롤러가 데이터를 처리하는 동작을 예시한 흐름도이다.
 도 7은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 메모리 컨트롤러가 데이터를 기입하는 동작을 예시한 도면이다.
 도 8은 본 발명의 일 실시예에 따른 적층형 메모리 장치의 메모리 컨트롤러가 데이터를 독출하는 동작을 예시한 도면이다.
 도 9는 본 발명의 다른 실시예에 따른 적층형 메모리 장치의 수리 방법을 예시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명을 설명함에 있어서 관련된 공지기능에 대하여 이 분야의 기술자에게 자명한 사항으로서 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하고, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다.

[0017] 도 1은 적층형 메모리 장치의 구조를 예시한 도면이다. 적층형 메모리 장치는 하나 이상의 결합된 메모리 다이 층들, 메모리 패키지들, 또는 다른 메모리 요소들을 포함하는 3차원 컴퓨터 메모리를 의미한다. 도 1을 참조하면, 적층형 메모리 장치(10)는 복수의 메모리 층(100) 및 시스템 층(200)을 포함하며, 기판 위에 구현될 수 있다.

[0018] 적층형 메모리 장치(10)는 수직 적층형 또는 수평(예컨대, 사이드-바이-사이드) 적층형이거나, 서로 결합되어

있는 메모리 요소들을 포함할 수 있다. 복수의 메모리 층(100)은 DRAM으로 구현될 수 있으나, 이에 한정되는 것은 아니다. 적층형 DRAM 표준(Wide IO)의 출현으로 DRAM 웨이퍼는 메모리 스택을 가진 동일 패키지에 시스템 온 칩(SoC) 웨이퍼와 같은 시스템 요소와 함께 적층될 수 있다. 적층형 메모리 장치에서는 DRAM의 제조 회사에 따라 장치마다 메모리 층들이 변할 수 있다.

[0019] 복수의 메모리 층(100)은 실리콘 관통전극(150)을 통하여 상호 연결될 수 있다. 적층형 메모리는 실리콘 관통전극(Through Silicon Via, TSV) 제조 기법들을 이용하며, 메모리 스택을 통한 신호 경로들을 제공하기 위해 실리콘 다이들을 통하여 비아들이 생성된다. 실리콘 관통전극으로 연결할 때, 최상부(또는 최외곽) 메모리 다이 층은 제외될 수 있다.

[0020] 시스템 층(200)은 중앙 처리 유닛(Central Processing Unit, CPU), 메모리 컨트롤러, 및 기타 관련 시스템 요소들과 같은 요소들을 포함할 수 있다. 시스템 층은 시스템 온 칩(SoC)을 포함할 수 있다. 로직 칩은 애플리케이션 프로세서 또는 그래픽 처리 장치(Graphics Processing Unit, GPU)일 수 있다.

[0021] 메모리 수리는 포괄적이고 메모리의 제조 회사에 의해 시행되는 임의의 메모리 포맷에 적용될 수 있다. 일부 실시예들에서 메모리 장치는 CAM과 같은 별개의 메모리에 저장하거나 메모리의 결합 있는 부분들의 주소들을 메모리의 양호한 부분들로 변환함으로써 결합 있는 요소들에 대한 여분(Redundancy)을 제공한다. 일부 실시예들에서 메모리의 결합 있는 메모리의 여분의 행들, 열들, 또는 블록들이 소정의 종래의 DRAM들에서 구현될 수 있다.

[0022] 도 2는 적층형 메모리 장치의 시스템 층을 예시한 블록도이고, 도 3은 적층형 메모리 장치의 시스템 층의 신호 흐름을 예시한 도면이다.

[0023] 도 2를 참조하면, 시스템 층(200)은 솔루션 메모리(210), 여분 메모리(220), 및 메모리 컨트롤러(230)를 포함한다. 시스템 층(200)은 도 2에서 예시적으로 도시한 다양한 구성요소들 중에서 일부 구성요소를 생략하거나 다른 구성요소를 추가로 포함할 수 있다.

[0024] 솔루션 메모리(210)는 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장한다. 솔루션 메모리(210)는 비휘발성 메모리이며, 솔루션 정보를 영구적으로 저장한다. 솔루션 메모리(210)는 NAND 플래시 메모리로 구현될 수 있으나 이는 예시일 뿐이며 이에 한정되는 것은 아니다.

[0025] 여분 메모리(220)는 전원이 들어올 때마다 솔루션 메모리(210)로부터 솔루션 정보를 받아 여분 셀과 같이 동작할 수 있다. 여분 메모리(220)는 복수의 메모리 층의 셀을 대체하는 솔루션 정보 및 셀에 대응하는 데이터를 저장한다. 여분 메모리는 휘발성 메모리이며, SRAM 또는 내용 주소화 메모리(Content Addressable Memory, CAM)로 구현될 수 있으나 이는 예시일 뿐이며 이에 한정되는 것은 아니다. 여분 메모리(220)는 전원이 인가되면 솔루션 메모리(210)로부터 솔루션 정보를 수신하여 복수의 메모리 층에 여분 셀을 추가하지 않고 복수의 메모리 층의 셀을 논리적으로 대체한다. 즉, 물리적인 대체가 아닌 메모리 층에 해당하는 행렬처럼 동작하는 논리적인 대체를 수행한다.

[0026] 메모리 컨트롤러(230)는 복수의 메모리 층 중에서 해당하는 메모리 층 및 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어한다.

[0027] 도 3을 참조하면, 솔루션 메모리는 복수의 메모리 층의 라인을 대체하는 (i) 층 정보, (ii) 행렬 플래그, 및 (iii) 행 또는 열의 주소를 저장할 수 있다. 메모리 층은 라인 전체의 정보를 읽고 그 중에서 필요한 정보를 추리는 방식으로 가 동작한다. 이 경우에 솔루션 메모리는 층 정보에 관한 비트, 행 또는 열을 의미하는 비트, 행 또는 열의 주소에 관한 비트를 합한 비트 수만큼의 사이즈가 필요하다. 즉, $\text{Enable} + \text{Log}(\text{Layer}) + \text{Log}(\text{Max}(\text{R}, \text{C})) + (\text{R/C Descript})$ 비트가 필요하다. 여기서 R은 행이고 C는 열을 의미한다.

[0028] 여분 메모리는 복수의 메모리 층의 라인을 대체하는 (i) 층 정보, (ii) 행렬 플래그, (iii) 행 또는 열의 주소, 및 (iv) 라인에 대응하는 데이터를 저장할 수 있다. 이 경우에 여분 메모리의 라인 하나가 메모리 층의 라인 하나를 대체한다. 여분 메모리는 일 방향으로 층 정보에 관한 비트, 행 또는 열을 의미하는 비트, 행 또는 열의 주소에 관한 비트, 대체된 라인 전체의 데이터에 관한 비트를 합한 비트 수만큼의 사이즈가 필요하다. 즉, $\text{Enable} + \text{Log}(\text{Layer}) + \text{Log}(\text{Max}(\text{R}, \text{C})) + (\text{R/C Descript}) + \text{Spare Line}$ 비트가 필요하다. 여분 메모리는 다른 방향으로 여분 행 및 여분 열에 층 개수를 곱한 비트 수만큼의 사이즈가 필요하다. 즉, $\text{Layer} * (\text{Rs} + \text{Cs})$ 비트가 필요하다. 여기서 Rs는 여분 행이고, Cs는 여분 열을 의미한다.

[0029] 본 실시예는 전체 라인을 대체하는 것이 아니라 하나의 셀을 대체할 수 있다. 솔루션 정보가 (i) 층 정보, (ii) 행 정보, 및 (iii) 열 정보를 나타내며, 솔루션 메모리는 복수의 메모리 층의 라인을 대체하는 (i) 층 정보,

(ii) 행 정보, 및 (iii) 열 정보를 저장할 수 있다. 솔루션 메모리는 새로운 행렬 정보 모두, 즉, 대체한 셀의 좌표 전체를 갖는다. 여분 메모리 역시 행렬 정보를 모두 갖고, 데이터 위치에 메모리 라인 전체가 입력되는 것이 아니라 한 셀이 나타내는 데이터 크기의 데이터를 여분 메모리에 저장한다.

[0030] 이하에서는 도 4를 참조하여, 적층형 메모리 장치가 솔루션 메모리를 설정하는 동작을 설명하기로 한다.

[0031] 단계 S410에서 적층형 메모리 장치는 자동 테스트 장비(ATE, Automatic Test Equipment)를 이용하여 메모리 층을 검사하고 고장 데이터를 획득한다. 단계 S420에서 적층형 메모리 장치는 고장 데이터를 수집한다. 단계 S430에서 적층형 메모리 장치는 ATE를 이용하여 고장 데이터를 분석하여 대체 솔루션을 구한다.

[0032] ATE는 적층형 메모리 장치, 즉, 피시험장치(Device Under Test, DUT)를 자동으로 검사하는 장비로 마이크로컴퓨터 또는 마이크로프로세서 기반의 시스템으로 구성된다. ATE는 테스트 헤더를 통해 BOST 회로 장치와 전기적으로 결합된다. ATE는 테스트 패턴을 DUT에 직접 입력하거나 BOST 회로 장치를 통하여 DUT와 전기적으로 연결하고 테스트 패턴을 DUT에 입력할 수 있다. DUT의 출력과 기대값을 비교하여 DUT의 오류를 판정한다. DUT는 BOST 회로 장치의 소켓에 장착되어 전기적으로 결합될 수 있다.

[0033] ATE는 외부의 서버와 인터페이스를 사용하여 접속할 수 있다. 서버는 사용자 인터페이스를 제공하여 사용자가 테스트될 DUT의 특성에 맞는 테스트 프로그램을 작성할 수 있는 환경을 제공한다. 또한 서버는 ATE에 테스트 프로그램을 송신하며 ATE에서 테스트 결과를 송신 받아 분석할 수 있는 사용자 인터페이스를 제공할 수 있다. 서버는 임의의 타입의 프로세싱 디바이스일 수 있고, 종래의 퍼스널 컴퓨터(PC), 데스크 탑 디바이스, 또는 휴대용 디바이스, 마이크로프로세서 컴퓨터, 마이크로프로세서 기반 또는 프로그램가능 소비자 전자 디바이스, 미니-컴퓨터, 메인프레임 컴퓨터, 및/또는 개인용 모바일 컴퓨팅 디바이스를 포함하지만 이에 제한되지는 않는다.

[0034] BOST 회로 장치는 프린트 인쇄기판으로 형성될 수 있고, ATE와 DUT를 전기적으로 연결하기 위한 다수의 도전패턴들이 형성될 수 있다. 다수의 도전패턴들은 입출력 테스트 신호 라인들, 클록 신호 라인들, 전원 라인들을 포함할 수 있다. BOST 회로 장치는 테스트 보드 또는 하이픽스(High Fidelity Tester Access Fixture, HI FIX)를 포함할 수 있다.

[0035] 단계 S440에서 적층형 메모리 장치는 솔루션 정보를 솔루션 메모리에 저장한다. 여기서 솔루션 정보는 (i) 셀을 대체하기 위한 층 정보, 행 정보, 및 열 정보이거나 (ii) 라인을 대체하기 위한 층 정보, 행렬 플래그, 및 행 또는 열의 주소일 수 있다. 단계 S450에서 메모리 층 전체에 대하여 단계 S410 내지 단계 S440을 반복하여 수행한다. 베이스 다이에 다량의 여분 셀을 넣으면 테스트 진행 후 솔루션으로 사용한 스페어의 개수는 각 층별 여분 셀의 개수에 상관없이, 메모리 전체에 넣은 접합 공정 후(Post-Bond) 수리 과정을 위한 여분 셀들 이내이면 수리가 가능하다.

[0036] 이하에서는 도 5 내지 도 8을 참조하여, 적층형 메모리 장치가 데이터를 읽고 쓰는 동작을 설명하기로 한다. 도 5는 적층형 메모리 장치의 메모리 컨트롤러를 예시한 블록도이고, 도 6은 적층형 메모리 장치의 메모리 컨트롤러가 데이터를 처리하는 동작을 예시한 흐름도이다.

[0037] 단계 S610에서 적층형 메모리 장치는 솔루션 메모리에 저장된 솔루션 정보를 여분 메모리로 전송한다. 단계 S620에서 적층형 메모리 장치는 여분 메모리가 여분 셀과 같이 동작하도록 여분 메모리에 솔루션 정보를 저장한다. 여분 메모리는 이제 주소를 가지고 동작하게 된다. 단계 S630에서 적층형 메모리 장치는 데이터 기입 또는 독출 동작 요청을 입력받는다. 단계 S640에서 적층형 메모리 장치는 읽기 쓰기 과정에 대해 동작이 달라진다.

[0038] 메모리 수리에서 메모리 층 간 공유가 어려운 이유는 정상 메모리 셀의 동작 속도와 수리된 셀의 속도 격차 때문이다. 본 실시예에 따른 적층형 메모리 장치는 여분 메모리와 메모리 층 모두에게 정보를 요청한다. 이후 여분 메모리에서 주소의 유무에 따라 여분 메모리의 자료를 사용할 것인지, 메모리 층의 자료를 사용할 것인지 판단한다. 여분 메모리의 정보 확인은 메모리 층보다 빠르기 때문에 정상 메모리 셀의 결과값이 도착하기 전에 이미 여분 메모리의 정보를 내보낼지 메모리 층의 정보를 내보낼지 판단이 완료된 상태이다.

[0039] 메모리 컨트롤러는 메모리의 쓰기 동작 과정에서 여분 메모리와 메모리 층 모두에게 정보가 전달되도록 제어한다(S650). 여분 메모리의 경우에는 해당 주소가 존재하지 않으면 데이터를 저장하지 않으며, 존재하는 경우 저장하게 된다. 메모리 층의 경우에는 고장난 셀이던 정상 셀이던 정보를 저장한다. 이후 읽기 과정에서 데이터가 선별된다.

[0040] 메모리 컨트롤러는 메모리의 읽기 동작 과정에서 주소가 들어오게 되면 여분 메모리와 메모리 층 모두에게 전달되도록 제어한다(S660), 여분 메모리에서 해당 주소를 자신이 가지고 있는지 없는지를 판단한다(S670). 해당 주

소를 가지고 있는 경우 대체된 주소이기 때문에 컨트롤러가 여분 메모리의 데이터를 선택하여 내보내게 되고 (S680), 해당 주소를 가지고 있지 않은 경우 정상 동작 셀이기 때문에 컨트롤러가 메모리 층의 데이터를 선택하여 내보낸다(S690).

- [0041] 도 7은 메모리 컨트롤러가 데이터를 기입하는 동작을 예시한 도면이다. 메모리 컨트롤러가 목적 주소에 데이터를 기입하는 동작을 수행할 때, 복수의 메모리 중에서 상기 목적 주소에 해당하는 메모리 층 및 여분 메모리 모두로 목적 주소 및 상기 데이터를 전달한다.
- [0042] 목적 주소에 해당하는 메모리 층은 셀의 고장여부에 상관없이 전달된 데이터를 저장하며, 여분 메모리는 목적 주소가 존재하면 전달된 데이터를 저장하고 목적 주소가 존재하지 않으면 전달된 데이터를 저장하지 않는다.
- [0043] 즉, 쓰기 동작에서 여분 메모리와 메모리 양쪽이 동작한다. 정상 동작하는 셀의 위치라면, 여분 메모리에는 주소가 없기 때문에 아무 일이 일어나지 않는다. 메모리에서는 쓰기 동작을 진행한다. 반면 고장난 셀이라면 여분 메모리에서 쓰기 동작이 진행되며 메모리에서는 고장난 셀이기 때문에 쓰기 동작을 수행하지만 아무 일도 일어나지 않는다.
- [0044] 도 8은 메모리 컨트롤러가 데이터를 독출하는 동작을 예시한 도면이다. 메모리 컨트롤러가 목적 주소로부터 데이터를 독출하는 동작을 수행할 때, 복수의 메모리 중에서 목적 주소에 해당하는 메모리 층 및 여분 메모리 모두로 목적 주소를 전달한다.
- [0045] 메모리 컨트롤러는 여분 메모리에 목적 주소가 존재하면 여분 메모리에서 목적 주소에 대응하는 데이터를 선택하여 출력하고, 여분 메모리에 목적 주소가 존재하지 않으면 목적 주소에 해당하는 메모리 층에서 목적 주소에 대응하는 데이터를 선택하여 출력한다.
- [0046] 즉, 읽기 동작에서 주소를 여분 메모리와 메모리 양쪽에 보낸다. 이후 여분 메모리에서 해당 주소를 자신이 가지고 있는지 아닌지를 판단한다. 여분 메모리에 주소가 존재한다면 고장난 셀의 주소이므로 여분 메모리에서 가지고 있던 정보를 출력한다. 반면 여분 메모리에 주소가 존재하지 않는다면 정상 셀의 주소이므로 메모리에서 가지고 있던 정보를 출력한다.
- [0047] 본 실시예에 따른 적층형 메모리 장치는 전체 층 간 공유가 가능하게 된다. 적층형 메모리 장치는 스페어를 사용하기 위해서 여분 메모리에 주소를 배정하면 각 메모리 층이 원하는 만큼 스페어를 사용할 수 있다. 수리 솔루션으로 사용하는 여분 셀의 양이 넣어주는 여분 메모리의 용량을 넘어가지 않는 이상 수리가 가능하다. 즉, 기존의 방식으로 수리할 수 없던 메모리들까지 수리가 가능한 장점이 있다.
- [0048] 여분 메모리에 새로운 주소를 부여해 주는 것만으로 여분 셀로서 동작을 하기 때문에 층의 위치에 관계없이 전체로 넣어준 여분 메모리의 용량만 허용된다면, 각 층에서 원하는 만큼 여분 셀을 확보할 수 있다. 이러한 메모리 구조는 한 층에서의 최적의 여분 셀을 사용하는 것이 아니라 메모리 전체에서 최적의 여분 셀을 사용하는 것을 의미한다.
- [0049] 적층형 메모리 장치에 포함된 복수의 구성요소들은 상호 결합되어 적어도 하나의 모듈로 구현될 수 있다. 구성요소들은 장치 내부의 소프트웨어적인 모듈 또는 하드웨어적인 모듈을 연결하는 통신 경로에 연결되어 상호 간에 유기적으로 동작한다. 이러한 구성요소들은 하나 이상의 통신 버스 또는 신호선을 이용하여 통신한다.
- [0050] 적층형 메모리 장치는 하드웨어, 펌웨어, 소프트웨어 또는 이들의 조합에 의해 로직회로 내에서 구현될 수 있고, 범용 또는 특정 목적 컴퓨터를 이용하여 구현될 수도 있다. 장치는 고정배선형(Hardwired) 기기, 필드 프로그램 가능한 게이트 어레이(Field Programmable Gate Array, FPGA), 주문형 반도체(Application Specific Integrated Circuit, ASIC) 등을 이용하여 구현될 수 있다. 또한, 장치는 하나 이상의 프로세서 및 컨트롤러를 포함한 시스템온칩(System on Chip, SoC)으로 구현될 수 있다.
- [0051] 적층형 메모리 장치는 하드웨어적 요소가 마련된 컴퓨팅 디바이스에 소프트웨어, 하드웨어, 또는 이들의 조합하는 형태로 탑재될 수 있다. 컴퓨팅 디바이스는 각종 기기 또는 유무선 통신망과 통신을 수행하기 위한 통신 모듈 등의 통신장치, 프로그램을 실행하기 위한 데이터를 저장하는 메모리, 프로그램을 실행하여 연산 및 명령하기 위한 마이크로프로세서 등을 전부 또는 일부 포함한 다양한 장치를 의미할 수 있다.
- [0052] 도 9는 본 발명의 다른 실시예에 따른 적층형 메모리 장치의 수리 방법을 예시한 흐름도이다. 적층형 메모리 장치의 수리 방법은 적층형 메모리 장치에 의하여 수행될 수 있다.
- [0053] 단계 S910에서, 적층형 메모리 장치의 솔루션 메모리는 복수의 메모리 층의 셀을 대체하는 솔루션 정보를 저장

한다. 단계 S920에서, 적층형 메모리 장치의 여분 메모리는 복수의 메모리 층의 셀을 대체하는 솔루션 정보 및 셀에 대응하는 데이터를 저장한다. 솔루션 메모리는 비휘발성 메모리로 구현되고, 여분 메모리는 휘발성 메모리로 구현되며, 여분 메모리의 데이터 처리 속도가 메모리 층의 데이터 처리 속도보다 빠르다. 예컨대, 여분 메모리는 내용 주소화 메모리(Content Addressable Memory, CAM)로 구현될 수 있다.

[0054] 솔루션 메모리는 솔루션 정보를 영구적으로 저장하고, 여분 메모리는 전원이 인가되면 솔루션 메모리로부터 솔루션 정보를 수신하여 복수의 메모리 층에 여분 셀을 추가하지 않고 복수의 메모리 층의 셀을 논리적으로 대체한다.

[0055] 솔루션 정보는 층 정보, 행 정보, 및 열 정보일 수 있다. 솔루션 메모리는 복수의 메모리 층의 라인을 대체하는 층 정보, 행렬 플래그, 및 행 또는 열의 주소를 저장할 수 있고, 여분 메모리는 복수의 메모리 층의 라인을 대체하는 층 정보, 행렬 플래그, 행 또는 열의 주소, 및 라인에 대응하는 데이터를 저장할 수 있다.

[0056] 단계 S930에서, 적층형 메모리 장치의 메모리 컨트롤러는 복수의 메모리 층 중에서 해당하는 메모리 층 및 여분 메모리에 대하여 데이터를 기입하는 동작과 독출하는 동작을 제어한다.

[0057] 메모리 컨트롤러가 목적 주소에 데이터를 기입하는 동작을 수행할 때, 복수의 메모리 층에서 목적 주소에 해당하는 메모리 층 및 여분 메모리 모두로 상기 목적 주소 및 상기 데이터를 전달한다. 목적 주소에 해당하는 메모리 층은 셀의 고장여부에 상관없이 전달된 데이터를 저장하며, 여분 메모리는 상기 목적 주소가 존재하면 전달된 데이터를 저장하고 목적 주소가 존재하지 않으면 전달된 데이터를 저장하지 않는다.

[0058] 메모리 컨트롤러가 목적 주소로부터 데이터를 독출하는 동작을 수행할 때, 복수의 메모리 층에서 목적 주소에 해당하는 메모리 층 및 여분 메모리 모두로 목적 주소를 전달한다. 메모리 컨트롤러는 여분 메모리에 목적 주소가 존재하면 여분 메모리에서 목적 주소에 대응하는 데이터를 선택하여 출력하고, 여분 메모리에 목적 주소가 존재하지 않으면 목적 주소에 해당하는 메모리 층에서 목적 주소에 대응하는 데이터를 선택하여 출력한다.

[0059] 본 실시예의 수리 방법에 의하면 수리된 칩의 개수를 고장 칩의 개수로 나눈 값인 수리율 또는 정규화된 수리율을 향상시킬 수 있다.

[0060] 도 4, 도 6, 및 도 9에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나 이는 예시적으로 설명한 것에 불과하고, 이 분야의 기술자라면 본 발명의 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 도 4, 도 6, 및 도 9에 기재된 순서를 변경하여 실행하거나 또는 하나 이상의 과정을 병렬적으로 실행하거나 다른 과정을 추가하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이다.

[0061] 본 실시예들에 따른 동작은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능한 매체에 기록될 수 있다. 컴퓨터 판독 가능한 매체는 실행을 위해 프로세서에 명령어를 제공하는 데 참여한 임의의 매체를 나타낸다. 컴퓨터 판독 가능한 매체는 프로그램 명령, 데이터 파일, 데이터 구조 또는 이들의 조합을 포함할 수 있다. 예를 들면, 자기 매체, 광기록 매체, 메모리 등이 있을 수 있다. 컴퓨터 프로그램은 네트워크로 연결된 컴퓨터 시스템 상에 분산되어 분산 방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다. 본 실시예를 구현하기 위한 기능적인(Functional) 프로그램, 코드, 및 코드 세그먼트들은 본 실시예가 속하는 기술분야의 프로그래머들에 의해 용이하게 추론될 수 있을 것이다.

[0062] 본 실시예들은 본 실시예의 기술 사상을 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

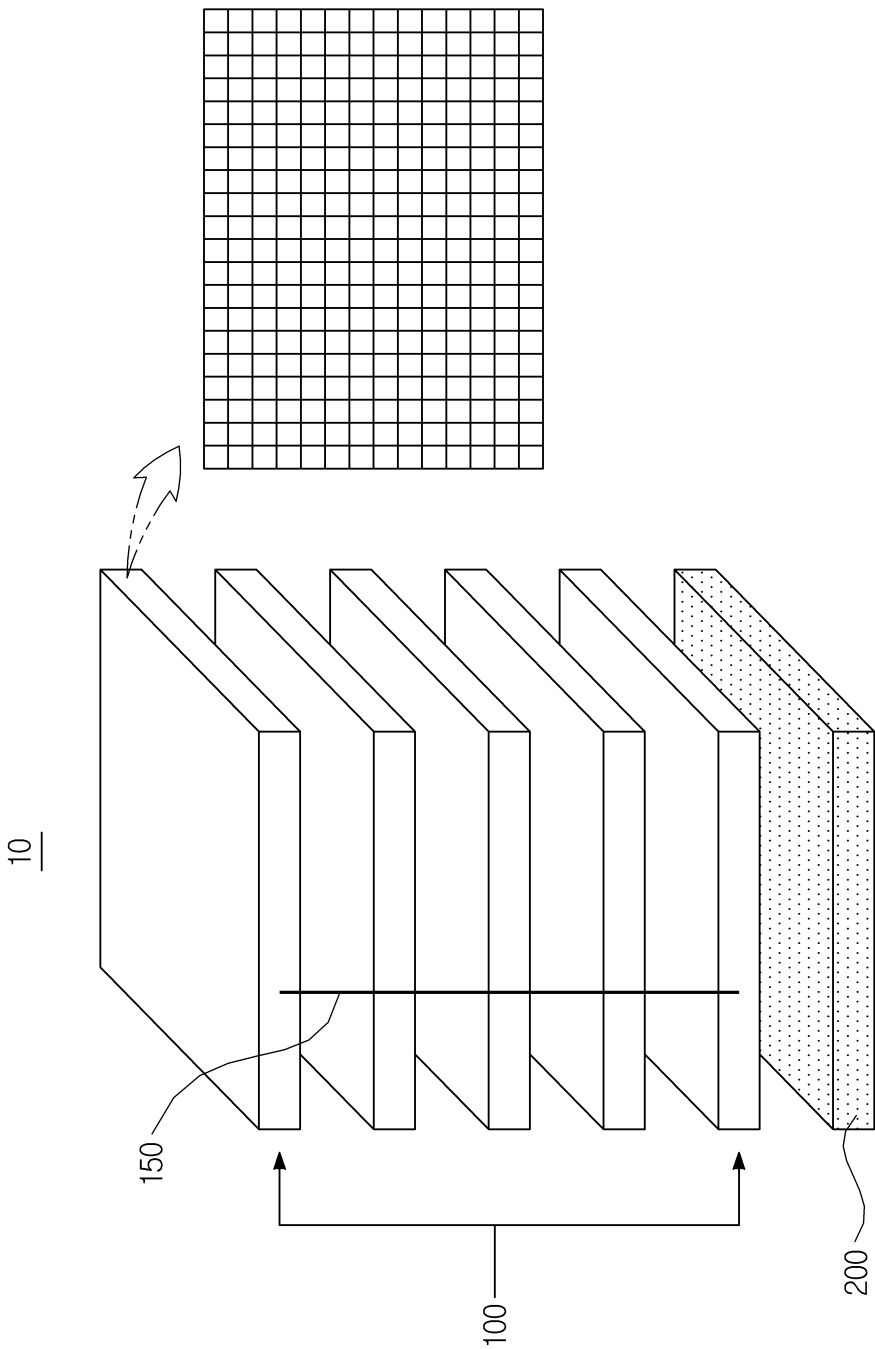
부호의 설명

[0063]

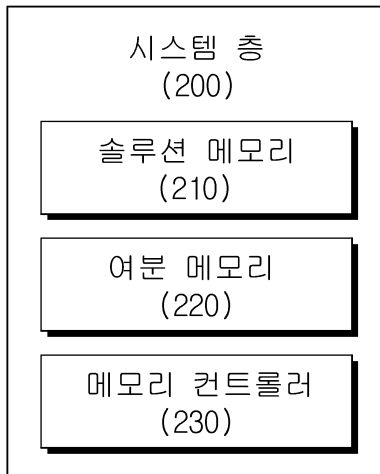
10: 적층형 메모리 장치	100: 복수의 메모리 층
150: 실리콘 관통전극	200: 시스템 층
210: 솔루션 메모리	220: 여분 메모리
230: 메모리 컨트롤러	

도면

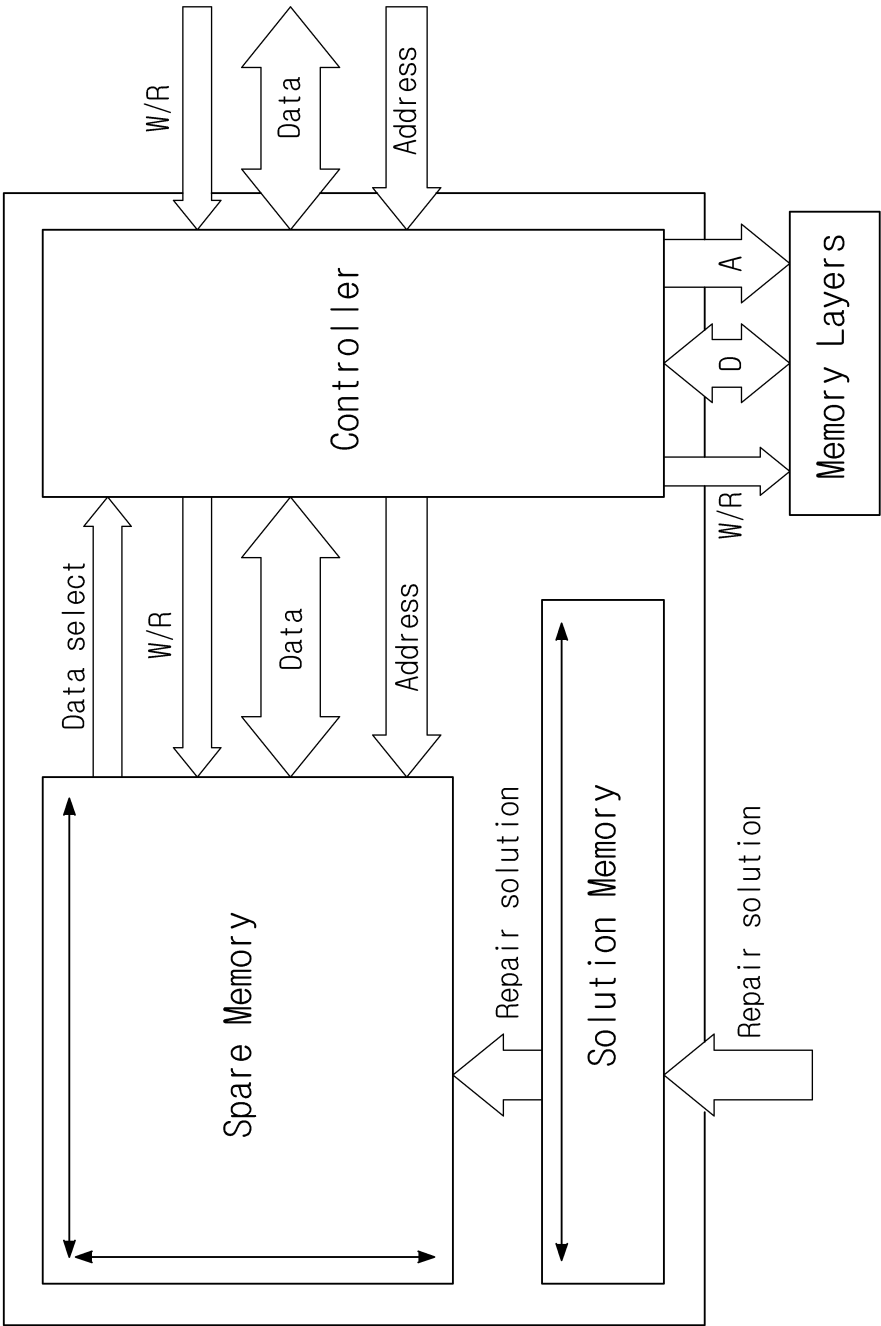
도면1



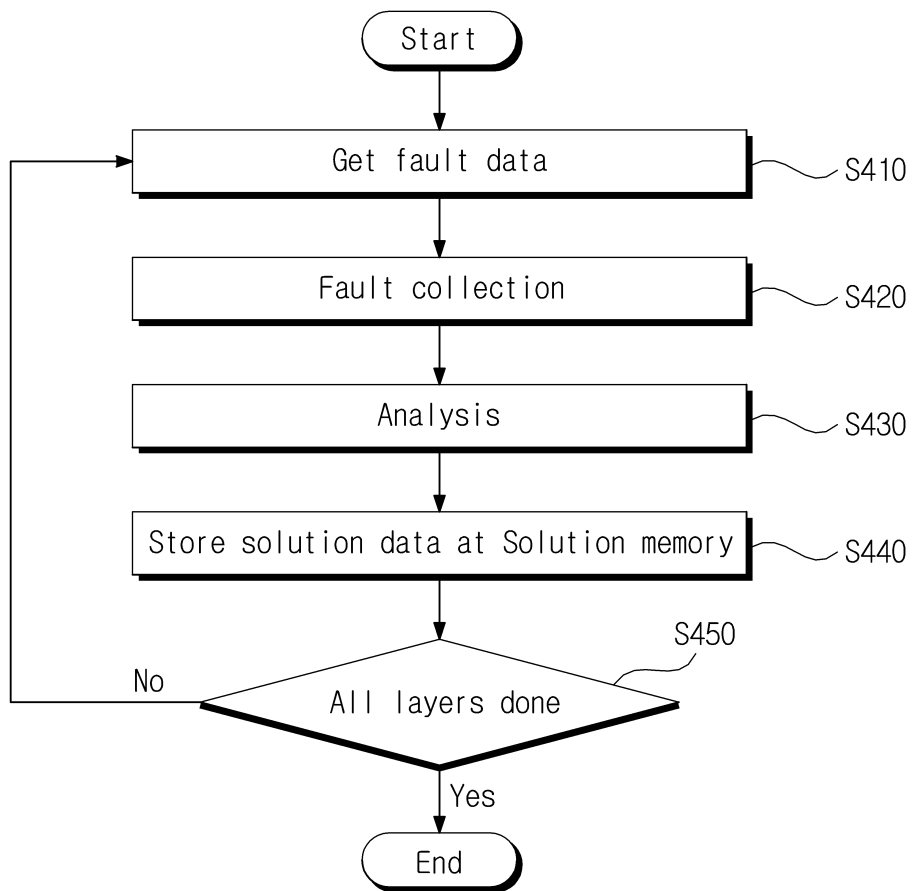
도면2



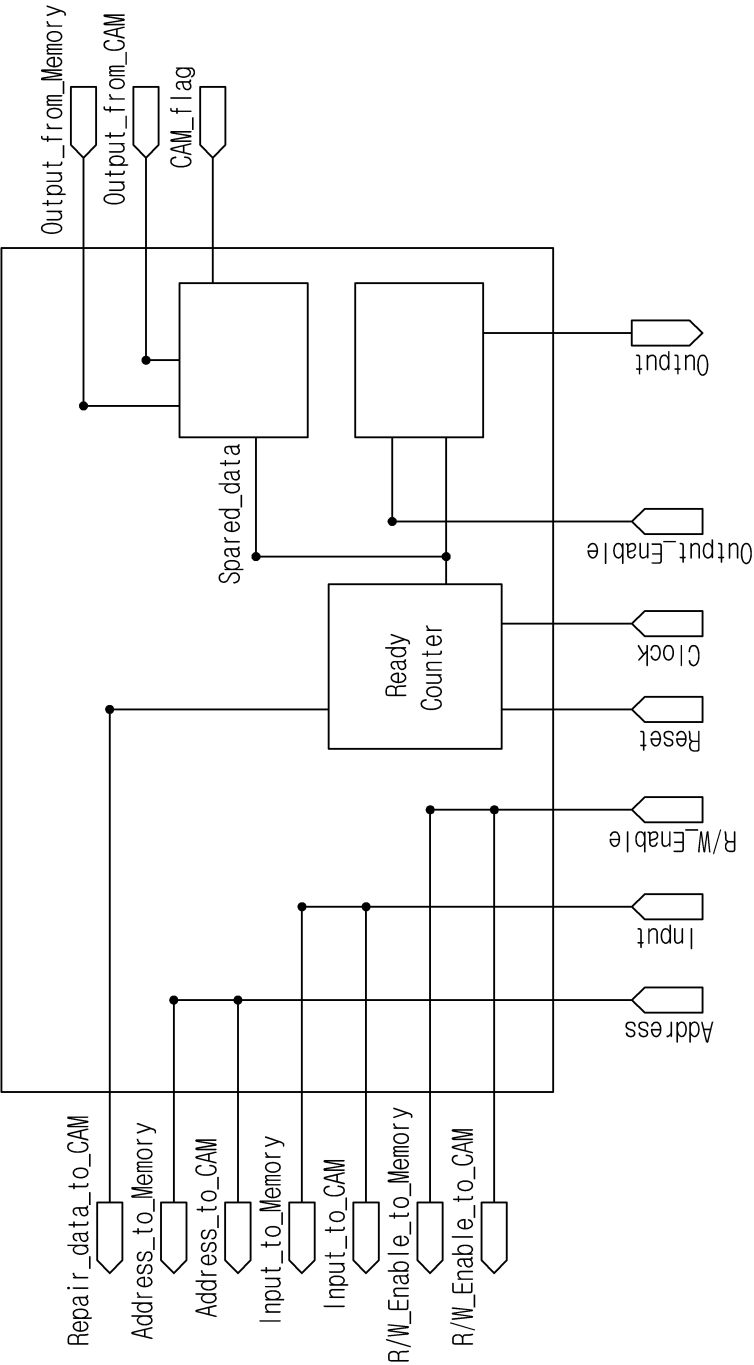
도면3



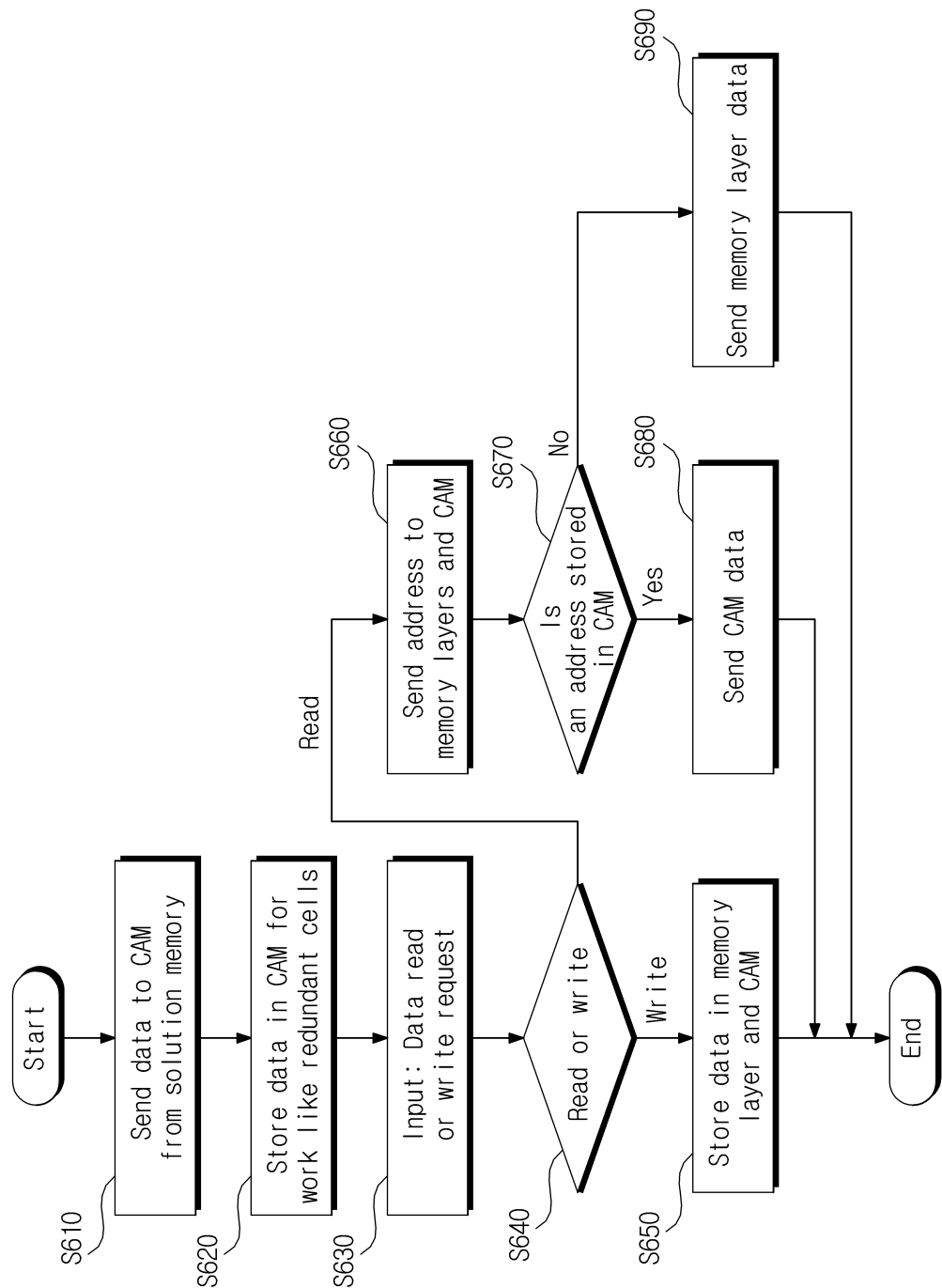
도면4



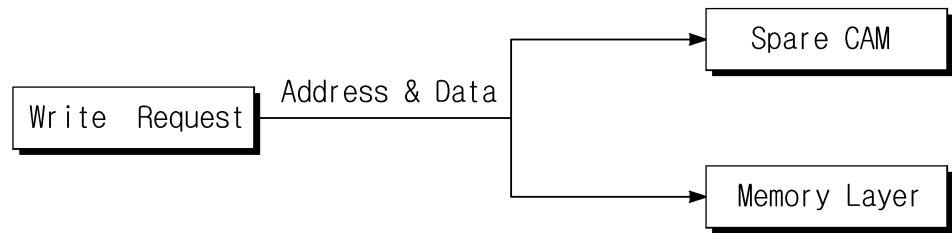
도면5



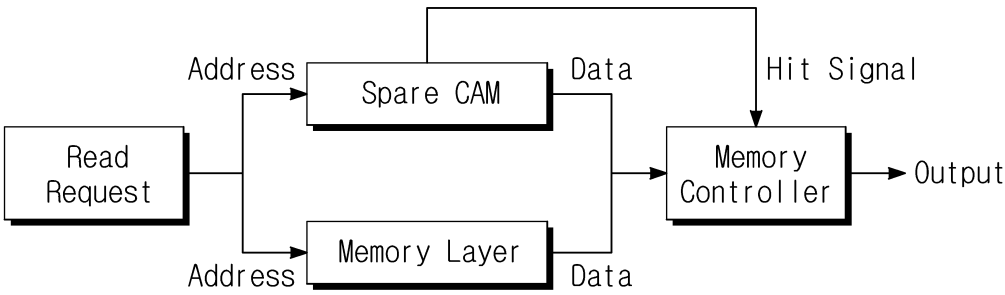
도면6



도면7



도면8



도면9

