(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월19일
(11) 등록번호 10-2167298
(24) 등록일자 2020년10월13일

(51) 국제특허분류(Int. Cl.)
G11C 11/419 (2015.01) *G11C 11/412* (2006.01)
G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 11/419 (2018.05)
G11C 11/412 (2013.01)
(21) 출원번호 10-2019-0008815
(22) 출원일자 2019년01월23일
심사청구일자 2019년01월23일
(65) 공개번호 10-2020-0091695
(43) 공개일자 2020년07월31일
(56) 선행기술조사문헌
N. Maroof 외, "Charge sharing write driver and half-VDD pre-charge 8T SRAM with virtual ground for low-power write and read operation," IET Circuits, Devices & Systems, vol. 12, no. 1, 2018. 01.
US20120243302 A1

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
정성욱
서울특별시 서대문구 연세로 50, 제3공학관 513호 (신촌동,연세대학교)
김기룡
서울특별시 서대문구 연세로 50, 제3공학관 206호 (신촌동,연세대학교)
(74) 대리인
김연권

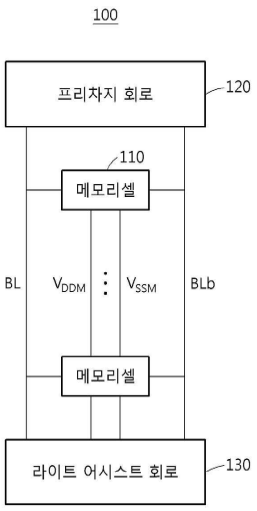
전체 청구항 수 : 총 9 항 심사관 : 신우열

(54) 발명의 명칭 **라이트 어시스트 기능을 구비하는 정적 메모리 장치 및 그 제어 방법**

(57) 요 약

본 발명은 라이트 어시스트 기능을 구비하는 정적 메모리 장치 및 그 제어 방법에 관한 것으로서, 일실시예에 따른 정적 메모리 장치는 셀 전원라인과 셀 소스라인 사이에 연결된 복수의 트랜지스터를 구비하는 메모리 셀과, 메모리 셀 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)하는 프리차지 회로 및 라이트(Write) 제어 신호에 대응하여, 프리차지된 비트라인을 셀 소스라인과 연결하고 셀 전원라인을 비트라인바와 연결하는 라이트 어시스트 회로를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
G11C 7/12 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2017R1A2B2006679
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 중견연구자지원사업
연구과제명 Domain Wall Motion 시냅스 기반의 On-Chip 지도-자율 통합학습 뉴로모픽 SoC 개발(2/3)
기 여 율 1/1
과제수행기관명 연세대학교 산학협력단
연구기간 2018.03.01 ~ 2019.02.28

명 세 서

청구범위

청구항 1

셀 전원라인과 셀 소스라인 사이에 연결된 복수의 트랜지스터를 구비하는 메모리 셀;

상기 메모리 셀 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)하는 프리차지 회로 및

상기 셀 전원라인과 셀 전원전압원을 연결하는 전원전압 트랜지스터 및 상기 셀 소스라인과 셀 소스전압원을 연결하는 소스전압 트랜지스터를 구비하고_라이트(Write) 제어 신호에 대응하여, 상기 프리차지된 비트라인을 상기 셀 소스라인과 연결하고 상기 셀 전원라인을 상기 비트라인바와 연결하는 라이트 어시스트 회로

를 포함하고,

상기 라이트 어시스트 회로는

상기 라이트 제어 신호에 따라 제어되는 상기 전원전압 트랜지스터와 상기 소스전압 트랜지스터의 스위칭 동작을 통해 상기 셀 전원라인과 상기 셀 소스라인을 플로팅(Floating) 시키고, 상기 프리차지된 비트라인을 상기 플로팅된 셀 소스라인과 연결하며, 상기 플로팅된 셀 전원라인을 상기 비트라인바와 연결하는

정적 메모리 장치.

청구항 2

제1항에 있어서,

상기 프리차지 회로는

상기 비트라인 및 상기 비트라인바를 하프 전원전압(VDD/2) 레벨로 프리차지하는

정적 메모리 장치.

청구항 3

제1항에 있어서,

상기 메모리 셀은

상기 비트라인과 연결된 제1 액세스 트랜지스터, 상기 비트라인바와 연결된 제2 액세스 트랜지스터, 상기 셀 전원라인과 각각 연결된 제1 풀업 트랜지스터와 제2 풀업 트랜지스터 및 상기 셀 소스라인과 각각 연결된 제1 풀다운 트랜지스터와 제2 풀다운 트랜지스터를 포함하는

정적 메모리 장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 라이트 어시스트 회로는

상기 셀 전원라인과 상기 비트라인 사이에 연결된 제1 선택 트랜지스터와, 상기 비트라인과 상기 셀 소스라인 사이에 연결된 제2 선택 트랜지스터와, 상기 셀 소스라인과 상기 비트라인바 사이에 연결된 제3 선택 트랜지스

터 및 상기 비트라인바와 상기 셀 전원라인 사이에 연결된 제4 선택 트랜지스터를 포함하고,

상기 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해 상기 프리차지된 비트라인을 상기 플로팅된 셀 소스라인과 연결하고, 상기 플로팅된 셀 전원라인을 상기 비트라인바와 연결하는

정적 메모리 장치.

청구항 7

제1항에 있어서,

상기 라이트 어시스트 회로는

상기 셀 전원라인 및 상기 셀 소스라인에 각각 연결되고, 비트 인터리브(Bit-interleave) 동작에 따른 제어신호를 수신하여 열 선택(Column Select)을 위한 스위칭 동작을 수행하는 제1 인터리브 트랜지스터 및 제2 인터리브 트랜지스터를 포함하는

정적 메모리 장치.

청구항 8

제1항에 있어서,

상기 라이트 어시스트 회로는

상기 비트라인과 상기 비트라인바와 각각 연결되고, 상기 비트라인의 전압과 상기 비트라인바의 전압을 접지 레벨(Ground Level)로 변경하기 위한 스위칭 동작을 수행하는 제1 접지 트랜지스터 및 제2 접지 트랜지스터를 포함하는

정적 메모리 장치.

청구항 9

프리차지 회로에서 복수의 트랜지스터를 구비하는 메모리 셀의 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)하는 단계 및

라이트 어시스트 회로에서 라이트(Write) 제어 신호에 대응하여, 상기 프리차지된 비트라인을 상기 메모리 셀과 연결된 셀 소스라인과 연결하고, 상기 메모리 셀과 연결된 셀 전원라인을 상기 비트라인바와 연결하는 단계

를 포함하고,

상기 비트라인바와 연결하는 단계는

상기 라이트 어시스트 회로에 구비된 전원전압 트랜지스터와 소스전압 트랜지스터에서 상기 라이트 제어 신호에 따라 제어되는 스위칭 동작을 통해 상기 셀 전원라인과 상기 셀 소스라인을 플로팅(Floating) 시키는 단계 및

상기 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해 상기 프리차지된 비트라인을 상기 플로팅된 셀 소스라인과 연결하고, 상기 플로팅된 셀 전원라인을 상기 비트라인바와 연결하는 단계

를 포함하는 정적 메모리 장치의 제어 방법.

청구항 10

제9항에 있어서,

상기 프리차지하는 단계는

상기 프리차지 회로에서 상기 비트라인 및 상기 비트라인바를 하프 전원전압(VDD/2) 레벨로 프리차지하는

정적 메모리 장치의 제어 방법.

청구항 11

삭제

청구항 12

제9항에 있어서,

상기 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해, 상기 프리차지된 비트라인과 상기 플로팅된 셀 소스라인 사이의 연결을 해제하고 상기 플로팅된 셀 전원라인과 상기 비트라인바 사이의 연결을 해제하는 단계 및

상기 라이트 어시스트 회로에 구비된 제1 접지 트랜지스터 및 제2 접지 트랜지스터의 스위칭 동작을 통해 상기 비트라인의 전압과 상기 비트라인바의 전압을 접지 레벨(Ground Level)로 변경하는 단계

를 더 포함하는 정적 메모리 장치의 제어 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 정적 메모리 장치 및 그 제어 방법에 관한 것으로서, 보다 상세하게는 정적 메모리 장치의 라이트 어시스트 기능에 대한 기술적 사상에 관한 것이다.

배 경 기 술

[0002] 트랜지스터(Transistor)는 제작 공정 중 발생하는 RDF(Random Dopant Fluctuation), LER(Line Edge Roughness) 및 WFV(Work Function Variation)으로 인해 설계자가 의도한 문턱전압(Threshold Voltage; V_{th})을 구현하는데 어려움이 있다.

[0003] 즉, 트랜지스터는 문턱전압의 변화(V_{th} variation)가 존재하며, 문턱전압은 확률 변수(Random Variable)가 되고, 문턱전압의 분포는 정규 분포(Gaussian Distribution)를 따르게 된다.

[0004] 한편, 문턱전압의 표준편차(Standard Deviation)는 하기의 수학식을 통해 도출될 수 있다. 즉, 하기의 수학식을 참조하면 트랜지스터는 길이(Length)와 폭(Width)이 작아질수록 V_{th} variation이 심해지는 것을 알 수 있다.

[0005] [수학식]

[0006]
$$\sigma_{Vth} = \frac{A_{Vt}}{\sqrt{Length \times Width}}$$

[0007] 여기서, A_{Vt}는 소자 및 공정 특성에 따라 결정되는 상수, Length는 트랜지스터의 길이, Width는 트랜지스터의 폭을 나타낸다.

[0008] 한편, 복수의 트랜지스터로 메모리 셀을 형성하는 SRAM(Static Random Access Memory) 소자는 고집적화(High Density Integration)를 위해 매우 작은 사이즈로 제작 되므로 V_{th} variation에 크게 영향을 받을 수 있다.

[0009] 구체적으로, SRAM 소자에서는 메모리 셀(Memory Cell)의 라이트(Write) 동작 시, V_{th} variation에 의해 풀업 트랜지스터의 강도(Strength)가 액세스 트랜지스터의 강도보다 커져서 데이터가 플립(Flip)되지 않는 라이트 실패(Write Failure)가 발생될 수 있다.

[0010] 따라서, SRAM 소자에서의 라이트 실패를 방지하기 위해서는 트랜지스터 간 강도의 균형이 필요한데 V_{th} variation이 크면 강도의 균형이 깨지기 쉬우므로, V_{th} variation을 개선할 수 있는 기술이 요구된다.

[0011] 그러나, SRAM 소자는 고집적화 구현으로 인해 V_{th} variation의 개선이 쉽지 않으므로, V_{th} variation을 고려한 설계가 요구된다.

[0012] 또한, SRAM 소자는 저전력(Low Power) 구현을 위해 저전압(Low Voltage)의 공급 전압을 이용하는데, 저전압의 공급전압 하에서는 V_{th} variation이 미치는 영향이 증가하는 문제가 있다.

[0013] 다시 말해, SRAM 소자에서는 V_{th} variation에 크게 영향을 받으므로, 저전압 환경 하에서 V_{th} variation을 고려

한 설계가 요구된다.

선행기술문헌

특허문헌

[0014] (특허문헌 0001) 한국공개특허 제10-2007-0080206호 "스태틱형 메모리 셀을 포함한 반도체 기억 장치"

(특허문헌 0002) 한국등록특허 제10-1579194호 "메모리 액세스 방법 및 메모리 장치"

발명의 내용

해결하려는 과제

[0015] 본 발명은 라이트 동작시, 셀 전원라인과 비트라인바를 연결하여 메모리 셀에 구비된 풀업 트랜지스터의 드레인-소스 전압(V_{DS})을 감소시키고, 하프 전원전압(VDD/2) 레벨로 프리차지된 비트라인과 셀 소스라인을 연결하여 풀업 트랜지스터의 게이트-소스 전압(V_{GS})을 감소시킬 수 있는 정적 메모리 장치 및 그 방법을 제공하고자 한다.

[0016] 또한, 본 발명은 풀업 트랜지스터의 드레인-소스 전압(V_{DS}) 및 게이트-소스 전압(V_{GS})을 감소시켜, 라이트 실패(Write Failure)를 최소화하는 정적 메모리 장치 및 그 방법을 제공하고자 한다.

[0017] 또한, 본 발명은 별도의 전압원을 사용하지 않고, 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인을 이용한 전하 재활용(Charge Recycling)을 통해 셀 소스라인에 인가되는 셀 소스전압(V_{SSM})을 증가시킬 수 있는 정적 메모리 장치 및 그 방법을 제공하고자 한다.

[0018] 또한, 본 발명은 별도의 전압원을 사용하지 않고, 셀 전원전압(V_{DDM})이 인가된 셀 전원라인을 이용한 전하 재활용(Charge Recycling)을 통해 비트라인바에 인가되는 전압을 증가시킬 수 있는 정적 메모리 장치 및 그 방법을 제공하고자 한다.

과제의 해결 수단

[0019] 일실시예에 따른 정적 메모리 장치는 셀 전원라인과 셀 소스라인 사이에 연결된 복수의 트랜지스터를 구비하는 메모리 셀과, 메모리 셀 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)하는 프리차지 회로 및 라이트(Write) 제어 신호에 대응하여, 프리차지된 비트라인을 셀 소스라인과 연결하고 셀 전원라인을 비트라인바와 연결하는 라이트 어시스트 회로를 포함할 수 있다.

[0020] 일측에 따르면, 프리차지 회로는 비트라인을 하프 전원전압(VDD/2) 레벨로 프리차지할 수 있다.

[0021] 일측에 따르면, 메모리 셀은 비트라인과 연결된 제1 액세스 트랜지스터, 비트라인바와 연결된 제2 액세스 트랜지스터, 셀 전원라인과 각각 연결된 제1 풀업 트랜지스터와 제2 풀업 트랜지스터 및 셀 소스라인과 각각 연결된 제1 풀다운 트랜지스터와 제2 풀다운 트랜지스터를 포함할 수 있다.

[0022] 일측에 따르면, 라이트 어시스트 회로는 셀 전원라인과 셀 전원전압원을 연결하는 전원전압 트랜지스터 및 셀 소스라인과 셀 소스전압원을 연결하는 소스전압 트랜지스터를 포함할 수 있다.

[0023] 일측에 따르면, 라이트 어시스트 회로는 라이트 제어 신호에 따라 제어되는 전원전압 트랜지스터와 소스전압 트랜지스터의 스위칭 동작을 통해 셀 전원라인과 셀 소스라인을 플로팅(Floating) 시키고, 프리차지된 비트라인을 플로팅된 셀 소스라인과 연결하며, 플로팅된 셀 전원라인을 비트라인바와 연결할 수 있다.

[0024] 일측에 따르면, 라이트 어시스트 회로는 셀 전원라인과 비트라인 사이에 연결된 제1 선택 트랜지스터와, 비트라인과 셀 소스라인 사이에 연결된 제2 선택 트랜지스터와, 셀 소스라인과 비트라인바 사이에 연결된 제3 선택 트랜지스터 및 비트라인바와 셀 전원라인 사이에 연결된 제4 선택 트랜지스터를 포함하고, 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해 프리차지된 비트라인을 플로팅된 셀 소스라인과 연결하고, 플로팅된 셀 전원라인을 비트라인바와 연결할 수 있다.

[0025] 일측에 따르면, 라이트 어시스트 회로는 셀 전원라인 및 셀 소스라인에 각각 연결되고, 비트 인터리브(Bit-

interleave) 동작에 따른 제어신호를 수신하여 열 선택(Column Select)을 위한 스위칭 동작을 수행하는 제1 인터리브 트랜지스터 및 제2 인터리브 트랜지스터를 포함할 수 있다.

[0026] 일측에 따르면, 라이트 어시스트 회로는 비트라인과 비트라인바와 각각 연결되고, 비트라인의 전압과 비트라인바의 전압을 접지 레벨(Ground Level)로 변경하기 위한 스위칭 동작을 수행하는 제1 접지 트랜지스터 및 제2 접지 트랜지스터를 포함할 수 있다.

[0027] 일실시예에 따른 정적 메모리 장치의 제어 방법은 프리차지 회로에서 복수의 트랜지스터를 구비하는 메모리 셀의 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)하는 단계 및 라이트 어시스트 회로에서 라이트(Write) 제어 신호에 대응하여, 프리차지된 비트라인을 메모리 셀과 연결된 셀 소스라인과 연결하고, 메모리 셀과 연결된 셀 전원라인을 비트라인바와 연결하는 단계를 포함할 수 있다.

[0028] 일측에 따르면, 프리차지하는 단계는 프리차지 회로에서 비트라인을 하프 전원전압(VDD/2) 레벨로 프리차지할 수 있다.

[0029] 일측에 따르면, 비트라인바와 연결하는 단계는 라이트 어시스트 회로에 구비된 전원전압 트랜지스터와 소스전압 트랜지스터에서 라이트 제어 신호에 따라 제어되는 스위칭 동작을 통해 셀 전원라인과 셀 소스라인을 플로팅(Floating) 시키는 단계 및 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해 프리차지된 비트라인을 플로팅된 셀 소스라인과 연결하고, 플로팅된 셀 전원라인을 비트라인바와 연결하는 단계를 포함할 수 있다.

[0030] 일측에 따르면, 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해, 프리차지된 비트라인과 플로팅된 셀 소스라인 사이의 연결을 해제하고 플로팅된 셀 전원라인과 비트라인바 사이의 연결을 해제하는 단계 및 라이트 어시스트 회로에 구비된 제1 접지 트랜지스터 및 제2 접지 트랜지스터의 스위칭 동작을 통해 비트라인의 전압과 비트라인바의 전압을 접지 레벨(Ground Level)로 변경하는 단계를 더 포함할 수 있다.

발명의 효과

[0031] 일실시예에 따르면, 라이트 동작시, 셀 전원라인과 비트라인바를 연결하여 메모리 셀에 구비된 풀업 트랜지스터의 드레인-소스 전압(V_{DS})을 감소시키고, 하프 전원전압(VDD/2) 레벨로 프리차지된 비트라인과 셀 소스라인을 연결하여 풀업 트랜지스터의 게이트-소스 전압(V_{GS})을 감소시킬 수 있다.

[0032] 일실시예에 따르면, 풀업 트랜지스터의 드레인-소스 전압(V_{DS}) 및 게이트-소스 전압(V_{GS})을 감소시켜, 라이트 실패(Write Failure)를 최소화할 수 있다.

[0033] 일실시예에 따르면, 별도의 전압원을 사용하지 않고, 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인을 이용한 전하 재활용(Charge Recycling)을 통해 셀 소스라인에 인가되는 셀 소스전압(V_{SSM})을 증가시킬 수 있다.

[0034] 일실시예에 따르면, 별도의 전압원을 사용하지 않고, 셀 전원전압(V_{DDM})이 인가된 셀 전원라인을 이용한 전하 재활용(Charge Recycling)을 통해 비트라인바에 인가되는 전압을 증가시킬 수 있다.

도면의 간단한 설명

[0035] 도 1은 일실시예에 따른 정적 메모리 장치를 설명하기 위한 도면이다.

도 2는 일실시예에 따른 정적 메모리 장치에 구비된 메모리 셀의 예시를 설명하기 위한 도면이다.

도 3a는 일실시예에 따른 정적 메모리 장치의 상세한 구성을 설명하기 위한 도면이다.

도 3b는 일실시예에 따른 정적 메모리 장치에 구비된 어시스트 제어 신호 생성기를 설명하기 위한 도면이다.

도 3c는 일실시예에 따른 정적 메모리 장치의 동작 타이밍을 설명하기 위한 도면이다.

도 4는 일실시예에 따른 정적 메모리 장치의 제어 방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0036] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단

지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0037] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0038] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0039] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0040] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0041] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0043] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0045] 도 1은 일실시예에 따른 정적 메모리 장치를 설명하기 위한 도면이다.

[0046] 도 1을 참조하면, 일실시예에 따른 정적 메모리 장치(100)는 라이트 동작시, 셀 전원라인과 비트라인을 연결하여 메모리 셀에 구비된 풀업 트랜지스터의 드레인-소스 전압(V_{DS})을 감소시키고 하프 전원전압(VDD/2) 레벨로 프리차지된 비트라인과 셀 소스라인을 연결하여 풀업 트랜지스터의 게이트-소스 전압(V_{GS})을 감소시켜 라이트 실패(Write Failure)를 최소화할 수 있다.

[0047] 또한, 일실시예에 따른 정적 메모리 장치(100)는 별도의 전압원을 사용하지 않고 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인을 이용한 전하 재활용(Charge Recycling)을 통해 셀 소스라인에 인가되는 셀 소스전압(V_{SSM})을 증가시킬 수 있다.

[0048] 또한, 일실시예에 따른 정적 메모리 장치(100)는 별도의 전압원을 사용하지 않고 셀 전원전압(V_{DDM})이 인가된 셀 전원라인을 이용한 전하 재활용을 통해 비트라인바에 인가되는 전압을 증가시킬 수 있다.

[0049] 다시 말해, 일실시예에 따른 정적 메모리 장치(100)는 별도의 전압원 없이 전하 재활용을 통해 셀 소스전압(V_{SSM})과 비트라인바에 인가되는 전압을 증가시킴으로써, 장치의 사이즈 및 라이트 동작에 이용되는 전력을 감소시킬 수 있다.

[0050] 이를 위해, 일실시예에 따른 정적 메모리 장치(100)는 메모리 셀(110), 프리차지 회로(120) 및 라이트 어시스트 회로(130)를 포함할 수 있다.

[0051] 예를 들면, 정적 메모리 장치(100)는 SRAM(Static Random Access Memory) 소자일 수 있다. 또한, 정적 메모리

장치(100)는 복수의 메모리 셀(110)들이 어레이(Array) 구조로 형성될 수 있으며, 참조부호 100의 도면에서는 어레이 구조의 메모리 셀들 중에서 어느 하나의 열(Column)에 연결된 메모리 셀(110)들만을 도시하여 설명하기로 한다.

[0052] 구체적으로, 일실시예에 따른 메모리 셀(110)은 셀 전원라인과 셀 소스라인 사이에 연결된 복수의 트랜지스터를 구비할 수 있다.

[0053] 예를 들면, 일실시예에 따른 메모리 셀(110)은 6개의 트랜지스터를 구비하는 6T 구조의 메모리 셀일 수 있다. 또한, 셀 전원라인은 셀 전원전압(V_{DDM})이 인가되는 라인이고, 셀 소스라인은 셀 소스전압(V_{SSM})이 인가되는 라인일 수 있다.

[0054] 일측에 따르면, 프리차지 회로(120)는 메모리 셀(110) 양단에 연결된 비트라인(BL)과 비트라인바(BLb)를 프리차지(Precharge)할 수 있다.

[0055] 일측에 따르면, 프리차지 회로(120)는 비트라인(BL)을 하프 전원전압(VDD/2) 레벨로 프리차지할 수 있다.

[0056] 보다 구체적으로, 리드 포트(Read Port)와 라이트 포트(Write Port)가 동일한 6T 구조의 정적 메모리 장치에서는 비트라인(BL)을 0V로 프리차지하면 비선택된 열(Unselected Column)에서의 리드 안정성(Stability) 문제가 발생될 수 있다.

[0057] 따라서, 일실시예에 따른 프리차지 회로(120)는 6T 구조에서 리드 안정성 문제없이 라이트 특성을 향상시키기 위하여 비트라인(BL)을 하프 전원전압($V_{DD}/2$) 레벨로 프리차지할 수 있다.

[0058] 또한, 일실시예에 따른 라이트 어시스트 회로(130)는 라이트(Write) 제어 신호에 대응하여, 프리차지된 비트라인(BL)을 셀 소스라인과 연결하고 셀 전원라인을 비트라인바(BLb)와 연결할 수 있다.

[0059] 여기서, 비트라인바(BLb)의 전압은 프리차지 레벨에서 0V 레벨로 방전된 상태일 수 있다.

[0060] 예를 들면, 라이트 어시스트 회로(130)는 일실시예에 따른 메모리 셀(110)에 대한 라이트 동작을 수행하는 라이트 드라이버(Write Driver)에 포함되거나, 라이트 드라이버와 별도로 분리되어 라이트 동작을 지원하는 회로일 수 있다.

[0061] 또한, 라이트 제어 신호는 라이트 드라이버로부터 인가되는 제어 신호일 수 있다.

[0062] 즉, 일실시예에 따른 라이트 어시스트 회로(130)는 메모리 셀(110)에 대한 라이트 동작 시, 셀 전원전압(V_{DDM})이 인가되는 셀 전원라인과 비트라인(BL)을 연결하여 메모리 셀(110)에 구비된 풀업 트랜지스터의 드레인-소스 전압(V_{DS})을 감소시키고, 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인과 셀 소스라인을 연결하여 풀업 트랜지스터의 게이트-소스 전압(V_{GS})을 감소시킴으로써, 라이트 실패(Write Failure)를 최소화할 수 있다.

[0063] 또한, 라이트 어시스트 회로(130)는 셀 전원라인과 비트라인(BL)의 연결을 통해 전하 재활용이 이루어져 별도의 전압원을 사용하지 않고 비트라인바(BLb)에 인가되는 전압을 증가시킬 수 있다.

[0064] 또한, 라이트 어시스트 회로(130)는 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인(BL)의 연결을 통해 전하 재활용이 이루어져 별도의 전압원을 사용하지 않고 셀 소스라인에 인가되는 셀 소스전압(V_{SSM})을 증가시킬 수 있다.

[0065] 일측에 따르면, 라이트 어시스트 회로(130)는 라이트하고자 하는 데이터에 따라, 셀 전원라인과 비트라인을 연결하고 셀 소스라인과 비트라인바를 연결할 수도 있다.

[0066] 한편, 일실시예에 따른 정적 메모리 장치(100)는 비트라인(BL)과 비트라인바(BLb)에 각각 연결되고, 비트 인터리브(Bit-interleave) 동작에 따른 제어신호를 수신하여 선택된 열(Selected Column)에 대응되는 비트라인(BL)과 비트라인바(BLb)를 연결하는 복수의 멀티플렉서(Multiplexer)를 더 포함할 수도 있다.

[0067] 다시 말해, 일실시예에 따른 정적 메모리 장치(100)는 같은 데이터 단위, 즉, 같은 워드(Word)에 속하는 메모리 셀(110)들을 인접하여 배치시키지 않고, 서로 다른 워드에 속하는 메모리 셀(110)들을 인접하여 배치시키는 비트 인터리브 구조로 형성된 메모리일 수 있다.

[0068] 도 1을 통해 설명한 일실시예에 따른 정적 메모리 장치에 대한 상세한 구성은 이후 실시예 도 3a 내지 도 3c를

통해 보다 구체적으로 설명하기로 한다.

[0070] 도 2는 일실시예에 따른 정적 메모리 장치에 구비된 메모리 셀의 예시를 설명하기 위한 도면이다.

[0071] 다시 말해, 도 2의 메모리 셀(200)을 도 1에서 설명한 일실시예에 따른 메모리 셀(110)일 수 있다.

[0072] 도 2를 참조하면, 일실시예에 따른 메모리 셀(200)은 6개의 트랜지스터를 구비하는 6T 구조로 형성될 수 있다.

[0073] 일측에 따르면, 메모리 셀(200)은 비트라인(BL)과 연결된 제1 액세스 트랜지스터(PG1), 비트라인바와 연결된 제2 액세스 트랜지스터(PG2)를 포함할 수 있다.

[0074] 또한, 메모리 셀(200)은 셀 전원전압(V_{DDM})이 인가되는 셀 전원라인과 각각 연결된 제1 풀업 트랜지스터(PU1)와 제2 풀업 트랜지스터(PU2) 및 셀 소스전압(V_{SSM})이 인가되는 셀 소스라인과 각각 연결된 제1 풀다운 트랜지스터(PD1)와 제2 풀다운 트랜지스터(PD2)를 포함할 수 있다.

[0075] 일측에 따르면, 제1 액세스 트랜지스터(PG1)와 제2 액세스 트랜지스터(PG2)는 NMOS 트랜지스터로 구성될 수 있으며, 제1 액세스 트랜지스터(PG1)와 제2 액세스 트랜지스터(PG2) 각각의 게이트 단자는 워드라인(WL)과 연결될 수 있다.

[0076] 또한, 워드라인(WL)은 메모리 셀(200)이 홀드(Hold), 라이트(Write) 및 리드(Read) 동작 중 어느 하나의 동작 시, 소정 레벨의 게이트 제어 신호가 인가되어 제1 액세스 트랜지스터(PG1)와 제2 액세스 트랜지스터(PG2)의 스위칭 동작을 제어할 수 있다.

[0077] 한편, 워드라인(WL)에 인가되는 소정 레벨의 게이트 제어 신호는 별도로 구비된 워드라인 제어 회로를 통해 인가되는 신호일 수 있으며, 워드라인 제어 회로는 라이트(Write) 제어 신호 또는 리드(Read) 제어 신호와 같은 제어 신호의 인가 시에 게이트 제어 신호를 인가할 수 있다.

[0078] 일측에 따르면, 제1 풀업 트랜지스터(PU1)와 제2 풀업 트랜지스터(PU2)는 PMOS 트랜지스터로 구성될 수 있고, 제1 풀다운 트랜지스터(PD1)와 제2 풀다운 트랜지스터(PD2)는 NMOS 트랜지스터로 구성될 수 있다.

[0079] 또한, 제1 풀업 트랜지스터(PU1)와 제1 풀다운 트랜지스터(PD1)의 게이트 단자는 V_R 노드와 연결되고 드레인 단자는 V_L 노드에 서로 연결되어 하나의 인버터를 구성하고, 제2 풀업 트랜지스터(PU2)와 제2 풀다운 트랜지스터(PD2)의 게이트 단자는 V_L 노드에 연결되고 드레인 단자는 V_R 노드에 서로 연결되어 다른 하나의 인버터를 구성할 수 있다.

[0080] 또한, 제1 풀업 트랜지스터(PU1)와 제1 풀다운 트랜지스터(PD1)로 형성된 인버터와, 제2 풀업 트랜지스터(PU2)와 제2 풀다운 트랜지스터(PD2)로 형성된 인버터는 상호결합(Cross-Coupled)된 구조로 구성될 수 있다.

[0081] 한편, 일실시예에 따른 메모리 셀(200)은 라이트(Write) 동작이 수행될 수 있다.

[0082] 보다 구체적으로, 메모리 셀(200)은 비트라인(BL)이 하프 전원전압($V_{DD}/2$) 레벨이 되고 비트라인바(BLB)가 0V로 방전되며 워드 라인(WL)에 전원전압(V_{DD})이 인가되면, 제1 액세스 트랜지스터(PG1)와 제2 액세스 트랜지스터(PG2)가 턴-온(Turn-On) 상태가 되어 비트라인(BL)의 전압이 0V로 방전(Discharge) 되면서, V_L 노드에는 '0'이 라이트되고 V_R 노드에는 '1'이 라이트될 수 있다.

[0083] 그러나, 메모리 셀(200)은 전술한 라이트 동작 시에 V_{th} variation에 의해 제1 풀업 트랜지스터(PU1)의 강도(Strength)가 제1 액세스 트랜지스터(PG1)의 강도보다 커져서 데이터가 플립(Flip)되지 않는 라이트 실패(Write Failure)가 발생될 수 있다.

[0084] 따라서, 도 1에서 설명한 일시예에 따른 라이트 어시스트 회로는 라이트 제어 신호에 대응하여, 하프 전원전압($V_{DD}/2$)으로 프리차지된 비트라인(BL)을 셀 소스라인과 연결하고 셀 전원라인을 비트라인바(BLb)와 연결할 수 있다.

[0085] 즉, 일시예에 따른 라이트 어시스트 회로는 전술한 연결 동작을 통해 제1 풀업 트랜지스터(PU1)의 드레인-소스 전압(V_{DS}) 및 게이트-소스 전압(V_{GS})을 감소 시킴으로써, 제1 풀업 트랜지스터(PU1)의 강도를 약하게 하여 라이트 실패(Write Failure)를 최소화 할 수 있다.

[0087] 도 3a는 일실시예에 따른 정적 메모리 장치의 상세한 구성을 설명하기 위한 도면이고, 도 3b는 일실시예에 따른 정적 메모리 장치에 구비된 어시스트 제어 신호 생성기를 설명하기 위한 도면이다.

[0088] 또한, 도 3c는 일실시예에 따른 정적 메모리 장치의 동작 타이밍을 설명하기 위한 도면이다.

[0089] 다시 말해, 도 3a 내지 도 3c는 도 1 내지 도 2를 통해 설명한 일실시예에 따른 정적 메모리 장치의 상세한 구성 및 동작을 설명하기 위한 도면으로, 이후 실시예 도 3a 내지 도 3c를 통해 설명하는 내용 중 일실시예에 따른 정적 메모리 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

[0090] 도 3a 내지 도 3c를 참조하면, 참조부호 310은 메모리 셀(311), 프리차지 회로(312) 및 라이트 어시스트 회로(313)를 포함하는 일실시예에 따른 정적 메모리 장치의 상세한 구성을 나타낸다.

[0091] 일측에 따르면, 정적 메모리 장치(310)는 비트라인(BL)과 비트라인바(BLb)에 각각 연결되고, 비트 인터리브(Bit-interleave) 동작에 따른 제어신호를 수신하여 선택된 열(Selected Column)의 비트라인(BL)과 비트라인바(BLb)를 연결하는 복수의 멀티플렉서(Multiplexer; 314)를 더 포함할 수도 있다.

[0092] 일측에 따르면, 라이트 어시스트 회로(313)는 전원전압 트랜지스터(P0), 소스전압 트랜지스터(N0), 제1 인터리브 트랜지스터(P1), 제2 인터리브 트랜지스터(N1), 제1 선택 트랜지스터(P2), 제2 선택 트랜지스터(N2), 제3 선택 트랜지스터(N3), 제4 선택 트랜지스터(P3), 제1 접지 트랜지스터(N4) 및 제2 접지 트랜지스터(N5)를 포함할 수 있다.

[0093] 다음으로, 참조부호 320은 라이트 어시스트 회로에 제어 신호를 인가하는 어시스트 제어 신호 생성기를 나타낸다.

[0094] 구체적으로, 어시스트 제어 신호 생성기(320)는 제1 라이트 워드라인 제어 신호(WWL0) 및 제2 라이트 워드 라인 제어신호(WWL1)를 수신하여, 제1 선택 트랜지스터(P2)의 제어신호(DP0)와, 제2 선택 트랜지스터(N2)의 제어신호(DN1)와, 제3 선택 트랜지스터(N3)의 제어신호(DN0)와, 제4 선택 트랜지스터(P3)의 제어신호(DP1)와, 제1 접지 트랜지스터(N4)의 제어신호(DN2) 및 제2 접지 트랜지스터(N5)의 제어신호(DN2b)를 생성하고, 생성된 제어신호들을 라이트 어시스트 회로(313)에 구비된 각각의 트랜지스터들에 인가할 수 있다.

[0095] 예를 들면, 어시스트 제어 신호 생성기(320)는 일실시예에 따른 정적 메모리 장치(310)에 구비될 수 있다.

[0096] 또한, 제1 라이트 워드라인 제어 신호(WWL0) 및 제2 라이트 워드 라인 제어신호(WWL1)는 라이트 어시스트 회로(313)에 인가되는 라이트 제어 신호(WR, /WR)에 대응되어 생성되는 신호일 수 있다.

[0097] 또한, 제1 라이트 워드라인 제어 신호(WWL0) 및 제2 라이트 워드 라인 제어신호(WWL1)는 라이트 제어 신호(WR, /WR)를 인가하는 라이트 드라이버(Write Driver)로부터 인가되는 신호일 수 있다.

[0098] 다음으로, 참조부호 330은 일실시예에 따른 정적 메모리 장치의 동작에 따른 타이밍도를 나타낸다.

[0099] 구체적으로, 참조부호 330에서 'WL'은 메모리 셀(311)에 구비된 제1 액세스 트랜지스터와 제2 액세스 트랜지스터의 게이트 단자와 연결된 워드라인(WL)에 인가되는 신호를 나타내고, 'WR'은 전원전압 트랜지스터(P0)에 인가되는 라이트 제어 신호를 나타낸다.

[0100] 또한, 참조부호 330에서 'WWL0' 및 'WWL1'은 어시스트 제어 신호 생성기(320)의 입력으로 인가되는 제1 라이트 워드라인 제어 신호(WWL0) 및 제2 라이트 워드 라인 제어신호(WWL1)를 나타낸다.

[0101] 또한, 참조부호 330에서 'V_{DDM}'은 셀 전원전압(V_{DDM})을 나타내고, 'V_{SSM}'은 셀 소스전압(V_{SSM})을 나타내며, 'BL'은 비트라인(BL)에 인가되는 신호를 나타내고, 'BLb'는 비트라인바(BLb)에 인가되는 신호를 나타낸다.

[0102] 또한, 참조부호 330에서 'V_R' 및 'V_L'은 메모리 셀(311)에 구비된 V_R 노드 및 V_L 노드에 인가되는 신호를 나타낸다.

[0104] 이하에서는, 참조부호 310에 도시된 일실시예에 따른 정적 메모리 장치의 상세한 구성에 대하여 설명하기로 한다.

[0105] 구체적으로, 일실시예에 따른 프리차지 회로(312)는 메모리 셀(311) 양단에 연결된 비트라인(BL)과 비트라인바(BLb)를 프리차지(Precharge)할 수 있다.

[0106] 일측에 따르면, 프리차지 회로(312)는 비트라인(BL)을 하프 전원전압($V_{DD}/2$) 레벨로 프리차지할 수 있다.

[0107] 다음으로, 일실시예에 따른 라이트 어시스트 회로(313)는 라이트 제어 신호(WR)에 대응하여, 프리차지된 비트라인을 셀 소스라인과 연결하고 셀 전원라인을 비트라인바와 연결할 수 있다.

[0108] 일측에 따르면, 전원전압 트랜지스터(P0)는 셀 전원라인과 셀 전원전압원을 연결하고, 소스전압 트랜지스터(N0)는 셀 소스라인과 셀 소스전압원을 연결할 수 있다.

[0109] 다시 말해, 전원전압 트랜지스터(P0)는 스위칭 동작을 통해 셀 전원라인에 셀 전원전압(V_{DDM})을 공급하고, 소스전압 트랜지스터(N0)는 스위칭 동작을 통해 셀 소스라인에 셀 소스전압(V_{SSM})을 공급할 수 있다.

[0110] 예를 들면, 전원전압 트랜지스터(P0)는 PMOS 트랜지스터이고, 소스전압 트랜지스터(N0)는 NMOS 트랜지스터일 수 있다.

[0111] 또한, 전원전압 트랜지스터(P0)의 스위칭 동작을 제어하기 위해 인가되는 라이트 제어 신호(WR) 및 소스전압 트랜지스터(N0)의 스위칭 동작을 제어하기 위해 인가되는 제어 신호(/WR)은 라이트 드라이버(Write Driver)로부터 인가될 수 있다.

[0112] 또한, 전원전압 트랜지스터(P0)에 인가되는 제어 신호(WR)가 'High'면 소스전압 트랜지스터(N0)에 인가되는 제어 신호(/WR)는 'Low'이고, 전원전압 트랜지스터(P0)에 인가되는 제어 신호(WR)가 'Low'면 소스전압 트랜지스터(N0)에 인가되는 제어 신호(/WR)는 'High'일 수 있다.

[0113] 일측에 따르면, 라이트 어시스트 회로(313)는 라이트 제어 신호(WR, /WR)에 따라 제어되는 전원전압 트랜지스터(P0)와 소스전압 트랜지스터(N0)의 스위칭 동작을 통해 셀 전원라인과 셀 소스라인을 플로팅(Floating) 시킬 수 있다.

[0114] 또한, 라이트 어시스트 회로(313)는 프리차지된 비트라인(BL)을 플로팅된 셀 소스라인과 연결하고, 플로팅된 셀 전원라인을 비트라인바(BLb)와 연결할 수 있다.

[0115] 일측에 따르면, 제1 선택 트랜지스터(P2)는 셀 전원라인과 비트라인(BL) 사이에 연결되고, 제2 선택 트랜지스터(N2)는 비트라인(BL)과 셀 소스라인 사이에 연결될 수 있다.

[0116] 또한, 제3 선택 트랜지스터(N3)는 셀 소스라인과 비트라인바(BLb) 사이에 연결되고, 제4 선택 트랜지스터(P3)는 비트라인바(BLb)와 셀 전원라인 사이 연결될 수 있다.

[0117] 예를 들면, 제1 선택 트랜지스터(P2) 및 제4 선택 트랜지스터(P3)는 PMOS 트랜지스터이고, 제2 선택 트랜지스터(N2) 및 제3 선택 트랜지스터(N3)는 NMOS 트랜지스터일 수 있다.

[0118] 또한, 제1 선택 트랜지스터(P2)와 제2 선택 트랜지스터(N2) 사이에 구비된 노드와 비트라인(BL) 사이 및 제3 선택 트랜지스터(N3)와 제4 선택 트랜지스터(P3) 사이에 구비된 노드와 비트라인바(BLb) 사이에는 복수의 멀티플렉서(314)가 연결될 수 있다.

[0119] 일측에 따르면, 라이트 어시스트 회로(313)는 제1 내지 제4 선택 트랜지스터(P2, N2, N3, P3) 각각의 스위칭 동작을 통해 프리차지된 비트라인(BL)을 플로팅된 셀 소스라인과 연결하고, 플로팅된 셀 전원라인을 비트라인바(BLb)와 연결할 수 있다.

[0120] 일측에 따르면, 제1 인터리브 트랜지스터(P1)와 제2 인터리브 트랜지스터(N1)는 셀 전원라인과 셀 소스라인에 각각 연결되고, 비트 인터리브(Bit-interleave) 동작에 따른 제어신호를 수신하여 열 선택(Column Select)을 위한 스위칭 동작을 수행할 수 있다.

[0121] 예를 들면, 제1 인터리브 트랜지스터(P1)는 PMOS 트랜지스터이고, 제2 인터리브 트랜지스터(N1)는 NMOS 트랜지스터일 수 있다.

[0122] 또한, 제1 인터리브 트랜지스터(P1)는 제1 선택 트랜지스터(P2)와 제4 선택 트랜지스터(P3) 사이에 구비된 노드와 셀 전원라인 사이에 연결될 수 있고, 제2 인터리브 트랜지스터(N1)는 제2 선택 트랜지스터(N2)와 제3 선택 트랜지스터(N3) 사이에 구비된 노드와 셀 소스라인 사이에 연결될 수 있다.

[0123] 일측에 따르면, 복수의 멀티플렉서(314) 각각에 인가되는 제어신호와 제1 인터리브 트랜지스터(P1)에 인가되는 제어신호(Sb0) 및 제2 인터리브 트랜지스터(N1)에 인가되는 제어신호(S0) 각각은 일실시예에 따른 정적 메모리 장치(310)의 비트 인터리브(Bit-interleave) 동작을 제어하는 별도의 수단으로부터 제공될 수 있다.

[0124] 일측에 따르면, 제1 접지 트랜지스터(N4) 및 제2 접지 트랜지스터(N5)는 비트라인(BL)과 비트라인바(BLb)와 각

각 연결되고, 비트라인(BL)의 전압과 비트라인바(BLb)의 전압을 접지 레벨(Ground Level)로 변경하기 위한 스위칭 동작을 수행할 수 있다.

[0125] 예를 들면, 제1 접지 트랜지스터(N4)와 제2 접지 트랜지스터(N5)는 NMOS 트랜지스터일 수 있다.

[0127] 이하에서는 참조부호 310 내지 320을 참조하여, 참조부호 330에 도시된 정적 메모리 장치의 동작 타이밍에 대해 보다 구체적으로 설명하기로 한다.

[0128] 일측에 따르면, 331 내지 335 구간 동안 복수의 멀티플렉서(314), 제1 인터리브 트랜지스터(P1) 및 제2 인터리브 트랜지스터(N1)는 비트 인터리브 동작의 결과로 턴-온(Turn-on) 상태를 유지하여, 선택된 열(Selected Column)에 구비된 메모리 셀(311)에서의 라이트 동작을 지원 할 수 있다.

[0129] 일측에 따르면, 331 구간에서 프리차지 회로(312)는 비트라인(BL)을 하프 전원전압(VDD/2) 레벨로 프리차지할 수 있다.

[0130] 또한, 331 구간에서 전원전압 트랜지스터(P0)는 'Low' 레벨의 제어신호(WR)에 대응하여 턴-온 상태가 되고, 소스전압 트랜지스터(N0)는 'High' 레벨의 제어신호(/WR)에 대응하여 턴-온 상태가 될 수 있다.

[0131] 다시 말해, 331 구간에서 일실시예에 따른 정적 메모리 장치(310)는 셀 전원라인에 셀 전원전압(V_{DDM})을 공급하고, 셀 소스라인에 셀 소스전압(V_{SSM})을 공급할 수 있다.

[0132] 다음으로, 332 구간에서 메모리 셀(311)에 구비된 제1 액세스 트랜지스터와 제2 액세스 트랜지스터는 'High' 레벨의 제어 신호(WL)에 대응하여 턴-온 상태가 될 수 있다.

[0133] 또한, 332 구간에서 전원전압 트랜지스터(P0)와 소스전압 트랜지스터(N0)는 턴-오프(Turn-off)되어 셀 전원라인과 셀 소스라인을 플로팅(Floating) 시킬 수 있다.

[0134] 다음으로, 333 구간에서 어시스트 제어 신호 생성기(320)는 'High' 레벨의 제1 라이트 워드라인 제어 신호(WWL0) 및 'Low' 레벨의 제2 라이트 워드라인 제어신호(WWL1)에 대응되는 제어 신호들을 생성하고, 생성된 제어 신호들을 라이트 어시스트 회로(313)에 구비된 트랜지스터 각각에 제공할 수 있다.

[0135] 또한, 333 구간에서 제공 받은 제어 신호들에 대응하여, 제2 선택 트랜지스터(N2)와 제4 선택 트랜지스터(P3)는 턴-온 상태가 되고, 제1 선택 트랜지스터(P2)와 제3 선택 트랜지스터(N3)와 제1 접지 트랜지스터(N4) 및 제2 접지 트랜지스터(N5)는 턴-오프 상태가 될 수 있다.

[0136] 다시 말해, 333 구간에서 라이트 어시스트 회로(313)는 제1 내지 제4 선택 트랜지스터(P2, N2, N3, P3)의 스위칭 동작에 따라, 프리차지된 비트라인(BL)과 플로팅된 셀 소스라인 사이를 연결하는 패스(Path)와 플로팅된 셀 전원라인과 비트라인바(BLb) 사이를 연결하는 패스를 형성할 수 있다.

[0137] 일측에 따르면, 333 구간에서 일실시예에 따른 정적 메모리 장치(310)는 메모리 셀(311)에 대한 라이트 동작을 완료할 수 있다.

[0138] 다음으로, 334 내지 335 구간에서 어시스트 제어 신호 생성기(320)는 'Low' 레벨의 제1 라이트 워드라인 제어 신호(WWL0) 및 'High' 레벨의 제2 라이트 워드라인 제어신호(WWL1)에 대응되는 제어 신호들을 생성하고, 생성된 제어 신호들을 라이트 어시스트 회로(313)에 구비된 트랜지스터 각각에 제공할 수 있다.

[0139] 또한, 334 내지 335 구간에서 제공 받은 제어 신호들에 대응하여, 제1 내지 제4 선택 트랜지스터(P2, N2, N3, P3)는 턴-오프 상태가 되고, 제1 접지 트랜지스터(N4)와 제2 접지 트랜지스터(N5)는 턴-온 상태가 될 수 있다.

[0140] 즉, 334 내지 335 구간에서 라이트 어시스트 회로(313)는 제1 내지 제4 선택 트랜지스터(P2, N2, N3, P3)의 스위칭 동작에 따라, 프리차지된 비트라인(BL)과 플로팅된 셀 소스라인 사이의 연결을 차단하고 플로팅된 셀 전원라인과 비트라인바(BLb) 사이의 연결을 차단할 수 있다.

[0141] 또한, 334 내지 335 구간에서 라이트 어시스트 회로(313)는 제1 접지 트랜지스터(N4)와 제2 접지 트랜지스터(N5)를 통해 비트라인(BL)과 비트라인바(BLb)를 접지 레벨로 방전(Discharge) 시킬 수 있다.

[0143] 도 4는 일실시예에 따른 정적 메모리 장치의 제어 방법을 설명하기 위한 도면이다.

[0144] 다시 말해, 도 4는 도 1 내지 도 3c를 통해 설명한 일실시예에 따른 정적 메모리 장치의 제어 방법에 관한 도면으로, 이후 도 4를 통해 설명하는 내용 중 일실시예에 따른 정적 메모리 장치에서 설명한 내용과 중복되는 설명

은 생략 하기로 한다.

[0145] 도 4를 참조하면, 410 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 프리차지 회로에서 복수의 트랜지스터를 구비하는 메모리 셀의 양단에 연결된 비트라인과 비트라인바를 프리차지(Precharge)할 수 있다.

[0146] 일측에 따르면, 410 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 프리차지 회로에서 비트라인 및 비트라인바를 하프 전원전압(VDD/2) 레벨로 프리차지할 수 있다.

[0147] 다음으로, 420 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에서 라이트(Write) 제어 신호에 대응하여, 프리차지된 비트라인을 메모리 셀과 연결된 셀 소스라인과 연결하고, 메모리 셀과 연결된 셀 전원라인을 비트라인바와 연결할 수 있다.

[0148] 일측에 따르면, 420 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에 구비된 전원전압 트랜지스터와 소스전압 트랜지스터에서 라이트 제어 신호에 따라 제어되는 스위칭 동작을 통해 셀 전원라인과 셀 소스라인을 플로팅(Floating) 시킬 수 있다.

[0149] 다음으로, 420 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해 프리차지된 비트라인을 플로팅된 셀 소스라인과 연결하고, 플로팅된 셀 전원라인을 비트라인바와 연결할 수 있다.

[0150] 일측에 따르면, 430 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에 구비된 제1 내지 제4 선택 트랜지스터 각각의 스위칭 동작을 통해, 프리차지된 비트라인과 플로팅된 셀 소스라인 사이의 연결을 해제하고 플로팅된 셀 전원라인과 비트라인바 사이의 연결을 해제할 수 있다.

[0151] 또한, 440 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 라이트 어시스트 회로에 구비된 제1 접지 트랜지스터 및 제2 접지 트랜지스터의 스위칭 동작을 통해 비트라인의 전압과 비트라인바의 전압을 접지 레벨(Ground Level)로 변경할 수 있다.

[0152] 일측에 따르면, 440 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 비트라인과 비트라인바를 프리차지하고, 셀 전원라인을 셀 전원전압(V_{DDM}) 레벨로 변경하며, 셀 소스라인을 셀 소스전압(V_{SSM}) 레벨로 변경할 수 있다.

[0153] 다시 말해, 440 단계에서 일실시예에 따른 정적 메모리 장치의 제어 방법은 셀 전원라인과 셀 전원전압원을 연결하고, 셀 소스라인과 셀 소스전압원을 연결함으로써, 셀 전원라인을 셀 전원전압 레벨로 변경하고 셀 소스전압을 접지 레벨로 변경할 수 있다.

[0155] 결국, 본 발명을 이용하면, 라이트 동작시 셀 전원라인과 비트라인을 연결하여 메모리 셀에 구비된 풀업 트랜지스터의 드레인-소스 전압(V_{DS})을 감소시키고 하프 전원전압(VDD/2) 레벨로 프리차지된 비트라인과 셀 소스라인을 연결하여 풀업 트랜지스터의 게이트-소스 전압(V_{GS})을 감소시킬 수 있다.

[0156] 또한, 본 발명은 풀업 트랜지스터의 드레인-소스 전압(V_{DS}) 및 게이트-소스 전압(V_{GS})을 감소시켜 라이트 실패(Write Failure)를 최소화할 수 있다.

[0157] 또한, 본 발명은 별도의 전압원을 사용하지 않고 하프 전원전압($V_{DD}/2$) 레벨로 프리차지된 비트라인을 이용한 전하 재활용(Charge Recycling)을 통해 셀 소스라인에 인가되는 셀 소스전압(V_{SSM})을 증가시킬 수 있다.

[0158] 또한, 본 발명은 별도의 전압원을 사용하지 않고 셀 전원전압(V_{DDM})이 인가된 셀 전원라인을 이용한 전하 재활용(Charge Recycling)을 통해 비트라인바에 인가되는 전압을 증가시킬 수 있다.

[0160] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설

명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0161] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0162] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

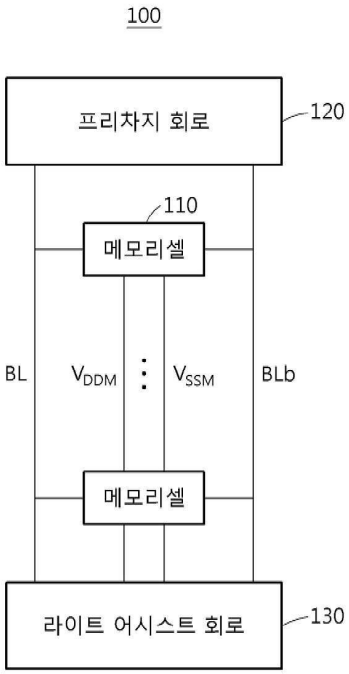
부호의 설명

[0163] 100: 정적 메모리 장치 110: 메모리 셀

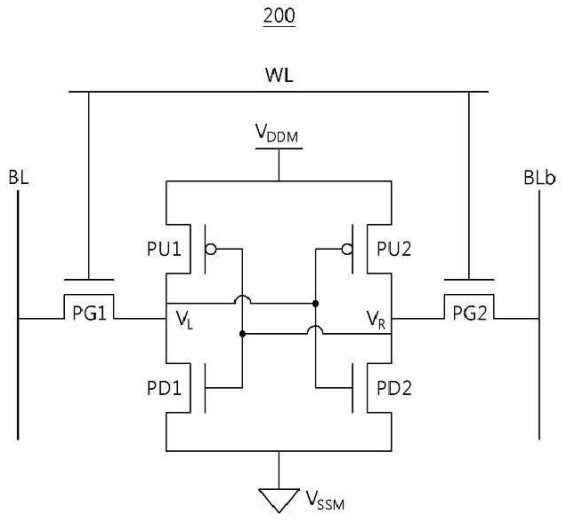
120: 프리차지 회로 130: 라이트 어시스트 회로

도면

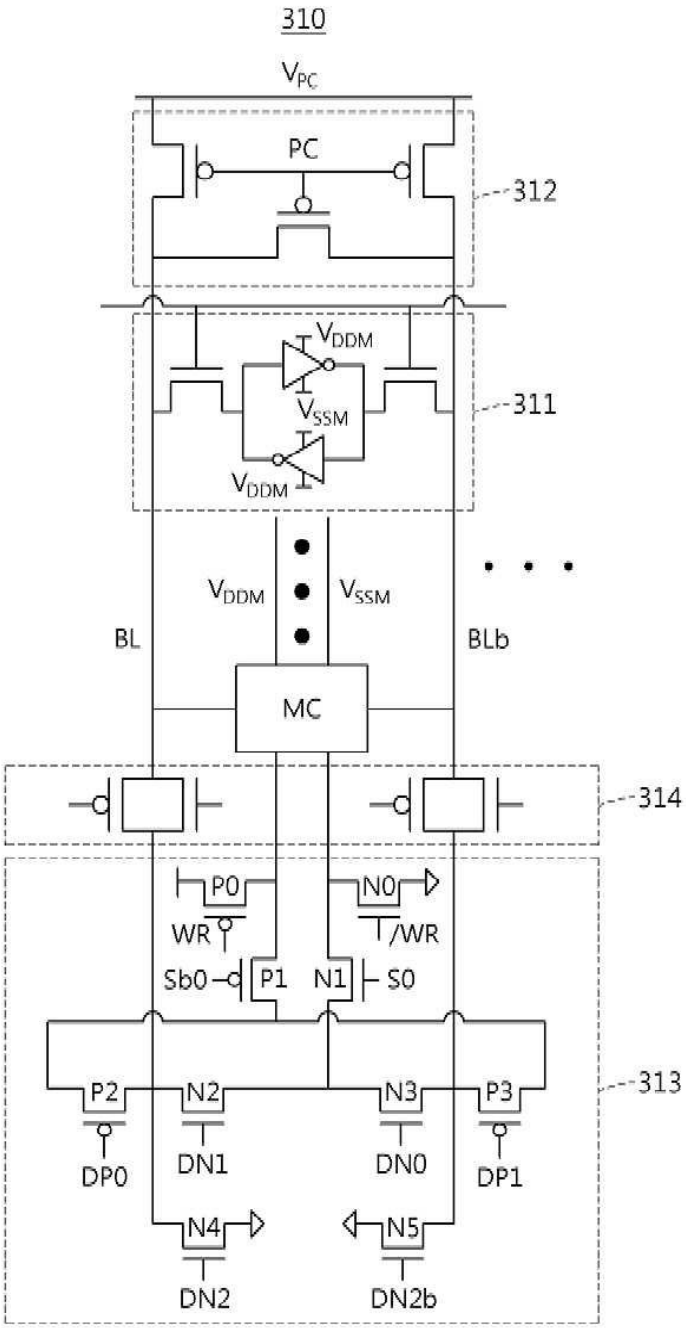
도면1



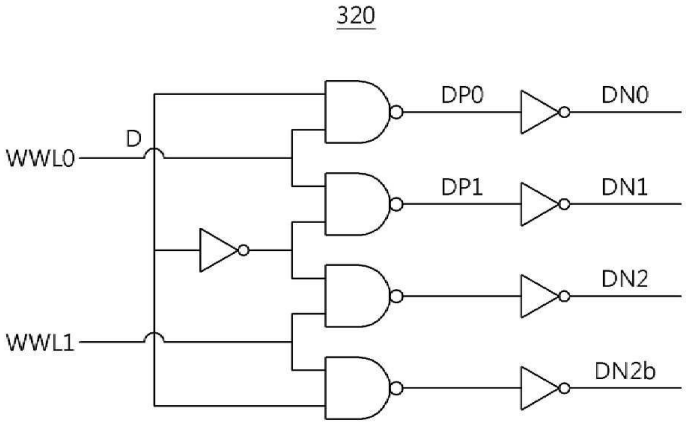
도면2



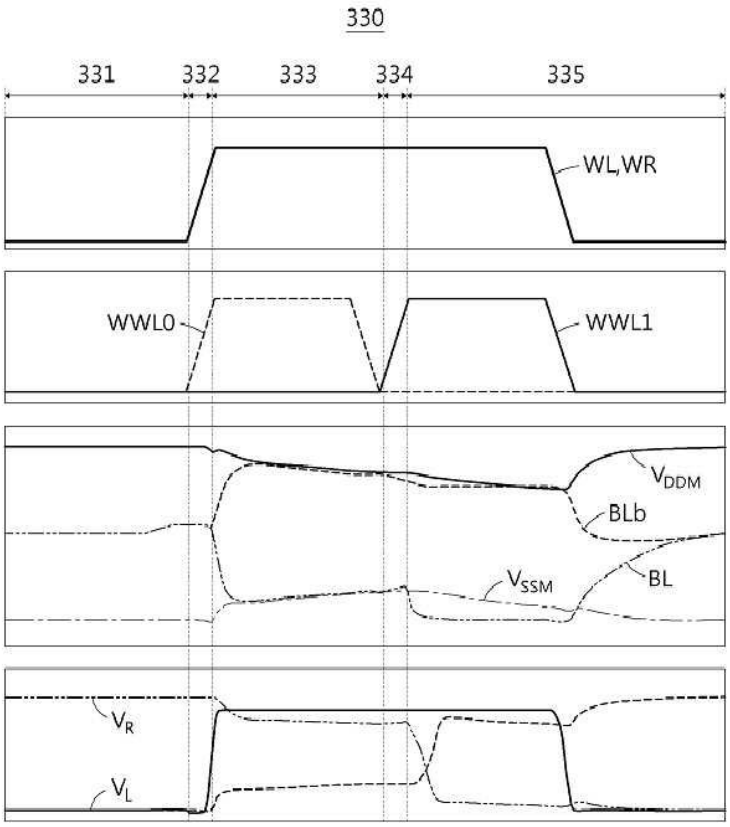
도면3a


310
V_{PC}
PC
312
V_{DDM}
V_{SSM}
V_{DDM}
311
V_{DDM}
V_{SSM}
BL
BLb
MC
314
P0
N0
WR
/WR
Sb0
P1
N1
S0
P2
N2
N3
P3
313
DP0
DN1
DN0
DP1
N4
N5
DN2
DN2b

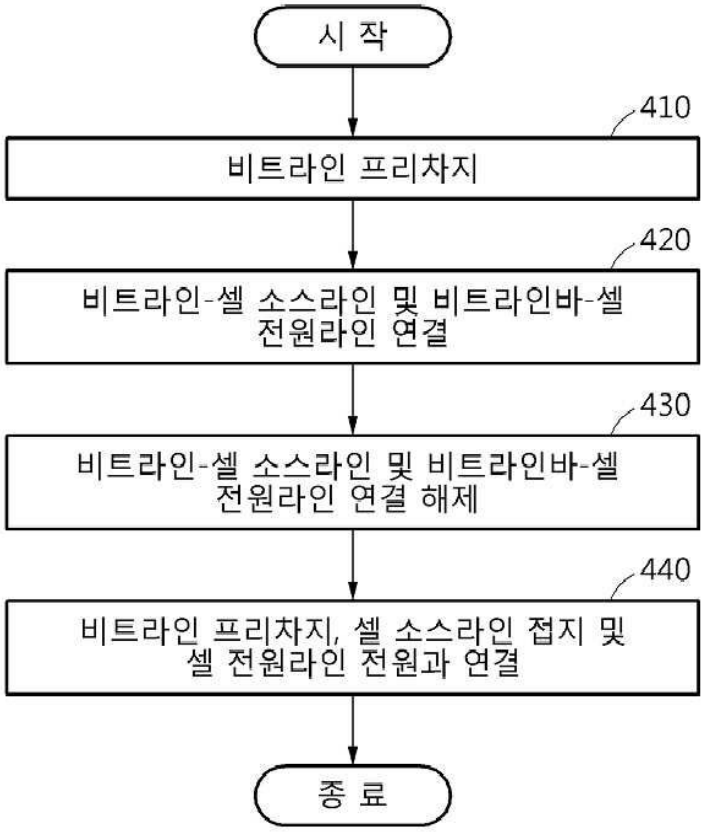
도면3b


320
WWL0
D
WWL1
DP0
DP1
DN0
DN1
DN2
DN2b

도면3c


330
331
332
333
334
335
WL,WR
WWL0
WWL1
VDDM
BLb
VSSM
BL
VR
VL

도면4


시 작
410
비트라인 프리차지
420
비트라인-셀 소스라인 및 비트라인바-셀 전원라인 연결
430
비트라인-셀 소스라인 및 비트라인바-셀 전원라인 연결 해제
440
비트라인 프리차지, 셀 소스라인 접지 및 셀 전원라인 전원과 연결
종 료