



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월22일
(11) 등록번호 10-2168362
(24) 등록일자 2020년10월15일

(51) 국제특허분류(Int. Cl.)
H04B 1/7183 (2011.01) H04B 1/7163 (2011.01)
(52) CPC특허분류
H04B 1/7183 (2013.01)
H04B 1/71637 (2013.01)
(21) 출원번호 10-2019-0047124
(22) 출원일자 2019년04월23일
심사청구일자 2019년04월23일
(56) 선행기술조사문헌
KR101621853 B1*
KR1020120028629A
KR1020140081110A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
(72) 발명자
김태욱
서울특별시 서대문구 연희로20길 33(연희동)
이근행
서울특별시 서대문구 연세로5나길 41-2, 202호(창천동)
(74) 대리인
김연권

전체 청구항 수 : 총 6 항

심사관 : 구영희

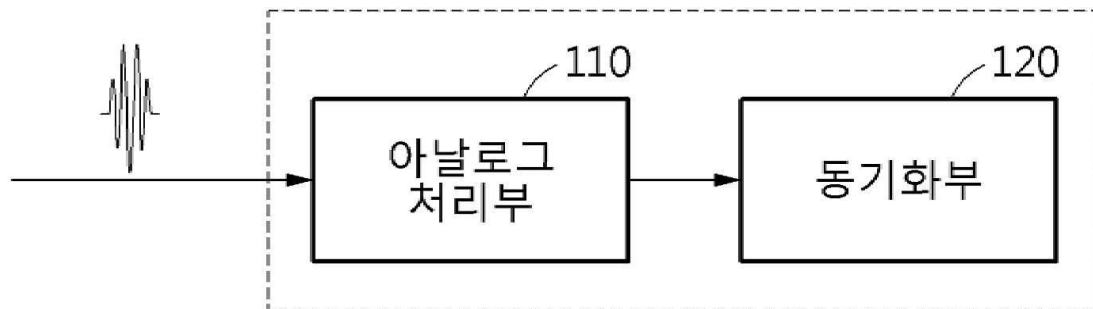
(54) 발명의 명칭 임펄스 신호 수신기를 위한 동기화 장치 및 그 동작방법

(57) 요약

임펄스 신호 수신기를 위한 동기화 장치 및 그 동작방법에 관한 것으로서, 일실시예에 따른 일실시예에 따른 동기화 장치는 임펄스 신호(Impulse Signal)를 수신하고, 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성하는 아날로그 처리부와, 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클럭(Recovery Clock)을 출력하여 임펄스 신호의 동기 펄스(Sync Pulse)에 기초한 동기화 동작을 수행하는 동기화부를 포함한다.

대표도 - 도1

100



이 발명을 지원한 국가연구개발사업

과제고유번호	20170004180041001
부처명	한국연구재단
과제관리(전문)기관명	한국연구재단 부설 정보통신기획평가원
연구사업명	정부-과학기술정보통신부-정보통신기획평가원(한국연구재단부설)-정보통신방송연구
개발사업-ICT융합산업원천기술개발사업	
연구과제명	[통합이지바로] 초고속 샘플링 기법을 이용한 시간도메인 인공지능 레이다 SoC
(System On a Chip) 설계 연구	
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 임펄스 신호(Impulse Signal)를 수신하고, 상기 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성하는 아날로그 처리부 및

상기 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 상기 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클록(Recovery Clock)을 출력하여 상기 동기 펄스에 기초한 동기화 동작을 수행하는 동기화부

를 포함하고,

상기 동기화부는,

상기 적어도 하나 이상의 검출 펄스가 클록 포트(CLK Port)로 인가되면, 상기 적어도 하나 이상의 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)되고, 출력 노드를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력하는 D 플립플롭(D Flip-Flop);

상기 DFF 출력신호를 기설정된 시간만큼 지연시키는 지연부 및

상기 지연된 DFF 출력신호를 수신하여 상기 리커버리 클록을 출력하고, 상기 리커버리 클록을 통해 상기 D 플립플롭이 리셋(Reset) 되도록 제어하여 상기 출력 노드를 방전시키는 조합 로직(Combinational Logic)

을 더 포함하는 동기화 장치.

청구항 2

제1항에 있어서,

상기 아날로그 처리부는,

상기 임펄스 신호를 입력으로 수신하여 증폭하는 저잡음 증폭기(Low Noise Amplifier; LNA);

상기 증폭된 임펄스 신호의 피크점(Peak Point)을 검출하는 포락선 검출기(Envelope Detector) 및

상기 검출된 피크점에 대응하여 상기 적어도 하나 이상의 검출 펄스를 생성하는 비교기

를 포함하는 동기화 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 D 플립플롭은,

상기 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 상기 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 상기 N번째 클록주기에 포함된 동기 펄스의 주기값 보다

작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거되는

동기화 장치.

청구항 7

아날로그 처리부에서, 단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 임펄스 신호(Impulse Signal)를 수신하고, 상기 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성하는 단계 및

동기화부에서, 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 상기 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클록(Recovery Clock)을 출력하여 상기 동기 펄스에 기초한 동기화 동작을 수행하는 단계

를 포함하고,

상기 동기화 동작을 수행하는 단계는,

D 플립플롭(D Flip-Flop)에서, 상기 적어도 하나 이상의 검출 펄스가 클록 포트(CLK Port)로 인가되면, 상기 적어도 하나 이상의 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)되고, 출력 노드를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력하는 단계;

지연부에서, 상기 DFF 출력신호를 기설정된 시간만큼 지연시키는 단계 및

조합 로직(Combinational Logic)에서, 상기 지연된 DFF 출력신호를 수신하여 상기 리커버리 클록을 출력하고, 상기 리커버리 클록을 통해 상기 D 플립플롭이 리셋(Reset) 되도록 제어하여 상기 출력 노드를 방전시키는 단계

를 더 포함하는 동기화 장치의 동작방법.

청구항 8

제7항에 있어서,

상기 검출 펄스를 생성하는 단계는,

저잡음 증폭기(Low Noise Amplifier; LNA)에서, 상기 임펄스 신호를 입력으로 수신하여 증폭하는 단계;

포락선 검출기(Envelope Detector)에서, 상기 증폭된 임펄스 신호의 피크점(Peak Point)을 검출하는 단계 및

비교기에서, 상기 검출된 피크점에 대응하여 상기 적어도 하나 이상의 검출 펄스를 생성하는 단계

를 더 포함하는 동기화 장치의 동작방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

제7항에 있어서,

상기 DFF 출력신호를 출력하는 단계는,

상기 D 플립플롭에서, 상기 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 상기 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 상기 N번째 클록주기에 포함된 동기 펄스의 주기값 보다 작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거되는

동기화 장치의 동작방법.

발명의 설명

기술 분야

- [0001] 임펄스 신호 수신기를 위한 동기화 장치 및 그 동작방법에 관한 것으로, 보다 상세하게는 임펄스 신호에 기초하여 별도의 클럭 입력없이 동기화 동작을 수행하는 기술적 사상에 관한 것이다.

배경 기술

- [0002] 최근 무선통신기술 중 하나인 UWB(Ultra Wide Band) 기술이 주목을 받고 있다. UWB는 초고속 무선통신과 저출력, 그리고 효율적 주파수 활용 등에 있어서 장점을 보이고 있다. 또한 UWB 기술은 생활 속에서의 근거리 초고속 무선통신의 활용 가능성을 제시하고 있어 산업계에서 특히 주목을 받고 있는 기술이기도 하다.
- [0003] UWB 기술은 1ns 이하의 매우 짧은 펄스를 사용하여 통신을 한다. 펄스를 이용해 정보를 보내기 위해서 기본 펄스에 변조를 가해야 한다.
- [0004] UWB 기술 기반의 변조방식으로, 주어진 시간 간격 내에서 임펄스 신호(Impulse Signal)를 보내거나 보내지 않는 방법의 온-오프 키(On-Off Keying) 방식이 있다. 온-오프 키 방식은 동기화 펄스를 보내고 동기화 펄스 다음에 임펄스 신호를 보내면 '1', 보내지 않으면 '0'으로 인식하는 통신 방식이다. 이러한 통신 방식은 데이터 속도가 그다지 높지 않다. 즉 이 같은 온-오프 키 방식의 경우 UWB 신호가 보내지는 주기인 PRF(Pulse Repetition Frequency) 정도의 데이터율(Data Rate)을 가진다.
- [0005] 한편, 종래의 임펄스 신호 수신기는 복조(Data Demodulation) 및 샘플(Sample)을 위해 동기화하는 부분에 별도의 복잡한 매커니즘이 필요하다는 문제가 있다.
- [0006] 보다 구체적으로, 임펄스 수신기가 복잡한 매커니즘을 갖는 회로로 구현되면 아날로그-디지털 변화기 및 각종 Locking Loop 회로 등에 고속 통신이 요구되어 전력 소모의 증가하며, 회로 구현의 어려움 및 복잡성 증가를 야기할 수 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 한국등록특허 제10-1358902호, "시간디지털변환기-다중 PPM을 이용한 데이터 통신, 거리측정, 위치추적"

발명의 내용

해결하려는 과제

- [0008] 본 발명은 전력 소모가 거의 없는 로직 회로(Logic Circuit)를 통해 효과적으로 동기화를 구현할 수 있기 때문에, 초저전력으로 송수신기 동기화가 가능한 동기화 장치 및 그 동작방법을 제공하고자 한다.
- [0009] 또한, 본 발명은 디지털 기반의 안정적인 구조로 구현하여, 분주, 주파수 굽셈 등의 다양한 회로에 용이하게 적용할 수 있는 동기화 장치 및 그 동작방법을 제공하고자 한다.
- [0010] 또한, 본 발명은 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호의 동기 펄스와 데이터 펄스의 주파수 차이를 이용하여 별도의 시스템 클럭 입력 및 움직이는 펄스에 상관없이 동기 펄스에 동기화할 수 있는 동기화 장치 및 그 동작방법을 제공하고자 한다.

과제의 해결 수단

- [0011] 일 실시예에 따른 동기화 장치는 임펄스 신호(Impulse Signal)를 수신하고, 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성하는 아날로그 처리부와, 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클럭(Recovery Clock)을 출력하여 임펄스 신호의 동기 펄스(Sync Pulse)에 기초한 동기화 동작을 수행하는 동기화부를 포함할 수 있다.

- [0012] 일측에 따르면, 아날로그 처리부는 임펄스 신호를 입력으로 수신하여 증폭하는 저잡음 증폭기(Low Noise Amplifier; LNA)와, 증폭된 임펄스 신호의 피크점(Peak Point)을 검출하는 포락선 검출기(Envelope Detector) 및 검출된 피크점에 대응하여 적어도 하나 이상의 검출 펄스를 생성하는 비교기를 포함할 수 있다.
- [0013] 일측에 따르면, 임펄스 신호는 단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 신호일 수 있다.
- [0014] 일측에 따르면, 동기화부는 적어도 하나 이상의 검출 펄스가 클록 포트(CLK Port)로 인가되면, 적어도 하나 이상의 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)되고, 출력 노드를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력하는 D 플립플롭(D Flip-Flop)을 포함할 수 있다.
- [0015] 일측에 따르면, DFF 출력신호를 기설정된 시간만큼 지연시키는 지연부와, 지연된 DFF 출력신호를 수신하여 리커버리 신호를 출력하고, D 플립플롭이 리셋(Reset) 되도록 제어하여 출력 노드를 방전시키는 조합 로직(Combinational Logic)을 더 포함할 수 있다.
- [0016] 일측에 따르면, D 플립플롭은 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 N번째 클록주기에 포함된 동기 펄스의 주기값 보다 작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거될 수 있다.
- [0017] 일실시예에 따른 동기화 장치의 동작방법은 아날로그 처리부에서, 임펄스 신호(Impulse Signal)를 수신하고, 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성하는 단계와, 동기화부에서, 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클록(Recovery Clock)을 출력하여 임펄스 신호의 동기 펄스(Sync Pulse)에 기초한 동기화 동작을 수행하는 단계를 포함할 수 있다.
- [0018] 일측에 따르면, 디지털 윈도우를 생성하는 단계는, 저잡음 증폭기(Low Noise Amplifier; LNA)에서, 임펄스 신호를 입력으로 수신하여 증폭하는 단계와, 포락선 검출기(Envelope Detector)에서, 증폭된 임펄스 신호의 피크점(Peak Point)을 검출하는 단계 및 비교기에서, 검출된 피크점에 대응하여 적어도 하나 이상의 검출 펄스를 생성하는 단계를 더 포함할 수 있다.
- [0019] 일측에 따르면, 임펄스 신호는 단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 신호일 수 있다.
- [0020] 일측에 따르면, 동기 펄스에 동기화하는 단계는 D 플립플롭(D Flip-Flop)에서, 적어도 하나 이상의 검출 펄스가 클록 포트(CLK Port)로 인가되면, 적어도 하나 이상의 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)되고, 출력 노드를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력하는 단계와, 지연부에서, DFF 출력신호를 기설정된 시간만큼 지연시키는 단계 및 조합 로직(Combinational Logic)에서, 지연된 DFF 출력신호를 수신하여 리커버리 신호를 출력하고, D 플립플롭이 리셋(Reset) 되도록 제어하여 출력 노드를 방전시키는 단계를 더 포함할 수 있다.
- [0021] 일측에 따르면, DFF 출력신호를 출력하는 단계는, D 플립플롭에서, 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 N번째 클록주기에 포함된 동기 펄스의 주기값 보다 작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거될 수 있다.

발명의 효과

- [0022] 일실시예에 따르면, 전력 소모가 거의 없는 로직 회로(Logic Circuit)를 통해 효과적으로 동기화를 구현할 수 있기 때문에, 초저전력으로 송수신기 동기화를 구현할 수 있다.
- [0023] 일실시예에 따르면, 디지털 기반의 안정적인 구조로 동기화 장치를 구현하여, 분주, 주파수 곱셈 등의 다양한 회로에 매우 용이하게 적용할 수 있다.
- [0024] 일실시예에 따르면, 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호의 동기 펄스와 데이터 펄스의 주파수 차이를 이용하여 별도의 시스템 클록 입력 및 움직이는 펄스에 상관없이 동기 펄스에 동기화할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 일실시예에 따른 동기화 장치를 설명하기 위한 도면이다.
- 도 2는 일실시예에 따른 아날로그 처리부에 관한 예시를 설명하기 위한 도면이다.
- 도 3은 일실시예에 따른 동기화부에 관한 예시를 설명하기 위한 도면이다.
- 도 4a 내지 도 4e는 일실시예에 따른 동기화 장치를 이용하여 동기화 동작을 수행하는 예시를 설명하기 위한 도면이다.
- 도 5는 일실시예에 따른 다중펄스 변조 송신기를 설명하기 위한 도면이다.
- 도 6는 일실시예에 따른 디지털-시간 변환부에 관한 예시를 설명하기 위한 도면이다.
- 도 7은 일실시예에 따른 임펄스 신호 생성부에 관한 예시를 설명하기 위한 도면이다.
- 도 8a 내지 도 8c는 일실시예에 따른 다중펄스 변조 송신기를 이용하여 임펄스 신호를 생성하는 예시를 설명하기 위한 도면이다.
- 도 9는 일실시예에 따른 다중펄스 변조 송신기의 동작방법을 설명하기 위한 도면이다.
- 도 10은 일실시예에 따른 동기화 장치의 동작방법을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [0027] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [0028] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0029] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0030] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [0031] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0032] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [0033] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [0034] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [0035] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [0036] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [0037] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [0038] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의

미한다.

- [0039] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [0041] 상술한 구체적인 실시예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.
- [0042] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.
- [0043] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [0044] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.
- [0046] 도 1은 일실시예에 따른 동기화 장치를 설명하기 위한 도면이다.
- [0047] 도 1을 참조하면, 일실시예에 따른 동기화 장치(100)는 전력 소모가 거의 없는 로직 회로(Logic Circuit)를 통해 효과적으로 동기화를 구현할 수 있기 때문에, 초저전력으로 송수신기 동기화가 가능하다.
- [0048] 또한, 동기화 장치(100)는 디지털 기반의 안정적인 구조로 동기화 장치를 구현하여, 분주, 주파수 곱셈 등의 다양한 회로에 매우 용이하게 적용할 수 있다.
- [0049] 또한, 동기화 장치(100)는 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호의 동기 펄스와 데이터 펄스의 주파수 차이를 이용하여 별도의 시스템 클럭 입력 및 움직이는 펄스에 상관없이 동기 펄스에 동기화할 수 있다.
- [0050] 이를 위해, 동기화 장치(100)는 아날로그 처리부(110) 및 동기화부(120)를 포함할 수 있다.
- [0051] 예를 들면, 일실시예에 따른 동기화 장치(100)는 임펄스 신호 수신기에 구비될 수 있다.
- [0052] 또한, 일실시예에 따른 동기화 장치(100)는 일실시예에 따른 다중펄스 변조 송신기와 임펄스 신호 수신기 사이에서 송수신되는 신호의 타이밍을 동기화하는 동기화기(Synchronizer)일 수 있다.
- [0053] 일실시예에 따른 다중펄스 변조 송신기는 이후 도 5 내지 도 8c를 통해 보다 구체적으로 설명하기로 한다.
- [0054] 일실시예에 따른 아날로그 처리부(110)는 임펄스 신호(Impulse Signal)를 수신하고, 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성할 수 있다.
- [0055] 일측에 따르면, 임펄스 신호는 단일 클럭주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 신호일 수 있다.
- [0056] 예를 들면, 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호는 일실시예에 따른 다중펄스 변조 송신기를 통해 생성되어 일실시예에 따른 아날로그 처리부(110)로 전달될 수도 있다.
- [0057] 구체적으로, 일실시예에 따른 다중펄스 변조 송신기는 기준 클럭(Refernce Clock) 신호 및 데이터(Data) 신호를 수신하여 단일 클럭주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse)를 포함하는 신호를 생성하되, 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호에 대응되는 임펄스 신호를 생성할 수 있다.
- [0058] 예를 들면, 일실시예에 따른 다중펄스 변조 송신기는 수신한 데이터 신호의 비트(bit)에 대응하여 동기 펄스 및 데이터 펄스 사이의 시간 간격을 조절할 수 있다.
- [0059] 일실시예에 따른 동기화부(120)는 아날로그 처리부(110)로부터 출력되는 검출 펄스를 입력으로 수신하고, 검출 펄스에 대응되는 리커버리 클럭(Recovery Clock)을 출력하여 임펄스 신호의 동기 펄스에 기초한 동기화 동작을 수행할 수 있다.
- [0061] 도 2는 일실시예에 따른 아날로그 처리부에 관한 예시를 설명하기 위한 도면이다.
- [0062] 다시 말해, 도 2는 도 1을 통해 설명한 일실시예에 따른 동기화 장치의 아날로그 처리부에 관한 실시예를 설명

하기 위한 도면으로, 이후 도 2를 통해 설명하는 내용 중 일실시예에 따른 동기화 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

- [0063] 도 2를 참조하면, 일실시예에 따른 아날로그 처리부(200)는 저잡음 증폭기(Low Noise Amplifier; LNA)(210), 포락선 검출기(Envelope Detector)(220) 및 비교기(230)를 포함할 수 있다.
- [0064] 일측에 따르면, 저잡음 증폭기(210)는 임펄스 신호(Received Signal)를 입력으로 수신하고, 수신한 임펄스 신호를 증폭할 수 있다.
- [0065] 포락선 검출기(220)는 증폭된 임펄스 신호의 피크점(Peak Point)을 검출할 수 있다.
- [0066] 비교기(230)는 포락선 검출기(220)를 통해 검출된 피크점에 대응하여 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성할 수 있다.
- [0067] 예를 들면, 비교기(230)는 포락선 검출기(220)의 출력과 기준 레벨(Reference Level, V_{th})을 비교하여, 포락선 검출기(220)의 출력 신호가 기준 레벨(V_{th})보다 낮은 경우 '1'을 출력하고, 포락선 검출기(220)의 출력 신호가 기준 레벨(V_{th})보다 높은 경우 '0'을 출력할 수 있다.
- [0068] 다시 말해, 비교기(230)는 포락선 검출기(220)의 출력 신호에 대응하여 디지털 펄스 기반의 검출 펄스를 생성할 수 있다.
- [0070] 도 3은 일실시예에 따른 동기화부에 관한 예시를 설명하기 위한 도면이다.
- [0071] 다시 말해, 도 3은 도 1을 통해 설명한 일실시예에 따른 동기화 장치의 동기화부에 관한 실시예를 설명하기 위한 도면으로, 이후 도 3을 통해 설명하는 내용 중 일실시예에 따른 동기화 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0072] 도 3을 참조하면, 일실시예에 따른 동기화부(300)는 D 플립플롭(D Flip-Flop)(310), 지연부(320) 및 조합 로직(Combinational Logic)(330)을 포함할 수 있다.
- [0073] 일측에 따르면, D 플립플롭(310)은 일실시예에 따른 동기화 장치의 아날로그 처리부에서 출력되는 검출 펄스가 클록 포트(CLK Port)로 인가되면, 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)될 수 있다.
- [0074] 일측에 따르면, D 플립플롭(310)은 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 N번째 클록주기에 포함된 동기 펄스의 주기값 보다 작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거 될 수 있다.
- [0075] 또한, D 플립플롭(310)은 출력 노드(Q)를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력할 수 있다.
- [0076] 지연부(320)는 DFF 출력신호를 기설정된 시간만큼 지연 시킬 수 있다. 예를 들면, 지연부(320)는 인버터(Inverter) 기반의 지연 셀들이 직렬로 연결된 지연 라인일 수도 있다.
- [0077] 또한, 조합 로직(330)은 지연된 DFF 출력신호를 수신하여 리커버리 클록(Recovery Clock)을 출력하고, D 플립플롭이 리셋(Reset) 되도록 제어하여 출력 노드(Q)를 방전(Discharge)시킬 수 있다.
- [0079] 도 4a 내지 도 4e는 일실시예에 따른 동기화 장치를 이용하여 동기화 동작을 수행하는 예시를 설명하기 위한 도면이다.
- [0080] 다시 말해, 도 4a 내지 도 4e는 도 1 내지 도 3을 통해 설명한 일실시예에 따른 동기화 장치의 동작에 대한 예시를 설명하기 위한 도면으로, 이후 도 4a 내지 도 4e를 통해 설명하는 내용 중 일실시예에 따른 동기화 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0081] 도 4a 내지 도 4e를 참조하면, 참조부호 410은 일실시예에 따른 동기화 장치의 동작에 따른 타이밍 다이어그램을 나타내고, 참조부호 420은 동기 펄스(Sync Pulse)의 주기 값($T_{Sync-pulse}$)과, 데이터 펄스(Data Pulse)의 주기 값($T_{Data-pulse}$)을 나타낸다.
- [0082] 또한, 참조부호 430은 데이터 펄스의 최대 주기 값($T_{Data-Pulse,max}$)을 나타내고, 참조부호 440은 데이터 펄스의

최소 주기 값($\tau_{Data-Pulse,min}$)을 나타내며, 참조부호 450은 아날로그 처리부로부터 출력(AFE OUT)되는 검출 펄스(Detected Pulse)와, 동기화부를 통해 생성되는 리커버리 클록(Recovery Clock)간의 관계를 나타낸다.

[0083] 참조부호 410에 따르면, 일실시예에 따른 동기화 장치의 아날로그 처리부는 임펄스 신호를 수신하여 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성할 수 있다.

[0084] 또한, 일실시예에 따른 동기화 장치의 동기화부에 구비된 D 플립플롭은 동기 펄스(Sync Pulse)에 대응되는 검출 펄스(Detected Pulse)의 에지(Edge)에 대응하여 트리거(Trigger) 되어, 출력 노드(DFF OUT)를 전원전압(VDD) 레벨로 충전할 수 있다. 즉, D 플립플롭은 출력 노드(DFF OUT)를 통해 DFF 출력신호를 출력할 수 있다.

[0085] 동기화부에 구비된 지연부는 DFF 출력신호의 상승 에지(Rising Edge)로부터 일정 시간(ΔT)을 지연시켜, 지연된 DFF 출력신호(Node X)를 출력할 수 있다.

[0086] 동기화부에 구비된 조합 로직은 지연된 DFF 출력신호(Node X)에 대응되는 리커버리 클록(Recovery Clock)을 생성할 수 있다.

[0087] 한편, 리커버리 클록(Recovery Clock)의 주기는 항상 시스템 클록이기 때문에 항상 트리거된 에지로부터 일정 시간(ΔT) 이후 리셋(Reset)된 후, 그 다음 에지를 트리거할 수 있다.

[0088] 참조부호 420에 따르면, N번째 주기(N^{th} Period)의 동기 펄스(Sync Pulse)와, N+1번째 주기($N+1^{th}$ Period)의 동기 펄스(Sync Pulse)의 주파수($f_{Sync-Pulse}$)는 항상 일정하고, 입력되는 데이터 신호에 의해 데이터 펄스(Data Pulse)의 위치가 바뀌므로 데이터 펄스(Data Pulse)의 주파수($f_{Data-Pulse}$)는 주기마다 달라지는 것을 확인할 수 있다.

[0089] 참조부호 430 내지 450에 따르면, 데이터 펄스의 최대 주기 값($\tau_{Data-Pulse,max}$)은 N번째 클록주기(N^{th} Period)에서의 입력 데이터가 0이고, N+1번째 클록주기($N+1^{th}$ Period)의 입력 데이터가 2^M (여기서, M은 정수)인 경우인 것을 확인할 수 있다.

[0090] 마찬가지로, 데이터 펄스의 최소 주기 값($\tau_{Data-Pulse,min}$)은 N번째 클록주기(N^{th} Period)에서의 입력 데이터가 2^M (여기서, M은 자연수)이고, N+1번째 클록주기($N+1^{th}$ Period)의 입력 데이터가 0인 경우인 것을 확인할 수 있다.

[0091] 즉, 데이터 펄스(Data Pulse)의 주파수($f_{Data-Pulse}$)가 매 주기마다 달라지는 D-MPPM의 특성을 이용하면, 참조부호 450과 같은 결과가 나타날 수 있다.

[0092] 참조부호 450을 수학적식으로 나타내면, 하기 수학식 1로 표현될 수 있다.

[0093] [수학식 1]

$$\tau_{Data-pulse,min}(1/f_{Data-pulse,min}) < \tau_{Synchronization}$$

[0094] 여기서, $\tau_{Synchronization}$ 는 참조부호 810의 ΔT 를 의미한다.

[0095] 또한, ΔT 는 동기 펄스(Sync Pulse)의 주기 값($\tau_{Sync-pulse}$) 보다 작아야 하므로, 하기 수학식 2 역시 만족해야 한다.

[0096] [수학식 2]

$$\tau_{Synchronization} < \tau_{Sync-pulse}$$

[0097] 즉, 일실시예에 따른 동기화 장치는 N번째 클록주기에 대응되는 DFF 출력신호의 주기값($\tau_{Synchronization}$)이 N번째 클록주기에 포함된 데이터 펄스(Data Pulse)의 최소 주기값($\tau_{Data-Pulse,min}$) 보다 크고, N번째 클록주기에 포함된 동기 펄스(Sync Pulse)의 주기값($\tau_{Sync-pulse}$) 보다 작으면, 주파수가 다른 두개의 임펄스를 활용하는 시

시스템에서 일정한 주기의 임펄스에 자동적으로 동기시킬 수 있기 때문에 매우 효과적으로 동기화를 구현 할 수 있다.

- [0100] 결국, 일실시예에 따른 동기화 장치는 전력 소모가 거의 없는 로직 회로(Logic Circuit)를 통해 효과적으로 동기화를 구현할 수 있기 때문에, 초저전력으로 송수신기 동기화가 가능하다.
- [0101] 또한, 일실시예에 따른 동기화 장치는 디지털 기반의 안정적인 구조로 동기화 장치를 구현하여, 분주, 주파수 곱셈 등의 다양한 회로에 매우 용이하게 적용할 수 있다.
- [0102] 또한, 일실시예에 따른 동기화 장치는 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호의 동기 펄스와 데이터 펄스의 주파수 차이를 이용하여 별도의 시스템 클록 입력 및 움직이는 펄스에 상관없이 동기 펄스에 동기화할 수 있다.
- [0103]
- [0104] 도 5는 일실시예에 따른 다중펄스 변조 송신기를 설명하기 위한 도면이다.
- [0105] 도 5를 통해 설명하는 일실시예에 따른 다중펄스 변조 송신기는 도 1 내지 도 4e를 통해 설명한 일실시예에 따른 동기화 장치에 입력으로 수신되는 임펄스 신호를 생성 및 전달하는 장치로서, 이후 도 5를 통해 설명하는 내용 중 일실시예에 따른 동기화 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0106] 도 5를 참조하면, 일실시예에 따른 다중펄스 변조 송신기(500)는 동기 펄스와 데이터 펄스 사이의 시간차를 이용하여 데이터를 전송함으로써, 무선 통신 속도 및 무선 통신 거리를 향상시킬 수 있다.
- [0107] 또한, 일실시예에 따른 다중펄스 변조 송신기(500)는 스위치드 캐패시터 기반의 지연회로를 이용하여 주파수 도약 방식으로 임펄스 신호를 전송함으로써, 추가적인 전력을 소모하지 않으면서도 무선 통신 속도 및 무선 통신 거리를 보다 더 향상시킬 수 있다.
- [0108] 이를 위해, 다중펄스 변조 송신기(500)는 디지털-시간 변환부(510)와 임펄스 신호 생성부(520)를 포함할 수 있다.
- [0109] 예를 들면, 다중펄스 변조 송신기(500)는 디지털화된 다중 펄스 변조(Digital-Multi Pulse Position Modulation; D-MPPM) 기술을 기반으로 하는 송신기일 수 있다. 또한, 디지털-시간 변환부(510)는 디지털-시간 변환기(Digital-to-Time Converter; DTC)를 포함할 수 있다.
- [0110] 일실시예에 따른 디지털-시간 변환부(510)는 기준 클록(Refernce Clock) 신호 및 데이터(Data) 신호를 수신하여 단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse)를 포함하는 신호를 생성하되, 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호를 생성할 수 있다.
- [0111] 일측에 따르면, 디지털-시간 변환부(510)는 데이터 신호의 비트(bit)에 대응하여 동기 펄스 및 데이터 펄스 사이의 시간 간격을 조절할 수 있다.
- [0112] 구체적으로, 디지털-시간 변환부(510)는 입력되는 데이터 신호의 비트 값(수)에 따라 동기 펄스와 데이터 펄스 사이의 시간을 디지털-시간 변환기로 조정하여, 동기 펄스와 데이터 펄스 사이의 시간 차이를 변조할 수 있다.
- [0113] 다시 말해, 일실시예에 따른 다중펄스 변조 송신기(500)는 단일 클록주기 내에서 동기 펄스와 데이터 펄스 사이의 시간 간격을 조절하여 데이터를 전송함으로써, 통신 속도를 높이고 효율적인 펄스 에너지당 비트(Energy Per Bit)로 인해 임펄스 신호(Impulse Signal)의 크기를 키워 통신 거리를 늘릴 수 있다.
- [0114] 보다 구체적으로, 디지털-시간 변환부(510)는 동기 펄스를 디지털-시간 변환기의 동작을 위한 시작신호로 하고, 입력되는 데이터 신호가 실리는 데이터 펄스를 디지털-시간 변환기의 중단을 위한 중단신호로 하여, 동기 펄스와 데이터 펄스 사이의 시간 간격을 정밀하게 특정할 수 있다.
- [0115] 디지털-시간 변환부(510)는 다수의 지연 셀(Delay Cell)들이 직렬로 연결되는 지연라인을 이용하여 입력되는 데이터에 대응되는 시간적인 위치에 데이터 펄스를 위치시킬 수 있다.
- [0116] 예를 들면, 동기 펄스의 한 주기 내에서 210개의 시간적 위치가 설정된 경우, 기 설정된 시간적 위치 중에서 입력되는 데이터의 비트에 대응하는 시간적 위치에 하나의 데이터 펄스를 위치시켜 인코딩하고, 동기 펄스를 기준으로 데이터 펄스의 위치(시간 간격)를 측정하여 입력 데이터를 디코딩할 수 있다.
- [0117] 보다 구체적인 예를 들면, 입력 되는 데이터 신호가 '00...000'인 경우는 데이터 펄스의 시간적 위치가 '1'로

인코딩되고, 입력 되는 데이터 신호가 '00...001'인 경우는 데이터 펄스의 시간적 위치가 '2'로 인코딩 되며, 입력 되는 데이터 신호가 '00...010'인 경우는 데이터 펄스의 시간적 위치가 '3'으로 인코딩되고, 입력 되는 데이터 신호가 '11...111'인 경우는 데이터 펄스의 시간적 위치가 ' 2^n '으로 인코딩될 수 있다(여기서, n 은 자연수).

- [0118] 또한, 입력 되는 데이터 신호가 '00...000'인 경우는 데이터 펄스의 시간적 위치가 ' 2^n '로 인코딩되고, 입력 되는 데이터 신호가 '00...001'인 경우는 데이터 펄스의 시간적 위치가 ' 2^n-1 '로 인코딩 되며, 입력 되는 데이터 신호가 '00...010'인 경우는 데이터 펄스의 시간적 위치가 ' 2^n-2 '으로 인코딩되고, 입력 되는 데이터 신호가 '11...111'인 경우는 데이터 펄스의 시간적 위치가 '1'로 인코딩될 수도 있다.
- [0119] 일실시예에 따른 임펄스 신호 생성부(520)는 디지털-시간 변환부(510)로부터 시간 간격이 조절된 신호를 수신하여 스위치드 캐패시터(Switched Capacitor)를 이용한 주파수 도약(Frequency Hopping) 방식으로 시간 간격이 조절된 신호에 대응되는 임펄스 신호(Impulse Signal)를 생성할 수 있다.
- [0120] 구체적으로, 임펄스 신호 생성부(520)는 스위치드 캐패시터 기반의 지연 셀을 포함함으로써, 스위치드 캐패시터의 코드 변경을 통해 지연 셀의 전체 캐패시터 크기를 변경하여 스위치드 캐패시터 기반의 지연 셀의 지연 시간을 조절할 수 있다.
- [0121] 여기서, 지연 셀의 전체 캐패시터 크기는 임펄스 중심 주파수와 반비례하므로, 임펄스 신호 생성부(520)는 임펄스 신호의 주파수를 옮겨가면서 송신할 수 있다.
- [0122] 다시 말해, 일실시예에 따른 임펄스 신호 생성부(520)는 디지털 방식의 주파수 도약 기술을 적용하여 임펄스 신호를 생성하고, 생성된 임펄스 신호를 전송할 수 있다.
- [0123] 즉, 일실시예에 따른 다중펄스 변조 송신기(500)는 수술실의 무선 고화질 의료 영상 등에 효과적으로 적용되어 통신 효율을 극대화시킬 수 있으며, 기존에 사용되던 D-MPPM 기술 기반의 송신기와 비교하여 추가적인 전력을 필요로 하지 않으면서도 통신거리를 획기적으로 늘려 고속(~수백 Mb/s), 저전력(~수십 mW), 중거리(~10m) 수준으로 통신 효율을 개선할 수 있다.
- [0125] 도 6는 일실시예에 따른 디지털-시간 변환부에 관한 예시를 설명하기 위한 도면이다.
- [0126] 다시 말해, 도 6은 도 5을 통해 설명한 일실시예에 따른 다중펄스 변조 송신기의 디지털-시간 변환부에 관한 실시예를 설명하기 위한 도면으로, 이후 도 6을 통해 설명하는 내용 중 일실시예에 따른 다중펄스 변조 송신기를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0127] 도 6를 참조하면, 디지털-시간 변환부(600)는 디지털-시간 변환기(610) 및 OR 게이트(620)를 포함할 수 있다.
- [0128] 구체적으로, 디지털-시간 변환기(610)는 기준 클록(Clock) 신호와, 데이터(Data) 신호를 입력으로 수신할 수 있다.
- [0129] 예를 들면, 디지털-시간 변환기(610)는 N (여기서, N 은 자연수) 비트의 MUX(Multiplexer)와, N 비트의 MUX의 입력과 연결되는 지연 라인을 포함할 수 있다.
- [0130] 지연 라인은 기설정된 지연 시간(T_M)을 갖는 적어도 하나 이상의 지연 셀이 직렬로 연결된 구조로 구현되어, 기준 클록(Clock) 신호를 지연시킬 수 있다.
- [0131] 일측에 따르면, N 비트의 MUX는 지연된 기준 클록 신호와 데이터(Data) 신호를 입력으로 수신하여 동기 펄스와 데이터 펄스 사이의 시간 간격을 조절하고, 그 결과를 OR 게이트(620)로 제공할 수 있다.
- [0132] 한편, OR 게이트(620)는 N 비트의 MUX에서 출력되는 결과 값과, 기준 클록(Clock) 신호를 입력으로 수신하여 단일 클록주기 내에서 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호를 생성할 수 있다. 예를 들면, 시간 간격이 조절된 신호는 디지털 펄스 기반의 신호일 수 있다.
- [0134] 도 7은 일실시예에 따른 임펄스 신호 생성부에 관한 예시를 설명하기 위한 도면이다.
- [0135] 다시 말해, 도 7은 도 5를 통해 설명한 일실시예에 따른 다중펄스 변조 송신기의 임펄스 신호 생성부에 관한 실시예를 설명하기 위한 도면으로, 이후 도 7을 통해 설명하는 내용 중 일실시예에 따른 다중펄스 변조 송신기를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

- [0136] 도 7을 참조하면, 일실시예에 따른 임펄스 신호 생성부(700)는 카운터부(710), 에지 결합부(720) 및 푸시-풀 펄스 생성부(730)를 포함할 수 있다.
- [0137] 예를 들면, 에지 결합부(720)는 에지 결합기(Edge Combiner)일 수 있으며, 푸시-풀 펄스 생성부(730)는 푸시-풀 펄스 생성기(Push-Pull Pulse Generator)일 수 있다.
- [0138] 일측에 따르면, 에지 결합부(720)는 스위치드 캐패시터(Switched Capacitor)를 복수개 포함하는 적어도 하나 이상의 지연 셀(Delay cell; 721)을 구비할 수 있다.
- [0139] 또한, 에지 결합부(720)는 적어도 하나 이상의 지연 셀(721)과 각각 연결되는 복수의 조합 로직(Combinational Logic)을 포함할 수 있다.
- [0140] 예를 들면, 적어도 하나 이상의 지연 셀(721)은 서로 직렬로 연결되어, 지연 라인을 형성할 수 있다.
- [0141] 또한, 복수의 조합 로직은 적어도 하나 이상의 지연 셀(721)과 연결되는 복수의 AND 게이트와, 복수의 AND 게이트의 출력과 연결되는 복수의 OR 게이트를 포함할 수 있다.
- [0142] 일측에 따르면, 에지 결합부(720)는 시간 간격이 조절된 신호의 상승 에지(Rising Edge)를 적어도 하나 이상의 지연 셀(721)에 대응되는 기 설정된 지연 시간(T_c)만큼 지연시키고, 지연된 에지에 대응되는 적어도 하나 이상의 디지털 윈도우(EC_{1-4})를 출력할 수 있다.
- [0143] 일측에 따르면, 적어도 하나 이상의 지연 셀(721)은 바이너리 코드(Binary Code, $B<0>$, $B<1>$, ..., $B<N>$)를 통해 복수개의 스위치드 캐패시터 각각의 동작을 제어하여 적어도 하나 이상의 지연 셀(721)에 대응되는 지연 시간(T_c)을 조절할 수 있다.
- [0144] 다시 말해, 적어도 하나 이상의 지연 셀(721) 각각은 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)를 통해, 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)에 대응되는 스위치드 캐패시터 각각의 스위칭 동작이 제어될 수 있다.
- [0145] 즉, 적어도 하나 이상의 지연 셀(721) 각각은 스위치드 캐패시터의 스위칭 동작을 제어하는 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)의 변경을 통해 지연 셀(721) 전체 캐패시터 크기를 변경함으로써, 지연 셀(721)의 지연 시간(T_c)을 조절할 수 있다.
- [0146] 예를 들면, 지연 셀(721)은 입력되는 바이너리 코드 $B<0>$ 의 값이 '1'인 경우에 바이너리 코드 $B<0>$ 에 대응되는 스위치드 캐패시터의 스위치를 'on' 상태로 변경할 수 있으며, 바이너리 코드 $B<0>$ 의 값이 '0'인 경우에 바이너리 코드 $B<0>$ 에 대응되는 스위치드 캐패시터의 스위치를 'off' 상태로 변경할 수 있다.
- [0147] 또한, 지연 셀(721)은 입력되는 바이너리 코드 $B<N>$ 의 값이 '1'인 경우에 바이너리 코드 $B<N>$ 에 대응되는 스위치드 캐패시터의 스위치를 'on' 상태로 변경할 수 있으며, 바이너리 코드 $B<N>$ 의 값이 '0'인 경우에 바이너리 코드 $B<N>$ 에 대응되는 스위치드 캐패시터의 스위치를 'off' 상태로 변경할 수 있다.
- [0148] 일측에 따르면, 카운터부(710)는 적어도 하나 이상의 D 플립플롭(D Flip-Flop; DFF)을 통해 기준 클록에 대응되는 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)를 생성할 수 있다.
- [0149] 다시 말해, 카운터부(710)는 도 1의 디지털-시간 변환부로 입력되는 기준 클록(Reference Clock) 신호를 입력으로 수신하여, 적어도 하나 이상의 지연 셀(721) 각각의 지연 시간(T_c)을 조절하기 위해 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)를 생성할 수 있다.
- [0150] 일측에 따르면, 푸시-풀 펄스 생성부(730)는 에지 결합부(720)로부터 출력된 디지털 윈도우(EC_{1-4})를 수신하고, 수신한 디지털 윈도우(EC_{1-4})에 대응되는 임펄스 신호를 생성할 수 있다.
- [0151] 보다 구체적으로 일실시예에 따른 임펄스 신호 생성부(700)의 동작에 대하여 설명하면, 에지 결합부(720)는 도 1의 디지털-시간 변환부로부터 단일 클록주기 내에서 동기 펄스(Sync Pulse) 및 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 신호를 수신(INPUT CLOCK)하여, 시간 간격이 조절된 신호의 상승 에지로부터 적어도 하나 이상의 지연 셀(721)의 지연 시간(T_c)만큼 지연시켜 복수의 조합 로직으로 디지털 윈도우(EC_{1-4})를 생성할 수 있다.
- [0152] 다음으로, 푸시-풀 펄스 생성부(730)는 디지털 윈도우(EC_{1-4})를 이용하여 푸시-풀 펄스 생성부(730)의 출력 노드

(IMPULSE OUT)를 전원전압(VDD) 레벨 또는 접지레벨(GND)로 충전(Charge) 또는 방전(Discharge)하여 임펄스 신호를 생성할 수 있다.

- [0153] 이때, 임펄스 신호의 중심 주파수는 지연 시간(τ_c)에 반비례할 수 있다. 즉, 지연 시간(τ_c)이 커지면 임펄스 신호의 중심 주파수는 낮아지고, 지연 시간(τ_c)이 작아지면 임펄스 신호의 중심 주파수는 높아질 수 있다.
- [0154] 상술한 대로, 일실시예에 따른 임펄스 신호 생성부(700)는 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)의 변경을 통해 지연 셀(721) 전체 캐패시터 크기를 변경함으로써, 지연 셀(721)의 지연 시간(τ_c)을 조절할 수 있다. 즉, 임펄스 신호 생성부(300)는 지연 시간(τ_c)을 디지털 방식으로 조절할 수 있다.
- [0155] 따라서, 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)에 대응되는 캐패시터 값은 바이너리로 구성되어 있으며, 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)의 소수(Decimal) 값과 임펄스 신호의 중심 주파수는 반비례할 수 있다.
- [0156] 다시 말해, 일실시예에 따른 임펄스 신호 생성부(700)는 임펄스 신호의 중심 주파수가 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)의 코드값과 반비례하므로, 이를 이용하여 카운터부(710)를 통해 바이너리 코드($B<0>$, $B<1>$, ..., $B<N>$)의 코드 값을 바꿔가며 임펄스 신호의 중심 주파수를 옮겨 주파수 도약을 구현할 수 있다.
- [0157] 일실시예에 따른 임펄스 신호 생성부(700)는 임펄스를 활용하는 모든 분야에 광범위하게 적용될 수 있다. 예를 들면, 통신, 레이더, 거리 측정, 위치 추적을 위한 장치에 적용되어 통신 거리를 획기적으로 늘릴 수 있으며, 주기별 임펄스 주파수 변화를 통해 물체 인식 등에 있어서 효율적인 신호처리를 가능하게 할 수 있다.
- [0159] 도 8a 내지 도 8c는 일실시예에 따른 다중펄스 변조 송신기를 이용하여 임펄스 신호를 생성하는 예시를 설명하기 위한 도면이다.
- [0160] 다시 말해, 도 8a 내지 도 8c는 도 5 내지 도 7을 통해 설명한 일실시예에 따른 다중펄스 변조 송신기의 동작에 대한 예시를 설명하기 위한 도면으로, 이후 도 8a 내지 도 8c를 통해 설명하는 내용 중 일실시예에 따른 다중펄스 변조 송신기를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0161] 도 8a 내지 도 8c를 참조하면, 참조부호 810은 일실시예에 따른 다중펄스 변조 송신기의 동작에 따른 타이밍 다이어그램을 나타내고, 참조부호 820은 일실시예에 따른 다중펄스 변조 송신기에 구비된 임펄스 신호 생성부의 동작에 따른 타이밍 다이어그램을 나타낸다.
- [0162] 또한, 참조부호 830은 일실시예에 따른 다중펄스 변조 송신기의 주파수 도약 동작에 따른 PSD(Power Spectral Density)-주파수(Frequency) 특성을 나타낸다.
- [0163] 구체적으로, 참조부호 810에 따르면, 일실시예에 따른 다중펄스 변조 송신기의 디지털-시간 변환부는 기준 클럭 신호(Reference Clock)와, 데이터 신호(Input Data)를 수신하여, 단일 클럭주기(T)에서 동기 펄스(Sync-Pulse)와 데이터 펄스(Data-Pulse)를 생성할 수 있으며, 생성되는 동기 펄스(Sync-Pulse)와 데이터 펄스(Data-Pulse) 사이의 시간 간격(τ_{data})을 데이터 신호(Input Data)의 비트 수에 대응하여 조절할 수 있다.
- [0164] 예를 들면, 디지털-시간 변환부는 데이터 신호(Input Data)의 비트 값이 '00000'이면, 동기 펄스(Sync-Pulse)를 기준으로 하는 데이터 펄스(Data-Pulse)의 시간적 위치가 '1'로 조절되고, 데이터 신호(Input Data)의 비트 값이 '11111'이면 동기 펄스(Sync-Pulse)를 기준으로 하는 데이터 펄스(Data-Pulse)의 시간적 위치가 '32'로 조절될 수 있다.
- [0165] 다시 말해, 디지털-시간 변환부는 데이터 신호(Input Data)의 비트 값이 '00000'인 경우에 초기 시간 간격(τ_{guard})으로 조절되고, 데이터 신호(Input Data)의 비트 값이 '00001' 내지 '11111'인 경우 대응되는 시간적 위치에 따라 기설정된 시간 간격(τ_{data})으로 조절될 수 있다.
- [0166] 한편, 일실시예에 따른 다중펄스 변조 송신기의 카운터부는 기준 클럭 신호(Reference Clock)를 입력으로 수신하는 적어도 하나 이상의 D 플립플롭(D Flip-Flop)을 통해, 기준 클럭 신호(Reference Clock)에 대응되는 바이너리 코드 '00000' 내지 '11111'를 생성할 수 있다.
- [0167] 참조부호 820에 따르면, 일실시예에 따른 임펄스 신호 생성부의 에지 결합부는 디지털-시간 변환부로부터 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호(CLOCK)를 수신하여 스위치드 캐패시터 기반의 지연 셀을 통해 복수의 디지털 윈도우(EC_1 , EC_2 , EC_3 및 EC_4)를 생성할 수 있다.

- [0168] 또한, 일실시예에 따른 임펄스 신호 생성부의 푸시-풀 펄스 생성부는 복수의 디지털 윈도우(EC_1 , EC_2 , EC_3 및 EC_4)를 입력으로 수신하고, 수신한 디지털 윈도우(EC_1 , EC_2 , EC_3 및 EC_4)에 대응하여 임펄스 신호를 출력(Tx OUT)할 수 있다.
- [0169] 한편, 일실시예에 따른 다중펄스 변조 송신기의 카운터부는 디지털-시간 변환부에서 입력으로 수신하는 기준 클럭 신호를 입력으로 수신하여 에지 결합부에 구비된 스위치드 캐패시터의 스위칭 동작을 제어하기 위한 바이너리 코드($B<0:N>$)를 출력할 수 있다.
- [0170] 즉, 참조부호 830에 따르면, 일실시예에 따른 다중펄스 변조 송신기(Proposed)는 바이너리 코드($B<0:N>$)의 변경을 통한 스위치드 캐패시터의 동작 제어로 임펄스 신호의 중심 주파수를 변경시킴으로써, 기존 송신기(Conventional)와는 달리 주파수 도약(Frequency Hopping)을 구현할 수 있다.
- [0171] 따라서, 일실시예에 따른 다중펄스 변조 송신기를 이용하면, 동기 펄스와 데이터 펄스 사이의 시간차를 이용하여 데이터를 전송함으로써, 무선 통신 속도 및 무선 통신 거리를 향상시킬 수 있다.
- [0172] 또한, 스위치드 캐패시터 기반의 지연회로를 이용하여 주파수 도약 방식으로 임펄스 신호를 전송함으로써, 추가적인 전력을 소모하지 않으면서도 무선 통신 속도 및 무선 통신 거리를 보다 더 향상시킬 수 있다.
- [0174] 도 9는 일실시예에 따른 다중펄스 변조 송신기의 동작방법을 설명하기 위한 도면이다.
- [0175] 다시 말해, 도 9는 도 5 내지 도 8c를 통해 설명한 일실시예에 따른 다중펄스 변조 송신기의 동작방법을 설명하기 위한 도면으로, 이후 도 9를 통해 설명하는 내용 중 일실시예에 따른 다중펄스 변조 송신기를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0176] 도 9를 참조하면, 910 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 디지털-시간 변환부에서, 기준 클럭(Refernce Clock) 신호 및 데이터(Data) 신호를 수신하여 단일 클럭주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse)를 포함하는 신호를 생성하되, 동기 펄스 및 데이터 펄스 사이의 시간 간격이 조절된 신호를 생성할 수 있다.
- [0177] 일측에 따르면, 910 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 디지털-시간 변환부에서, 데이터 신호의 비트(bit)에 대응하여 동기 펄스 및 데이터 펄스 사이의 시간 간격을 조절할 수 있다.
- [0178] 다음으로, 920 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 임펄스 신호 생성부에서, 시간 간격이 조절된 신호를 수신하여 스위치드 캐패시터(Switched Capacitor)를 이용한 주파수 도약(Frequency Hopping) 방식으로 시간 간격이 조절된 신호에 대응되는 임펄스 신호(Impulse Signal)를 생성할 수 있다.
- [0179] 일측에 따르면, 921 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 스위치드 캐패시터를 복수개 포함하는 적어도 하나 이상의 지연 셀(Delay cell)을 구비하는 에지 결합부에서, 시간 간격이 조절된 신호에 대응되는 적어도 하나 이상의 디지털 윈도우를 출력할 수 있다.
- [0180] 일측에 따르면, 921 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 에지 결합부에서, 시간 간격이 조절된 신호의 상승 에지(Rising Edge)를 적어도 하나 이상의 지연 셀에 대응되는 지연 시간만큼 지연시키고, 지연된 에지에 대응되는 적어도 하나 이상의 디지털 윈도우를 출력할 수 있다.
- [0181] 한편, 921 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 카운터부에서, 적어도 하나 이상의 D 플립플롭(D Flip-Flop)을 통해 기준 클럭 신호에 대응되는 바이너리 코드(Binary Code)를 생성할 수 있다.
- [0182] 또한, 921 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 에지 결합부에서, 바이너리 코드를 수신하고 바이너리 코드를 통해 복수개의 스위치드 캐패시터 각각의 동작을 제어하여 지연 셀의 지연 시간을 조절할 수 있다.
- [0183] 일측에 따르면, 922 단계에서 일실시예에 따른 다중펄스 변조 송신기의 동작방법은 푸시-풀 펄스 생성부에서, 출력된 디지털 윈도우를 수신하고, 수신한 디지털 윈도우에 대응되는 임펄스 신호를 생성할 수 있다.
- [0185] 도 10은 일실시예에 따른 동기화 장치의 동작방법을 설명하기 위한 도면이다.
- [0186] 다시 말해, 도 10은 도 1 내지 도 4e를 통해 설명한 일실시예에 따른 동기화 장치의 동작방법을 설명하기 위한 도면으로, 이후 도 10을 통해 설명하는 내용 중 일실시예에 따른 동기화 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

- [0187] 도 10을 참조하면, 1010 단계에서 일실시예에 따른 동기화 장치의 동작방법은 아날로그 처리부에서, 임펄스 신호(Impulse Signal)를 수신하고, 수신한 임펄스 신호에 대응되는 적어도 하나 이상의 검출 펄스(Detected Pulse)를 생성할 수 있다.
- [0188] 일측에 따르면, 임펄스 신호는 단일 클록주기 내에서 동기 펄스(Sync Pulse)와 데이터 펄스(Data Pulse) 사이의 시간 간격이 조절된 신호일 수 있다.
- [0189] 즉, 임펄스 신호는 일실시예에 따른 다중펄스 변조 송신기로부터 출력되는 신호일 수 있다.
- [0190] 다시 말해, 일실시예에 따른 동기화 장치의 동작방법의 1010 단계는 도 9를 통해 설명한 일실시예에 따른 다중 펄스 변조 송신기의 동작방법의 920 단계 이후에 수행될 수 있다.
- [0191] 일측에 따르면, 1011 단계에서 일실시예에 따른 동기화 장치의 동작방법은 저잡음 증폭기(Low Noise Amplifier; LNA)에서, 임펄스 신호를 입력으로 수신하여 증폭할 수 있다.
- [0192] 또한, 1012 단계에서 일실시예에 따른 동기화 장치의 동작방법은 포락선 검출기(Envelope Detector)에서, 증폭된 임펄스 신호의 피크점(Peak Point)을 검출할 수 있다.
- [0193] 또한, 1013 단계에서 일실시예에 따른 동기화 장치의 동작방법은 비교기에서, 검출된 피크점에 대응하여 적어도 하나 이상의 검출 펄스를 생성할 수 있다.
- [0194] 다음으로, 1020 단계에서 일실시예에 따른 동기화 장치의 동작방법은 동기화부에서, 적어도 하나 이상의 검출 펄스를 입력으로 수신하고, 적어도 하나 이상의 검출 펄스에 대응되는 리커버리 클록(Recovery Clock)을 출력하여 임펄스 신호의 동기 펄스(Sync Pulse)에 기초한 동기화 동작을 수행할 수 있다.
- [0195] 일측에 따르면, 1021 단계에서 일실시예에 따른 동기화 장치의 동작방법은 D 플립플롭(D Flip-Flop)에서, 적어도 하나 이상의 검출 펄스가 클록 포트(CLK Port)로 인가되면, 적어도 하나 이상의 검출 펄스의 에지(Edge)에 대응하여 트리거(Trigger)되고, 출력 노드를 전원전압(VDD) 레벨로 충전(Charge)하여 DFF 출력신호를 출력할 수 있다.
- [0196] 예를 들면, 1021 단계에서 일실시예에 따른 동기화 장치의 동작방법은 D 플립플롭에서, 임펄스 신호의 N번째(여기서, N은 자연수) 클록주기에 대응되는 DFF 출력신호의 주기값이 N번째 클록주기에 포함된 데이터 펄스의 최소 주기값 보다 크고 N번째 클록주기에 포함된 동기 펄스의 주기값 보다 작으면, N번째 클록주기에 포함된 데이터 펄스에 대응되는 검출 펄스를 무시하고, N+1번째 클록주기에 포함된 동기 펄스에 대응되는 검출 펄스에 대응하여 트리거될 수 있다.
- [0197] 또한, 1022 단계에서 일실시예에 따른 동기화 장치의 동작방법은 지연부에서, DFF 출력신호를 기설정된 시간만큼 지연시킬 수 있다.
- [0198] 또한, 1023 단계에서 일실시예에 따른 동기화 장치의 동작방법은 조합 로직(Combinational Logic)에서, 지연된 DFF 출력신호를 수신하여 리커버리 신호를 출력하고, D 플립플롭이 리셋(Reset) 되도록 제어하여 출력 노드를 방전시킬 수 있다.
- [0200] 결국, 본 발명을 이용하면, 동기 펄스와 데이터 펄스 사이의 시간차를 이용하여 데이터를 전송함으로써, 무선 통신 속도 및 무선 통신 거리를 향상시킬 수 있다.
- [0201] 또한, 본 발명을 이용하면 스위치드 캐패시터 기반의 지연회로를 이용하여 주파수 도약 방식으로 임펄스 신호를 전송함으로써, 추가적인 전력을 소모하지 않으면서도 무선 통신 속도 및 무선 통신 거리를 보다 더 향상시킬 수 있다.
- [0202] 또한, 전력 소모가 거의 없는 로직 회로(Logic Circuit)를 통해 효과적으로 동기화를 구현할 수 있기 때문에, 초저전력으로 송수신기 동기화가 가능하다.
- [0203] 또한, 디지털 기반의 안정적인 구조로 동기화 장치를 구현하여, 분주, 주파수 곱셈 등의 다양한 회로에 매우 용이하게 적용할 수 있다.
- [0204] 또한, 동기 펄스와 데이터 펄스 사이의 시간 간격이 조절된 신호의 동기 펄스와 데이터 펄스의 주파수 차이를 이용하여 별도의 시스템 클록 입력 및 움직이는 펄스에 상관없이 동기 펄스에 동기화할 수 있다.
- [0206] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어

구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0207]

[0208] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다.

[0209] 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0210]

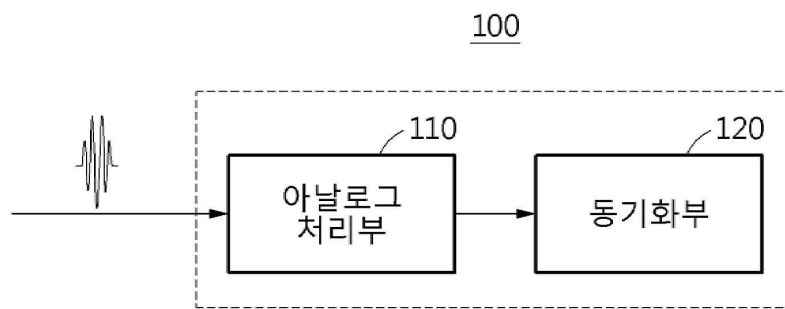
[0211] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

부호의 설명

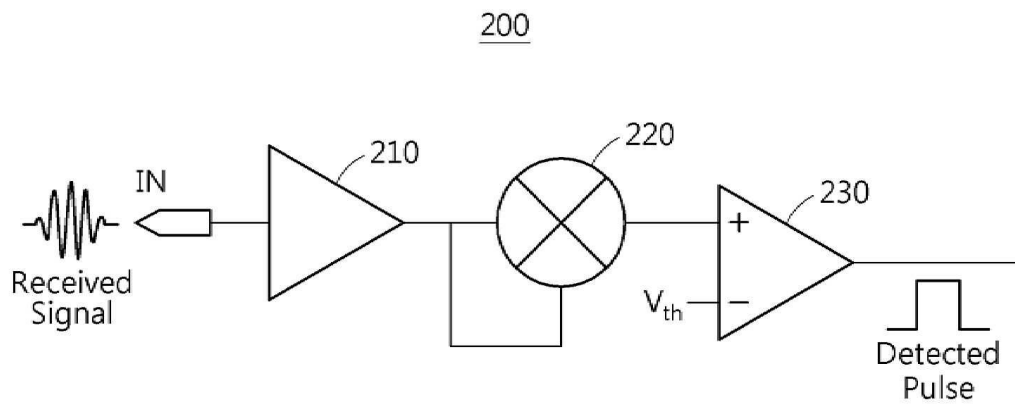
[0212] 100: 동기화 장치 110: 아날로그 처리부
120: 동기화부

도면

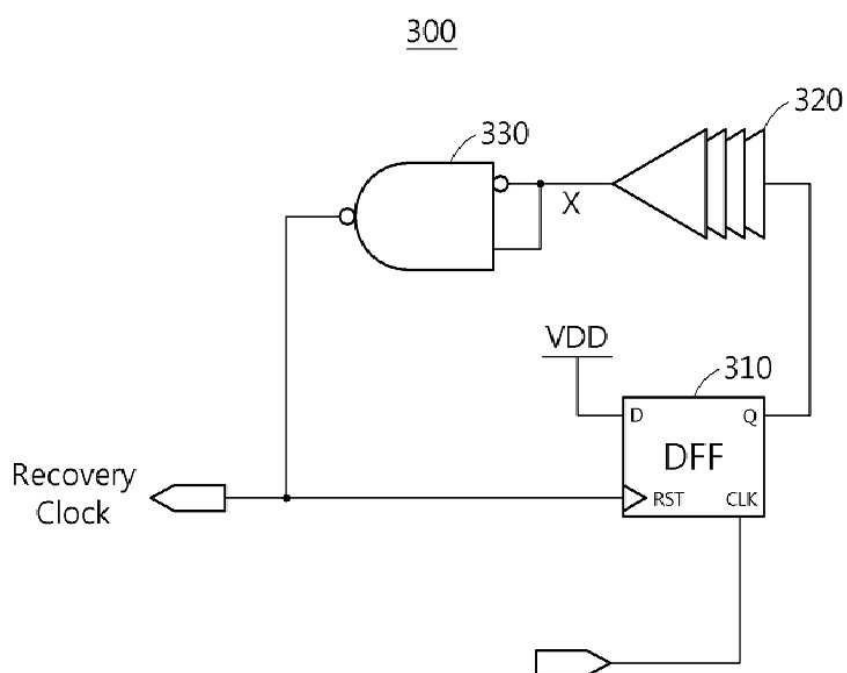
도면1



도면2

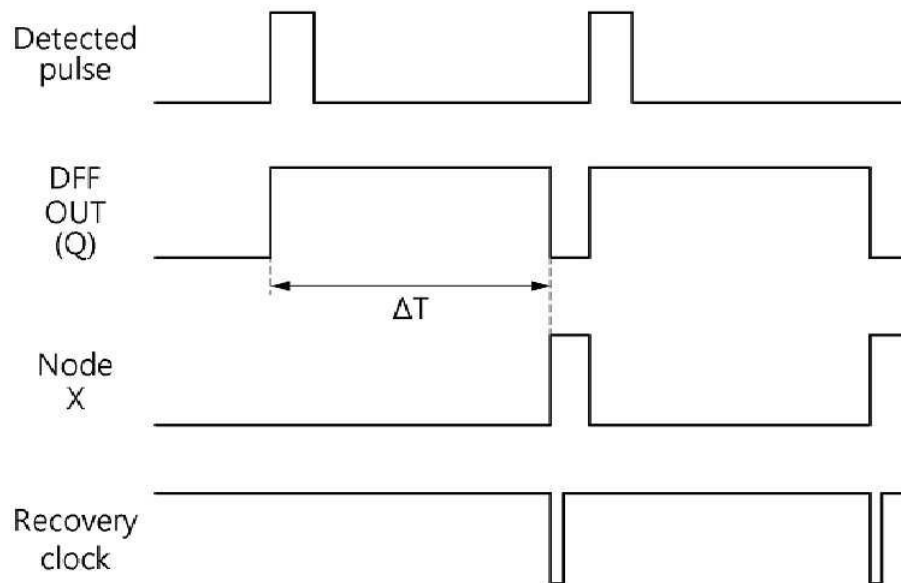


도면3



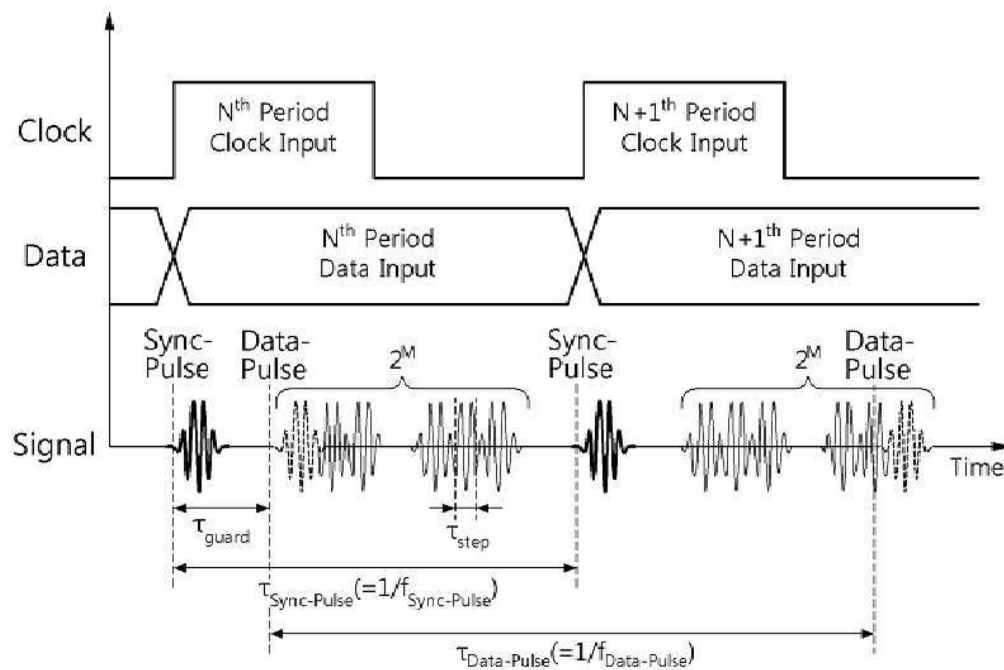
도면4a

410

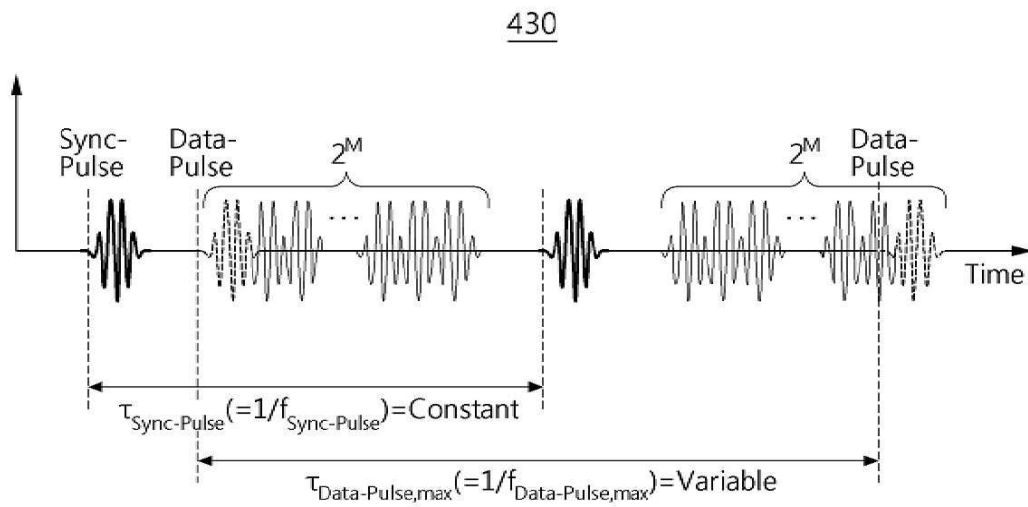


도면4b

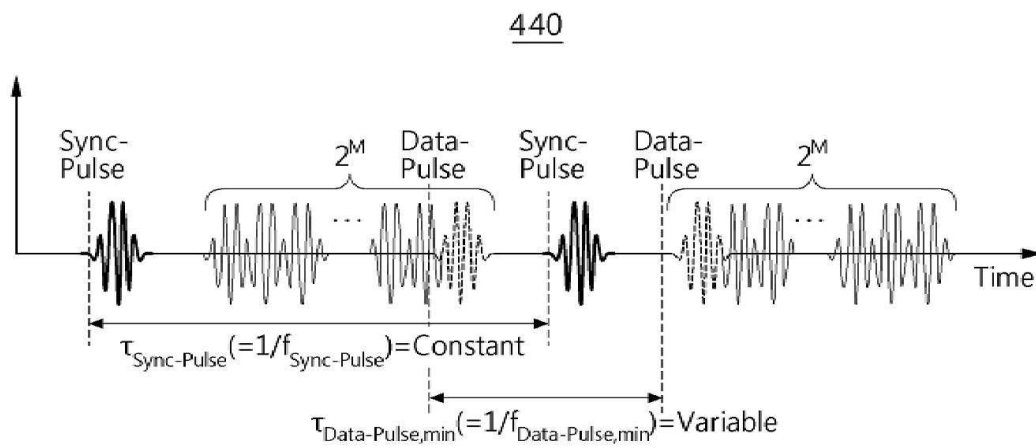
420



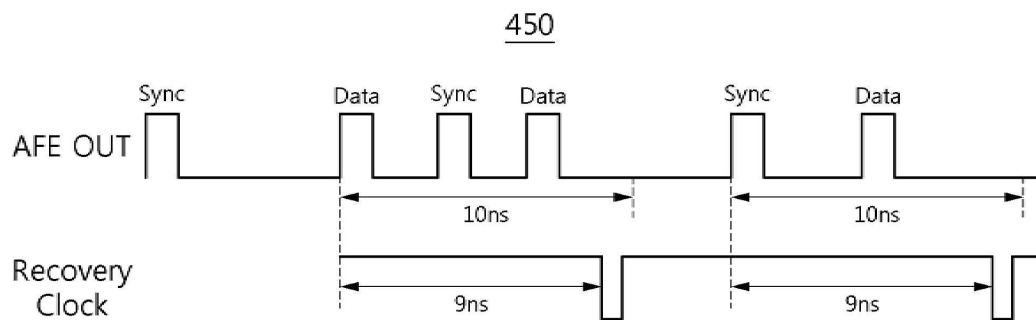
도면4c



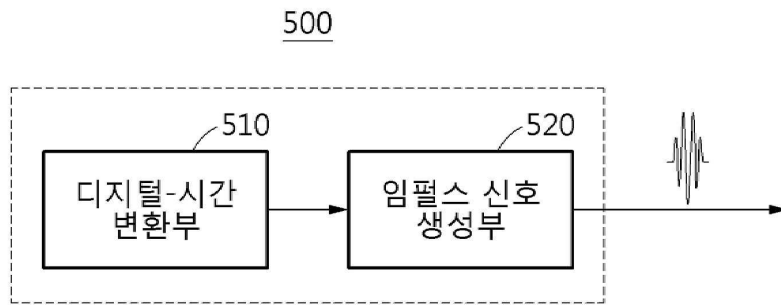
도면4d



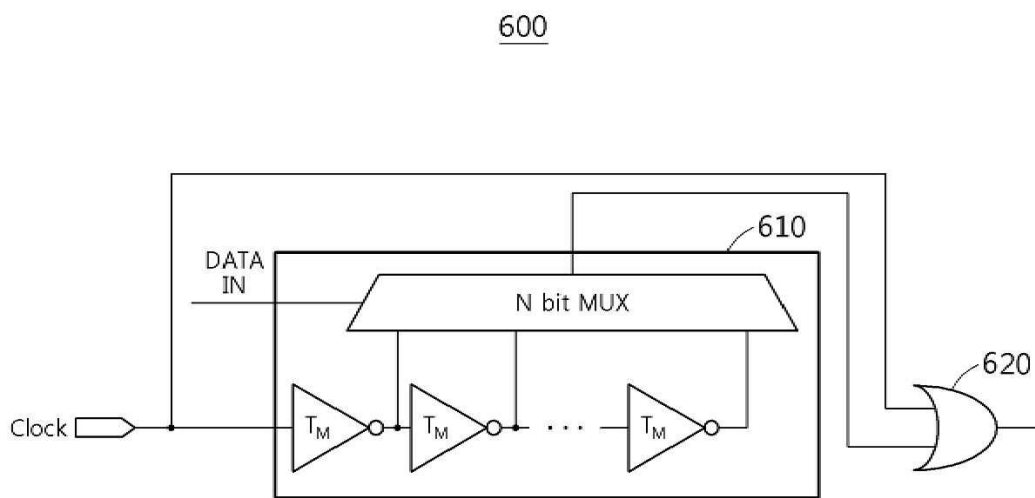
도면4e



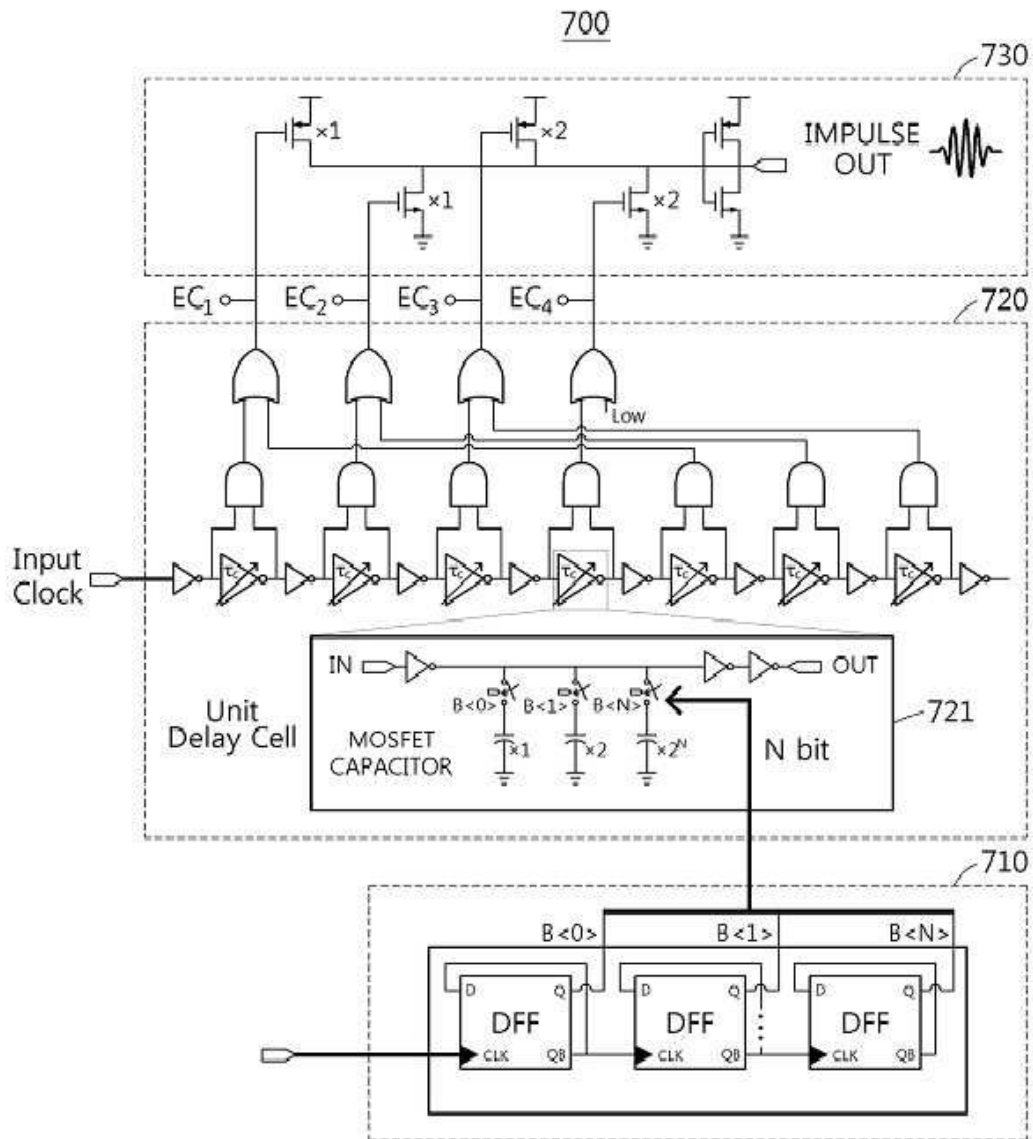
도면5



도면6

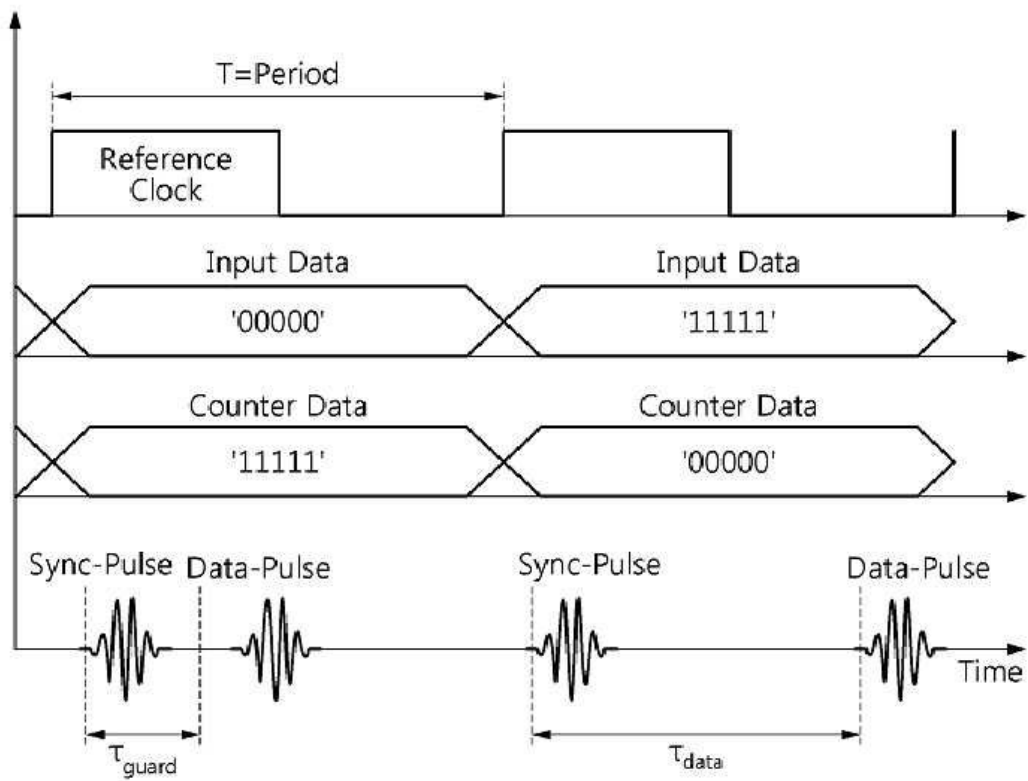


도면7



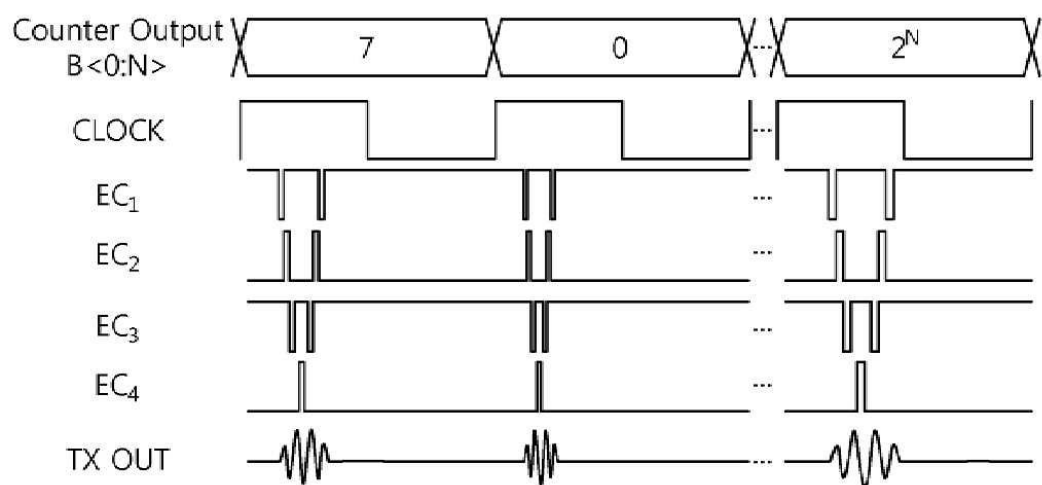
도면 8a

810

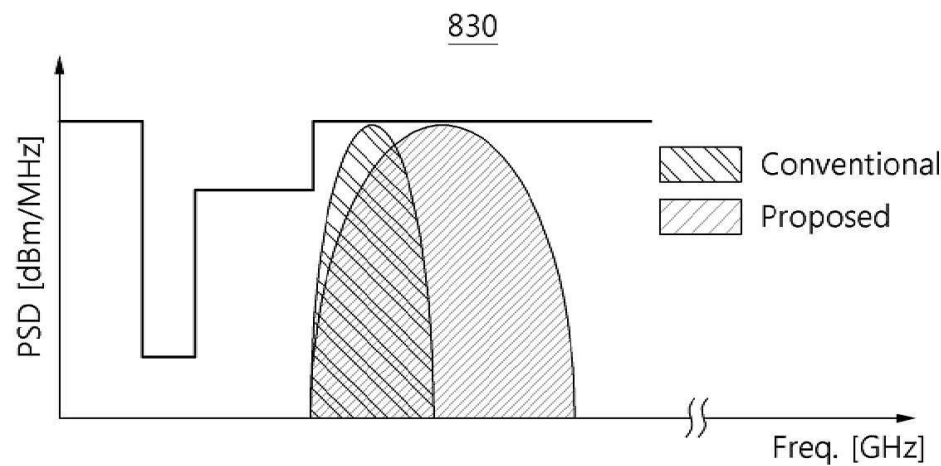


도면 8b

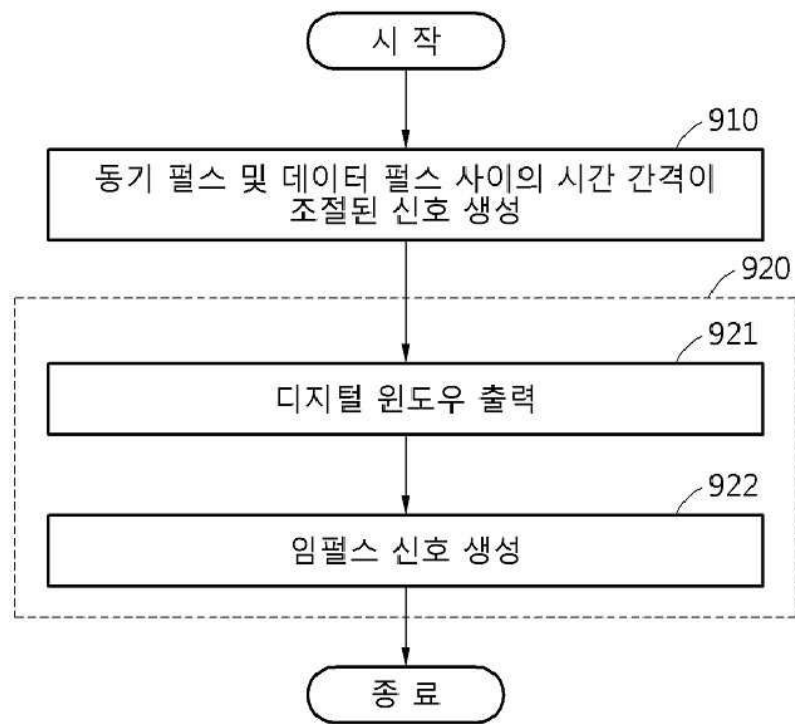
820



도면8c



도면9



도면10

