



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년10월29일

(11) 등록번호 10-2171065

(24) 등록일자 2020년10월22일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2015.01) G11C 5/06 (2006.01)

G11C 7/22 (2015.01) H03K 19/017 (2006.01)

(52) CPC특허분류

G11C 7/1078 (2013.01)

G11C 5/06 (2013.01)

(21) 출원번호 10-2019-0035053

(22) 출원일자 2019년03월27일

심사청구일자 2019년03월27일

(65) 공개번호 10-2020-0114013

(43) 공개일자 2020년10월07일

(56) 선행기술조사문헌

JP2012155815 A\*

KR100713784 B1\*

KR1020130045144 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

정성욱

서울특별시 서대문구 연세로 50, 제3공학관 C513호 (신촌동, 연세대학교)

김기룡

서울특별시 서대문구 연세로 50, 제3공학관 C206호 (신촌동, 연세대학교)

김지영

서울특별시 서대문구 연세로 50, 제3공학관 C206호 (신촌동, 연세대학교)

(74) 대리인

김연권

전체 청구항 수 : 총 9 항

심사관 : 한선경

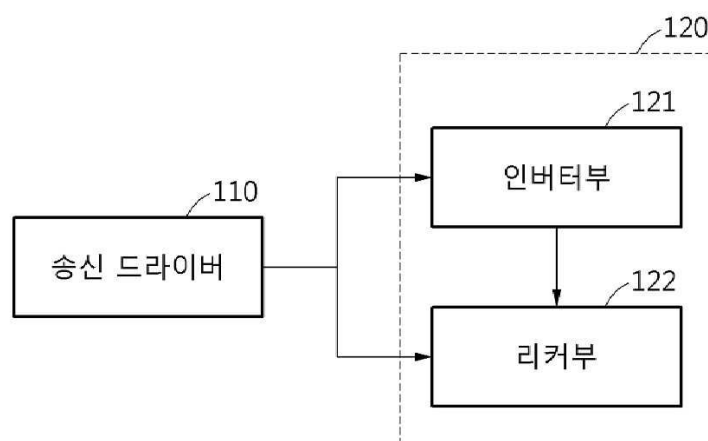
(54) 발명의 명칭 반도체 장치의 인터페이스 회로 및 그 동작 방법

## (57) 요약

본 발명은 반도체 장치의 인터페이스 회로 및 그 동작 방법에 관한 것으로서, 일실시예에 따른 반도체 장치의 수신 드라이버는 채널을 통해 송신 드라이버에서 출력되는 데이터 신호를 수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성하는 인버터부 및 지연된 데이터 신호에 대응하여 수신된 데이터 신호의 드리프트를 보정(Calibration)하는 리커부를 포함할 수 있다.

대표도 - 도1

100



(52) CPC특허분류

**G11C 7/22** (2018.05)

**H03K 19/01721** (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	10080590
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	산업기술혁신사업
연구과제명	[RCMS]이기종 시스템 아키텍처 통합형 메모리 시스템 최적화 기술개발(2/3,1단계)
기 여 율	1/1
과제수행기관명	연세대학교 산학협력단
연구기간	2018.04.01 ~ 2018.12.31

---

## 명세서

### 청구범위

#### 청구항 1

채널을 통해 송신 드라이버에서 출력되는 데이터 신호를 수신하고, 상기 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성하는 인버터부 및

상기 지연된 데이터 신호에 대응하여 상기 수신된 데이터 신호의 드리프트를 보정(Calibration)하는 리커부를 포함하고,

상기 인버터부는

상기 채널과 연결되는 제1 인버터와, 상기 제1 인버터의 출력단과 연결되는 제2 인버터 및 상기 제2 인버터의 출력단과 연결되는 제3 인버터를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함하며,

상기 리커부는

제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 각각의 드레인 단자를 통해 상기 채널과 연결되며, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 각각의 게이트 단자를 통해 상기 제2 인버터의 출력단과 연결되어 상기 지연된 데이터 신호를 입력 받고,

상기 지연된 데이터 신호가 하이 레벨이면, 상기 제1 NMOS 트랜지스터를 통해 상기 채널과 접지 라인을 연결하며,

상기 지연된 데이터 신호가 로우 레벨이면, 상기 제1 PMOS 트랜지스터를 통해 상기 채널과 전원전압 라인을 연결하는

반도체 장치의 수신 드라이버.

#### 청구항 2

제1항에 있어서,

상기 채널은 실리콘 관통 전극(TSV; Through Silicon Via) 채널인 것을 특징으로 하는

반도체 장치의 수신 드라이버.

#### 청구항 3

제1항에 있어서,

상기 송신 드라이버는

NMOS 트랜지스터인 풀업(Pull-up) 트랜지스터와 PMOS 트랜지스터인 풀다운(Pull-down) 트랜지스터를 포함하고, 상기 풀업 트랜지스터와 상기 풀다운 트랜지스터를 이용한 스몰 스윙(Small swing)을 통해 상기 데이터 신호를 생성하는

반도체 장치의 수신 드라이버.

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

제1항에 있어서,

상기 리커부는

상기 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정하는

반도체 장치의 수신 드라이버.

#### 청구항 8

제7항에 있어서,

상기 리커부는

상기 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 상기 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정하는

반도체 장치의 수신 드라이버.

#### 청구항 9

인버터부에서 채널을 통해 송신 드라이버에서 출력되는 데이터 신호를 수신하고, 상기 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성하는 단계 및

리커부에서 상기 지연된 데이터 신호에 대응하여 상기 수신된 데이터 신호의 드리프트를 보정(Calibration)하는 단계

를 포함하고,

상기 인버터부는

상기 채널과 연결되는 제1 인버터와, 상기 제1 인버터의 출력단과 연결되는 제2 인버터 및 상기 제2 인버터의 출력단과 연결되는 제3 인버터를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함하며,

상기 리커부는

제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하고, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 각각의 드레인 단자를 통해 상기 채널과 연결되며, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터 각각의 게이트 단자를 통해 상기 제2 인버터의 출력단과 연결되어 상기 지연된 데이터 신호를 입력 받고,

상기 지연된 데이터 신호가 하이 레벨이면, 상기 제1 NMOS 트랜지스터를 통해 상기 채널과 접지 라인을 연결하며,

상기 지연된 데이터 신호가 로우 레벨이면, 상기 제1 PMOS 트랜지스터를 통해 상기 채널과 전원전압 라인을 연결하는

수신 드라이버의 동작 방법.

#### 청구항 10

제9항에 있어서,

상기 지연된 데이터 신호를 생성하는 단계는

상기 송신 드라이버에서 NMOS 타입의 풀업(Pull-up) 트랜지스터와 PMOS 타입의 풀다운(Pull-down) 트랜지스터를 이용한 스몰 스윙(Small swing)을 통해 생성하는 상기 데이터 신호를 수신하는

수신 드라이버의 동작 방법.

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

제9항에 있어서,

상기 드리프트를 보정하는 단계는

상기 리커부에서 상기 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정하는

수신 드라이버의 동작 방법.

#### 청구항 14

제13항에 있어서,

상기 드리프트를 보정하는 단계는

상기 리커부에서 상기 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 상기 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정하는

수신 드라이버의 동작 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 반도체 장치에 구비되는 인터페이스 회로 및 그 동작 방법에 관한 것으로서, 보다 상세하게는 반도체 장치 내의 채널을 통해 전달되는 데이터 신호의 드리프트를 보정하는 기술적 사상에 관한 것이다.

#### 배경 기술

[0002] 반도체 장치는 소형화에 대한 요구 및 실장 신뢰성을 만족시키기 위해 지속적으로 발전되어 왔다. 최근에 들어서는 전기/전자 제품의 소형화와 더불어 고성능화가 요구됨에 따라 스택(Stack) 패키지에 대한 다양한 기술들이 개발되고 있다.

[0003] 반도체 산업에서 말하는 "스택"이란 적어도 2개 이상의 반도체 칩 또는 패키지를 수직으로 쌓아 올리는 것으로서, 이러한 스택 패키지는 반도체 집적 공정에서 구현 가능한 메모리 용량보다 2배 이상의 메모리 용량을 갖는 제품을 구현할 수 있다.

[0004] 또한, 스택 패키지는 메모리 용량 증대는 물론 실장 밀도 및 실장 면적 사용의 효율성 측면에서 이점을 갖기 때문에 스택 패키지에 대한 연구 및 개발이 가속화되고 있는 실정이다.

[0005] 스택 패키지는 크게 개별 반도체 칩들을 스택한 후 한번에 스택된 반도체 칩들을 패키징해주는 방법과, 패키징된 개별 반도체 칩들을 스택하는 방법으로 제조할 수 있으며, 스택 패키지의 개별 반도체 칩들은 금속 와이어 또는 실리콘 관통 전극(TSV; Through Silicon Via) 등을 통하여 전기적으로 연결될 수 있다.

[0006] 특히, TSV를 이용한 스택 패키지는 반도체 칩 내에 TSV를 형성하여 수직으로 반도체 칩들간 물리적 및 전기적 연결이 이루어지도록 하는 구조로, 금속 와이어 대비 보다 높은 전송 효율을 나타낸다.

[0007] 한편, TSV를 이용하는 기존 기술에서는 TSV I/O 드라이버에서 소모 전력이 증가하는 문제를 해결하기 위하여 NN 드라이버 구조( $V_{th}$  drop을 이용한 low swing signaling 구조)를 적용 하였다.

[0008] 그러나, 기존 NN 드라이버 구조에서는 데이터(Data)가 하이(High) 레벨을 유지할 때, 공급 전압(Supply

voltage)으로 송신 드라이버의 출력이 점차 드리프트(Drift)하게 되어 수신 드라이버에서 신호의 무결성(Signal integrity)에 대한 문제가 발생 되었다.

[0009] 따라서, 상술한 문제를 해결하기 위하여 TSV 특성을 고려한 새로운 인터페이싱 기술의 개발이 필요한 실정이다.

## 선행기술문헌

### 특허문헌

[0010] (특허문헌 0001) 한국공개특허 제10-2013-0045144호 "출력 드라이버와 이를 포함하는 장치들, 및 접지 터미네이션"

## 발명의 내용

### 해결하려는 과제

[0011] 본 발명은 3-스테이지 인버터로부터 출력되는 지연된 데이터 신호에 대응하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정할 수 있는 인터페이스 회로 및 그 동작 방법을 제공하고자 한다.

[0012] 본 발명은  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정함으로써, 수신 드라이버에서의 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있는 인터페이스 회로 및 그 동작 방법을 제공하고자 한다.

[0013] 본 발명은 수신 드라이버에서 3-스테이지 인버터를 이용한 증폭 동작을 통해 지연된 데이터 신호를 출력함으로써, 장치의 오버헤드를 최소화할 수 있는 인터페이스 회로 및 그 동작 방법을 제공하고자 한다.

[0014] 본 발명은 풀업 동작을 위해 NMOS 트랜지스터를 사용하고 풀다운 동작을 위해 PMOS 트랜지스터를 사용하여 데이터 신호의 주파수 스윙폭을 감소시킴으로써, 저전력으로 구동할 수 있는 인터페이스 회로 및 그 동작 방법을 제공하고자 한다.

### 과제의 해결 수단

[0015] 일실시예에 따른 반도체 장치의 수신 드라이버는 채널을 통해 송신 드라이버에서 출력되는 데이터 신호를 수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성하는 인버터부 및 지연된 데이터 신호에 대응하여 수신된 데이터 신호의 드리프트를 보정(Calibration)하는 리커부를 포함할 수 있다.

[0016] 일측에 따르면, 채널은 실리콘 관통 전극(TSV; Through Silicon Via) 채널일 수 있다.

[0017] 일측에 따르면, 송신 드라이버는 NMOS 트랜지스터인 풀업(Pull-up) 트랜지스터와 PMOS 트랜지스터인 풀다운(Pull-down) 트랜지스터를 포함하고, 풀업 트랜지스터와 풀다운 트랜지스터를 이용한 스몰 스윙(Small swing)을 통해 데이터 신호를 생성할 수 있다.

[0018] 일측에 따르면, 인버터부는 채널과 연결되는 제1 인버터와, 제1 인버터의 출력단과 연결되는 제2 인버터 및 제2 인버터의 출력단과 연결되는 제3 인버터를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함할 수 있다.

[0019] 일측에 따르면, 리커부는 제1 PMOS 트랜지스터 및 제1 NMOS 트랜지스터를 포함하고, 제1 PMOS 트랜지스터와 제1 NMOS 트랜지스터 각각의 게이트 단자를 통해 제2 인버터의 출력단과 연결되어 지연된 데이터 신호를 입력 받을 수 있다.

[0020] 일측에 따르면, 리커부는 제1 PMOS 트랜지스터와 제1 NMOS 트랜지스터 각각의 드레인 단자를 통해 채널과 연결될 수 있다.

[0021] 일측에 따르면, 리커부는 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정할 수 있다.

[0022] 일측에 따르면, 리커부는 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정할 수 있다.

[0023] 일실시예에 따른 수신 드라이버의 동작 방법은 인버터부에서 채널을 통해 송신 드라이버에서 출력되는 데이터

신호를 수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성하는 단계 및 리커부에서 지연된 데이터 신호에 대응하여 수신된 데이터 신호의 드리프트를 보정(Calibration)하는 단계를 포함할 수 있다.

[0024] 일측에 따르면, 지연된 데이터 신호를 생성하는 단계는 송신 드라이버에서 NMOS 타입의 풀업(Pull-up) 트랜지스터와 PMOS 타입의 풀다운(Pull-down) 트랜지스터를 이용한 스몰 스윙(Small swing)을 통해 생성하는 데이터 신호를 수신할 수 있다.

[0025] 일측에 따르면, 인버터부는 채널과 연결되는 제1 인버터와, 제1 인버터의 출력단과 연결되는 제2 인버터 및 제2 인버터의 출력단과 연결되는 제3 인버터를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함할 수 있다.

[0026] 일측에 따르면, 드리프트를 보정하는 단계는 리커부에서 제1 PMOS 트랜지스터와 제1 NMOS 트랜지스터 각각의 게이트 단자를 통해 제2 인버터의 출력단으로부터 지연된 데이터 신호를 입력 받을 수 있다.

[0027] 일측에 따르면, 드리프트를 보정하는 단계는 리커부에서 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정할 수 있다.

[0028] 일측에 따르면, 드리프트를 보정하는 단계는 리커부에서 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정할 수 있다.

### 발명의 효과

[0029] 일실시예에 따르면, 3-스테이지 인버터로부터 출력되는 지연된 데이터 신호에 대응하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정할 수 있다.

[0030] 일실시예에 따르면,  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정함으로써, 수신 드라이버에서의 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있다.

[0031] 일실시예에 따르면, 3-스테이지 인버터를 이용한 증폭 동작을 통해 지연된 데이터 신호를 출력함으로써, 장치의 오버헤드를 최소화할 수 있다.

[0032] 일실시예에 따르면, 풀업 동작을 위해 NMOS 트랜지스터를 사용하고 풀다운 동작을 위해 PMOS 트랜지스터를 사용하여 데이터 신호의 주파수 스윙폭을 감소시킴으로써, 저전력으로 구동할 수 있다.

### 도면의 간단한 설명

[0033] 도 1은 일실시예에 따른 반도체 장치를 설명하기 위한 도면이다.

도 2a는 일실시예에 따른 반도체 장치의 상세한 구조에 대한 예시를 설명하기 위한 도면이다.

도 2b는 일실시예에 따른 데이터 신호의 파형에 대한 예시를 설명하기 위한 도면이다.

도 3은 일실시예에 따른 데이터 신호 및 3-스테이지 인버터의 출력 파형에 대한 예시를 설명하기 위한 도면이다.

도 4는 일실시예에 따른 반도체 장치와 종래의 반도체 장치에서 측정된 데이터 신호 파형의 비교예를 설명하기 위한 도면이다.

도 5는 일실시예에 따른 반도체 장치와 종래의 반도체 장치에서 측정된 소비 전력의 비교예를 설명하기 위한 도면이다.

도 6는 일실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0034] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0035] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들

을 특정한 개시형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

- [0036] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0037] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0038] 본 명세서에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0039] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0041] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0043] 도 1은 일실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0044] 도 1을 참조하면, 일실시예에 따른 반도체 장치(100)는 3-스테이지 인버터로부터 출력되는 지연된 데이터 신호에 대응하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정 할 수 있다.
- [0045] 또한, 반도체 장치(100)는  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정함으로써, 수신 드라이버에서의 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있다.
- [0046] 또한, 반도체 장치(100)는 수신 드라이버에서 3-스테이지 인버터를 이용한 증폭 동작을 통해 지연된 데이터 신호를 출력함으로써, 장치의 오버헤드를 최소화할 수 있다.
- [0047] 또한, 반도체 장치(100)는 풀업 동작을 위해 NMOS 트랜지스터를 사용하고 풀다운 동작을 위해 PMOS 트랜지스터를 사용하여 데이터 신호의 주파수 스윙폭을 감소시킴으로써, 저전력으로 구동할 수 있다.
- [0048] 이를 위해, 반도체 장치(100)는 송신 드라이버(110) 및 수신 드라이버(120)를 포함할 수 있으며, 수신 드라이버(120)는 인버터부(121) 및 리커부(122)를 포함할 수 있다.
- [0049] 예를 들면, 반도체 장치(100)는 메모리 장치일 수 있으나, 일실시예에 따른 반도체 장치(100)는 전술한 예시에 한정되지 않고, 다양한 종류의 반도체가 적용될 수 있다.
- [0050] 또한, 송신 드라이버(110)와 수신 드라이버(120)는 서로 적층되어 채널을 통해 물리적/전기적으로 연결되는 복수의 반도체 칩 또는 패키지 각각에 구비된 드라이버일 수 있다.
- [0051] 구체적으로, 일실시예에 따른 인버터부(121)는 채널을 통해 송신 드라이버(110)에서 출력되는 데이터 신호를 수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성할 수 있다.
- [0052] 예를 들면, 데이터 신호는 반도체 장치(100) 내에서 특정 커맨드에 따른 동작을 수행하기 위한 어드레스(Address) 정보, 커맨드(Command) 정보 및 데이터(Data) 정보 중 적어도 하나 이상의 정보를 포함할 수 있으나, 일실시예에 따른 데이터 신호는 전술한 예시에 한정되지 않고 다양한 정보를 포함하는 신호일 수 있다.

- [0053] 일측에 따르면, 채널은 실리콘 관통 전극(TSV; Through Silicon Via) 채널일 수 있으며, 인버터부(121)는 지연된 데이터 신호를 생성하는 3-스테이지 인버터(3-Stage Inverter) 타입의 증폭기를 포함할 수 있다.
- [0054] 즉, 본 발명은 인버터부(121)에 구비된 3-스테이지 인버터를 이용하여 지연된 데이터 신호를 출력함으로써, 반도체 장치(100)의 오버헤드를 최소화하고 타이밍 마진을 개선할 수 있다.
- [0055] 다음으로, 일실시예에 따른 리커부(122)는 지연된 데이터 신호에 대응하여 수신된 데이터 신호의 드리프트를 보정(Calibration)할 수 있다.
- [0056] 일측에 따르면, 리커부(122)는 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정할 수 있다.
- [0057] 구체적으로, 수신 드라이버(120)에서 채널을 통해 수신하는 데이터 신호는 하이 레벨(High level)이 유지될 때, 데이터 신호의 레벨이 기설정된 임계치 이상으로 상승하는  $V_{OH}$  드리프트 및 로우 레벨(Low level)이 유지될 때, 데이터 신호의 레벨이 기설정된 임계치 이하로 감소하는  $V_{OL}$  드리프트가 발생될 수 있다.
- [0058] 즉, 수신 드라이버(120)는 채널을 통해 수신된 데이터 신호에서 발생하는  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트로 인해 타이밍 마진에 대한 손실이 발생될 수 있다.
- [0059] 따라서, 일실시예에 따른 리커부(122)는 인버터부(121)로부터 수신하는 지연된 데이터 신호에 기초하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트에 따른 데이터 신호의 손실을 보정하는 동작을 수행할 수 있으며, 이를 통해 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있다.
- [0060] 일실시예에 따른 리커부(122)에서  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정하는 예시는 이후 실시예 도 2a 내지 도 2b를 통해 보다 구체적으로 설명하기로 한다.
- [0062] 도 2a는 일실시예에 따른 반도체 장치의 상세한 구조에 대한 예시를 설명하기 위한 도면이고, 도 2b는 일실시예에 따른 데이터 신호의 파형에 대한 예시를 설명하기 위한 도면이다.
- [0063] 도 2a 내지 도 2b를 참조하면, 일실시예에 따른 반도체 장치(210)는 송신 드라이버(211), 리커부(212) 및 인버터부(213)를 포함할 수 있다.
- [0064] 일실시예에 따른 리커부(212) 및 인버터부(213)은 일실시예에 따른 수신 드라이버에 구비될 수 있다.
- [0065] 또한, 참조부호 220의 타이밍 도에서 참조부호 221은 종래의 수신 드라이버에서 채널을 통해 수신하는 데이터 신호를 나타내고, 참조부호 222는 일실시예에 따른 수신 드라이버의 리커부(212)를 통해 드리프트가 보정된 데이터 신호를 나타낸다.
- [0066] 구체적으로, 반도체 장치(210)의 송신 드라이버(211)는 NMOS 트랜지스터인 풀업(Pull-up) 트랜지스터(N0)와 PMOS 트랜지스터인 풀다운(Pull-down) 트랜지스터(P0)를 포함할 수 있다.
- [0067] 또한, 송신 드라이버(211)는 풀업 트랜지스터(N0)와 풀다운 트랜지스터(P0)를 이용한 스몰 스윙(Small swing)을 통해 데이터 신호를 생성할 수 있다.
- [0068] 보다 구체적으로, 풀업 트랜지스터(N0)의 드레인 단자는 전원전압 라인과 연결되고, 풀업 트랜지스터(N0)의 소스 단자는 풀다운 트랜지스터(P0)의 소스 단자와 연결될 수 있으며, 풀다운 트랜지스터(P0)의 드레인 단자는 접지 라인 연결될 수 있다.
- [0069] 또한, 풀업 트랜지스터(N0)와 풀다운 트랜지스터(P0)의 게이트 단자는 서로 동일한 배선에 연결되어 제어신호를 동시에 수신할 수 있으며, 풀업 트랜지스터(N0)의 소스 단자와 풀다운 트랜지스터(P0)의 드레인 단자는 채널(C)과 연결될 수 있다.
- [0070] 예를 들면, 채널(C)은 실리콘 관통 전극(TSV; Through Silicon Via) 채널일 수 있다.
- [0071] 즉, 일실시예에 따른 송신 드라이버(211)는 NMOS 트랜지스터인 풀업 트랜지스터(N0)와 PMOS 트랜지스터인 풀다운 트랜지스터(P0)를 이용한 풀업 및 풀다운 동작으로 데이터 신호의 주파수 스윙폭을 감소시킴으로써, 반도체 장치(210)의 저전력 구동을 지원할 수 있다.
- [0072] 다음으로, 일실시예에 따른 인버터부(213)는 채널(C)을 통해 송신 드라이버(211)에서 출력되는 데이터 신호를

수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성할 수 있다.

- [0073] 일측에 따르면, 인버터부(213)는 채널(C)과 연결되는 제1 인버터(I1)와, 제1 인버터(I1)의 출력단과 연결되는 제2 인버터(I2) 및 제2 인버터(I2)의 출력단과 연결되는 제3 인버터(I3)를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함할 수 있다.
- [0074] 다시 말해, 일실시예에 따른 인버터부(213)는 3-스테이지 인버터 타입의 증폭기(3-stage inverter type amplifier)를 포함할 수 있다.
- [0075] 즉, 일실시예에 따른 인버터부(213)는 송신 드라이버(211)를 통해 스몰 스윙된 데이터 신호를 3-스테이지 인버터 타입의 증폭기를 통하여 풀 스윙 레벨(Full swing level)로 변환(Conversion)할 수 있다.
- [0076] 보다 구체적으로, 인버터부(213)는 제1 인버터(I1)의 입력단과 채널(C)이 서로 연결되어 제1 인버터(I1)의 입력으로 송신 드라이버(211)에서 출력되는 데이터 신호를 수신할 수 있다.
- [0077] 일실시예에 따른 인버터부(213)의 제2 인버터(I2)는 수신된 데이터 신호를 입력 받은 제1 인버터(I1)의 출력 신호를 입력으로 수신하여 지연된 데이터 신호를 생성할 수 있다.
- [0078] 다시 말해, 일실시예에 따른 지연된 데이터 신호는 제2 인버터(I2)로부터 출력되는 신호일 수 있다.
- [0079] 즉, 본 발명은 수신 드라이버에서 3-스테이지 인버터를 이용하여 추가적인 서플라이 도메인(Supply domain) 없이 지연된 데이터 신호를 생성할 수 있다.
- [0080] 다음으로, 일실시예에 따른 리커부(212)는 지연된 데이터 신호에 대응하여 턴온 또는 턴오프됨으로써, 수신된 데이터 신호의 드리프트를 보정(Calibration)할 수 있다.
- [0081] 일측에 따르면, 리커부(212)는 제1 PMOS 트랜지스터(P1) 및 제1 NMOS 트랜지스터(N1)를 포함하고, 제1 PMOS 트랜지스터(P1)와 제1 NMOS 트랜지스터(N1) 각각의 게이트 단자를 통해 제2 인버터(I2)의 출력단과 연결되어 지연된 데이터 신호를 입력 받을 수 있다.
- [0082] 또한, 리커부(212)는 제1 PMOS 트랜지스터(P1)와 제1 NMOS 트랜지스터(N1) 각각의 드레인 단자를 통해 채널과 연결될 수 있다.
- [0083] 보다 구체적으로, 제1 PMOS 트랜지스터(P1)의 소스 단자는 전원전압 라인과 연결되고, 제1 PMOS 트랜지스터(P1)의 드레인 단자는 제1 NMOS 트랜지스터(N1)의 드레인 단자와 연결될 수 있으며, 제1 NMOS 트랜지스터(N1)의 소스 단자는 접지 라인과 연결될 수 있다.
- [0084] 또한, 제1 PMOS 트랜지스터(P1)와 제1 NMOS 트랜지스터(N1)의 게이트 단자는 제2 인버터(I2)의 출력단과 연결되어 지연된 데이터 신호를 각각의 게이트의 제어신호로 입력 받을 수 있다.
- [0085] 또한, 제1 PMOS 트랜지스터(P1)와 제1 NMOS 트랜지스터(N1) 각각의 드레인 단자는 채널(C)과 연결되어 채널(C)을 통해 수신된 데이터 신호의 드리프트를 보정할 수 있다.
- [0086] 일측에 따르면, 리커부(212)는 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정할 수 있다.
- [0087] 예를 들면, 리커부(212)는 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정할 수 있다.
- [0088] 보다 구체적으로, 채널(C)을 통해 수신된 데이터 신호가 하이 레벨이면 인버터부(213)의 제2 인버터(I2)를 통해 출력되는 지연된 데이터 신호는 하이 레벨이 되고, 채널(C)을 통해 수신된 데이터 신호가 로우 레벨이면 인버터부(213)의 제2 인버터(I2)를 통해 출력되는 지연된 데이터 신호는 로우 레벨이 될 수 있다.
- [0089] 또한, 지연된 데이터 신호가 하이 레벨이면 제1 PMOS 트랜지스터(P1)는 턴-오프(Turn-off) 상태, 제1 NMOS 트랜지스터(N1)는 턴-온(Turn-on) 상태가 되고, 지연된 데이터 신호가 로우 레벨이면 제1 PMOS 트랜지스터(P1)는 턴-온 상태, 제1 NMOS 트랜지스터(N1)는 턴-오프 상태가 될 수 있다.
- [0090] 즉, 참조부호 220의 그래프에 도시된 참조부호 222의 신호와 같이, 리커부(212)는 채널(C)을 통해 수신된 데이터 신호가 하이 레벨이면 제1 NMOS 트랜지스터(N1)를 턴-온 상태로 전환하여 채널(C)이 접지 라인과 연결되도록 함으로써, 수신된 데이터 신호가 하이 레벨일 때 나타나는  $V_{OH}$  드리프트에 따른 신호의 왜곡을 보정할 수 있다.

- [0091] 또한, 리커부(212)는 채널(C)을 통해 수신된 데이터 신호가 로우 레벨이면, 제1 PMOS 트랜지스터(P1)를 턴-온 상태로 전환하여 채널(C)이 전원전압 라인과 연결되도록 함으로써, 수신된 데이터 신호가 로우 레벨일 때 나타나는  $V_{OL}$  드리프트에 따른 신호의 왜곡을 보정할 수 있다.
- [0092] 즉, 본 발명은 3-스테이지 인버터로부터 출력되는 지연된 데이터 신호에 대응하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 용이하게 보정할 수 있으며, 드리프트 보정을 통해 수신 드라이버에서의 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있다.
- [0094] 도 3은 일실시예에 따른 데이터 신호 및 3-스테이지 인버터의 출력 파형에 대한 예시를 설명하기 위한 도면이다.
- [0095] 도 3을 참조하면, 도 3의 (a)는 도 2a의 제1 PMOS 트랜지스터와 제1 NMOS 트랜지스터의 드레인 단자에 구비되고 채널과 연결되는 노드에서 측정된 데이터 신호의 시간(t)에 따른 전압(V)의 변화를 나타낸다.
- [0096] 또한, 도 3의 (b)는 도 2a의 제1 인버터의 출력단에서 측정된 출력 신호의 시간 변화(t)에 따른 전압(V)의 변화를 나타내고, 도 3의 (c)는 도 2a의 제2 인버터의 출력단에서 측정된 출력 신호의 시간(t)에 따른 전압(V)의 변화를 나타내며, 도 3의 (d)는 제3 인버터의 출력단에서 측정된 출력 신호의 시간(t)에 따른 전압(V)의 변화를 나타낸다.
- [0097] 구체적으로, 도 3의 (a) 내지 (d)에 도시된 것과 같이, 일실시예에 따른 반도체 장치는 제1 내지 제3 인버터를 통해 지연된 신호를 생성할 수 있으며, 제2 인버터의 출력신호인 지연된 데이터 신호에 따라 도 3의 (a)와 같이  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 용이하게 보정할 수 있다.
- [0099] 도 4는 일실시예에 따른 반도체 장치와 종래의 반도체 장치에서 측정된 데이터 신호 파형의 비교예를 설명하기 위한 도면이다.
- [0100] 도 4를 참조하면, 참조부호 400은 종래의 반도체 장치(CMOS)의 수신 드라이버에서 측정된 데이터 신호와 일실시예에 따른 반도체 장치(Proposed)의 수신 드라이버에서 측정된 데이터 신호의 시간(time)에 따른 전압(V)의 변화를 나타낸다.
- [0101] 구체적으로, 참조부호 400에 도시된 것과 같이, 종래의 반도체 장치(CMOS)의 데이터 신호는 주파수 스윙폭이 1.2 Vpp인 반면, 일실시예에 따른 반도체 장치(Proposed)의 데이터 신호는 주파수 스윙폭이 50 mVpp인 것으로 나타났다.
- [0102] 즉, 일실시예에 따른 반도체 장치는  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 용이하게 보정함과 동시에, 종래 기술 대비 저전력으로 구동이 가능하여 소비 전력을 감소시킬 수 있는 것으로 나타났다.
- [0104] 도 5는 일실시예에 따른 반도체 장치와 종래의 반도체 장치에서 측정된 소비 전력의 비교예를 설명하기 위한 도면이다.
- [0105] 도 5를 참조하면, 도 5의 (a), (b), (c), (d) 각각은 2GHz, 4GHz, 6GHz, 8GHz의 주파수에서 각각 동작하는 일실시예에 따른 반도체 장치(This work)와 종래의 반도체 장치들(CMOS@1.2V, CMOS@1.0V, NNN/LS, NN/LS)의 총 소비전력(Total power)을 나타낸다.
- [0106] 도 5를 참조하면, 레벨 시프터(Level Shifter)를 수신 드라이버로 사용하는 종래의 반도체 장치들(NNN/LS, NN/LS)은 레벨 시프터의 전파 지연(Propagation delay) 특성으로 인해 8GHz 이상의 주파수 대역에서는 동작이 불가능한 것으로 나타났다.
- [0107] 또한, CMOS(Full swing) 구조를 사용하는 종래의 반도체 장치들(CMOS@1.2V, CMOS@1.0V)은 소비전력을 줄이기 위해 전원전압을 줄이면 지터(Jitter)가 증가하는 것으로 나타났다.
- [0108] 반면, 일실시예에 따른 반도체 장치(This work)는 소비전력 및 지터 특성에 있어서 우수한 결과를 나타냈다.
- [0110] 도 6는 일실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면이다.
- [0111] 다시 말해, 도 6는 도 1 내지 도 5를 통해 설명한 일실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 도면으로, 이하에서 도 6을 통해 설명하는 동작 방법 중 일실시예에 따른 반도체 장치를 통해 설명한 내용과 중복되는 설명은 생략하기로 한다.

- [0112] 도 6을 참조하면, 610 단계에서 일실시예에 따른 동작 방법은 인버터부에서 채널을 통해 송신 드라이버에서 출력되는 데이터 신호를 수신하고, 수신된 데이터 신호를 이용하여 지연된 데이터 신호를 생성할 수 있다.
- [0113] 일측에 따르면, 610 단계에서 일실시예에 따른 동작 방법은 송신 드라이버에서 NMOS 타입의 풀업(Pull-up) 트랜지스터와 PMOS 타입의 풀다운(Pull-down) 트랜지스터를 이용한 스몰 스윙(Small swing)을 통해 생성하는 데이터 신호를 수신할 수 있다.
- [0114] 일측에 따르면, 인버터부는 채널과 연결되는 제1 인버터와, 제1 인버터의 출력단과 연결되는 제2 인버터 및 제2 인버터의 출력단과 연결되는 제3 인버터를 구비하는 3-스테이지 인버터(3-Stage Inverter)를 포함할 수 있다.
- [0115] 다음으로, 620 단계에서 일실시예에 따른 동작 방법은 리커부에서 지연된 데이터 신호에 대응하여 수신된 데이터 신호의 드리프트를 보정(Calibration)할 수 있다.
- [0116] 일측에 따르면, 620 단계에서 일실시예에 따른 동작 방법은 리커부에서 제1 PMOS 트랜지스터와 제1 NMOS 트랜지스터 각각의 게이트 단자를 통해 제2 인버터의 출력단으로부터 지연된 데이터 신호를 입력 받을 수 있다.
- [0117] 일측에 따르면, 620 단계에서 일실시예에 따른 동작 방법은 리커부에서 수신된 데이터 신호의  $V_{OH}$ (Output high level voltage) 드리프트 및  $V_{OL}$ (Output low level voltage) 드리프트 중 적어도 하나 이상의 드리프트를 보정할 수 있다.
- [0118] 일측에 따르면, 620 단계에서 일실시예에 따른 동작 방법은 리커부에서 지연된 데이터 신호가 하이(High) 레벨이면  $V_{OH}$  드리프트를 보정하고, 지연된 데이터 신호가 로우(Low) 레벨이면  $V_{OL}$  드리프트를 보정할 수 있다.
- [0120] 결국, 본 발명을 이용하면, 3-스테이지 인버터로부터 출력되는 지연된 데이터 신호에 대응하여  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정할 수 있다.
- [0121] 또한, 본 발명은  $V_{OH}$  드리프트 및  $V_{OL}$  드리프트를 보정함으로써, 수신 드라이버에서의 타이밍 마진을 개선하고 신호의 무결성을 확보할 수 있다.
- [0122] 또한, 본 발명은 수신 드라이버에서 3-스테이지 인버터를 이용한 증폭 동작을 통해 지연된 데이터 신호를 출력함으로써, 장치의 오버헤드를 최소화할 수 있다.
- [0123] 또한, 본 발명은 풀업 동작을 위해 NMOS 트랜지스터를 사용하고 풀다운 동작을 위해 PMOS 트랜지스터를 사용하여 데이터 신호의 주파수 스윙폭을 감소시킴으로써, 저전력으로 구동할 수 있다.
- [0125] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0126] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0127] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

- [0128]
- 100: 반도체 장치

110: 송신 드라이버

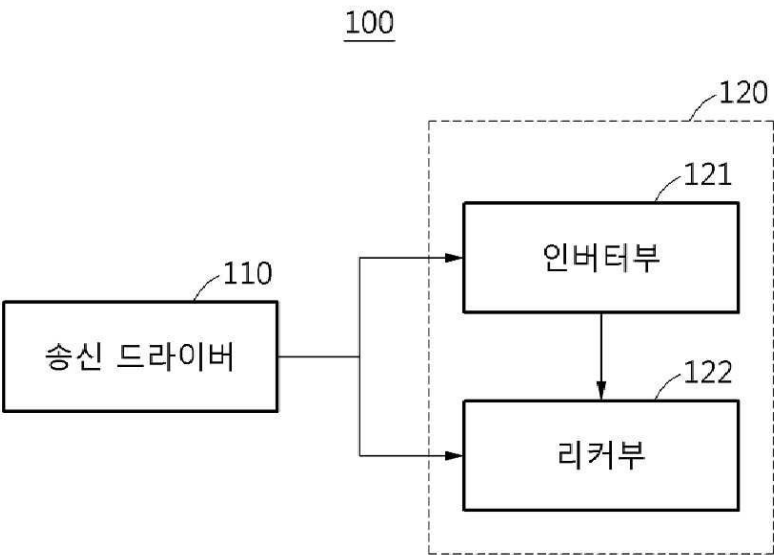
120: 수신 드라이버

121: 인버터부

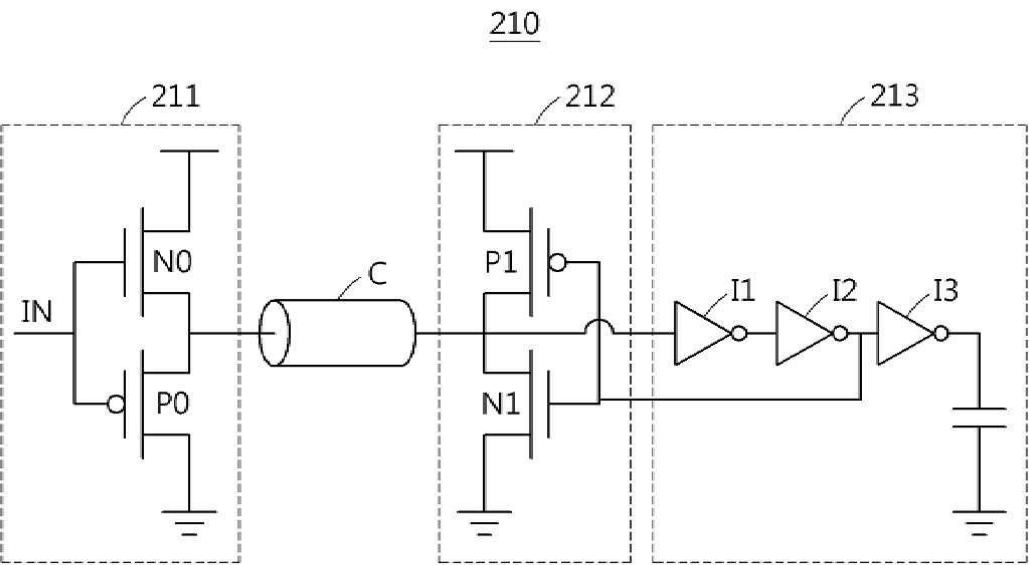
122: 리커부

도면

도면1

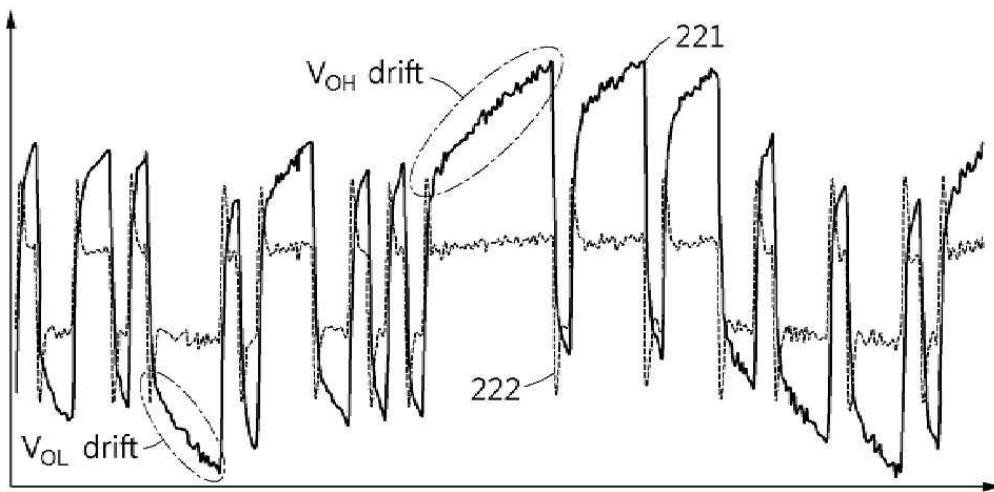


도면2a

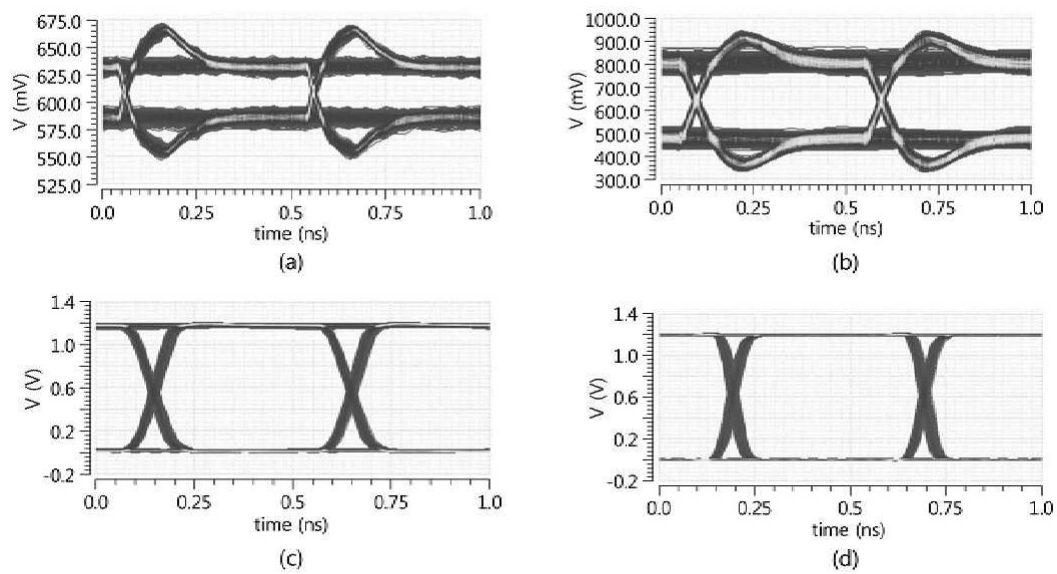


도면2b

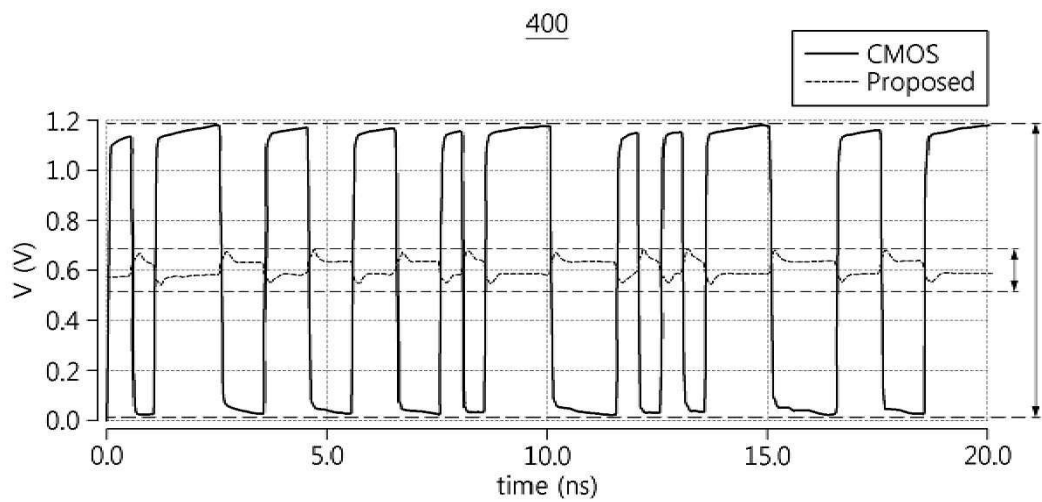
220



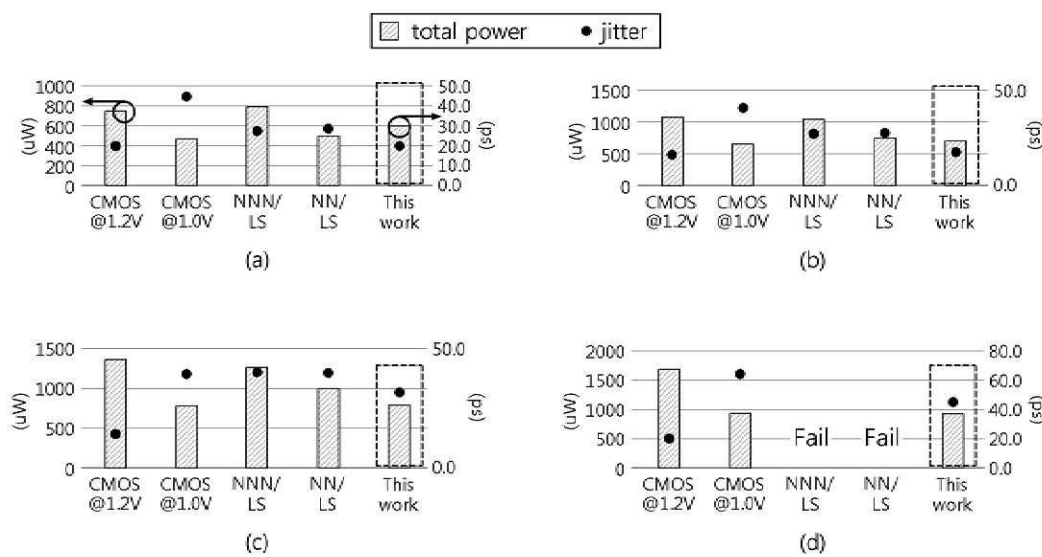
도면3



도면4



도면5



도면6

