



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월18일
(11) 등록번호 10-2192991
(24) 등록일자 2020년12월14일

(51) 국제특허분류(Int. Cl.)

H04N 5/378 (2011.01)

(21) 출원번호 10-2014-0048817

(22) 출원일자 2014년04월23일

심사청구일자 2019년04월05일

(65) 공개번호 10-2015-0122487

(43) 공개일자 2015년11월02일

(56) 선행기술조사문헌

KR100338971 B1*

KR1020120061094 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

연세대학교 산학협력단

서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)

(72) 발명자

채영철

서울특별시 광진구 아차산로36길 39, 701동 1912호 (자양동, 자양우성7차아파트)

김재홍

경기도 수원시 영통구 봉영로1770번길 21, 204동 604호 (영통동, 신명.한국아파트)

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

심사관 : 양정미

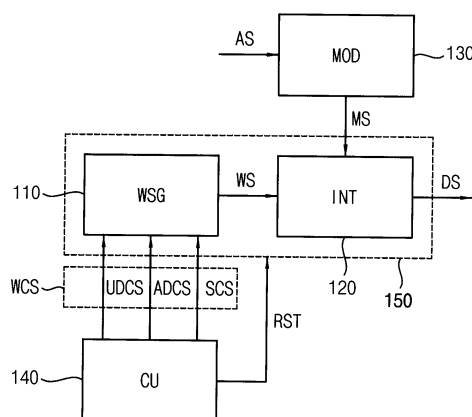
(54) 발명의 명칭 가변적인 디지털 필터를 포함하는 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서

(57) 요약

아날로그-디지털 컨버터는 변조부, 제어부 및 디지털 필터를 포함한다. 디지털 필터는 가중치 신호 생성부 및 제1 적분기를 포함한다. 변조부는 아날로그 신호에 기초하여 디지털 변조 신호를 생성한다. 제어부는 디지털 필터링의 종류 및 차수를 나타내는 가변적인 가중치 제어 신호를 생성한다. 가중치 신호 생성부는 가중치 제어 신호에 기초하여 가중치 신호를 생성한다. 제1 적분기는 디지털 변조 신호에 응답하여 가중치 신호를 적분하여 아날로그 신호에 상응하는 디지털 신호를 생성한다.

대표도 - 도1

100



(72) 발명자

송성우

부산광역시 해운대구 달맞이길 41, 705호 (중동)

조우진

서울특별시 종로구 자하문로33길 22-8 (청운동)

황현석

경상북도 문경시 흥덕9길 13, 라동 305호 (흥덕동)

명세서

청구범위

청구항 1

아날로그 신호에 기초하여 디지털 변조 신호를 생성하는 변조부;

가변적인 가중치 제어 신호들을 생성하는 제어부; 및

상기 가중치 제어 신호들 및 상기 디지털 변조 신호에 기초하여 상기 아날로그 신호에 상응하는 디지털 신호를 생성하는 디지털 필터를 포함하고,

상기 디지털 필터는

상기 디지털 필터가 구현할 수 있는 복수의 디지털 필터링들 중 하나의 디지털 필터링의 종류를 나타내는 상기 가중치 제어 신호들 중 제1 가중치 제어 신호 및 제2 가중치 제어 신호에 기초하여 상기 하나의 디지털 필터링의 복수의 차수들에 해당하는 복수의 가중치 신호들을 생성하고, 상기 가중치 제어 신호들 중 제3 가중치 제어 신호에 응답하여 상기 복수의 가중치 신호들 중 하나를 선택된 가중치 신호로 제공하는 가중치 신호 생성부; 및

상기 디지털 변조 신호에 응답하여 상기 선택된 가중치 신호를 적분하여 상기 디지털 신호를 생성하는 제1 적분기를 포함하는 아날로그-디지털 컨버터.

청구항 2

제1 항에 있어서,

상기 가중치 제어 신호들은 카운트 제어 신호, 연산 제어 신호 및 선택 제어 신호를 포함하고,

상기 카운트 제어 신호는 상기 제1 가중치 제어 신호에 해당하고, 상기 연산 제어 신호는 상기 제2 가중치 제어 신호에 해당하고, 상기 선택 제어 신호는 상기 제3 가중치 제어 신호에 해당하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 3

제2 항에 있어서,

상기 카운트 제어 신호 및 상기 연산 제어 신호는 주기적인 신호들이고,

상기 가중치 신호 생성부는 상기 제어부가 생성한 초기화 신호에 응답하여 상기 카운트 제어 신호 및 상기 연산 제어 신호의 주기마다 상기 선택된 가중치 신호를 초기화하고,

상기 제1 적분기는 상기 초기화 신호에 응답하여 상기 카운트 제어 신호 및 상기 연산 제어 신호의 주기마다 상기 디지털 신호를 초기화하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 4

제2 항에 있어서,

상기 가중치 신호 생성부는,

상기 카운트 제어 신호에 응답하여 클럭 신호의 에지(Edge)의 개수를 계수하여 카운트 신호를 생성하는 카운터;

상기 연산 제어 신호에 응답하여 상기 카운트 신호를 적분하여 적분 신호를 생성하는 적분 유닛(Integrating unit);

제1 레지스터;

상기 선택 제어 신호에 응답하여 상기 카운트 신호, 상기 적분 신호 및 상기 제1 레지스터의 출력 신호 중 하나를 상기 선택된 가중치 신호로서 출력하는 멀티플렉서를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 5

제4 항에 있어서,

상기 적분 유닛은,

상기 연산 제어 신호에 응답하여 상기 적분 신호와 상기 카운트 신호를 더하거나, 상기 적분 신호에서 상기 카운트 신호를 빼서 연산 신호를 생성하는 연산 유닛; 및

상기 연산 신호를 상기 클럭 신호에 동기화하여 상기 적분 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 적분 신호를 초기화하는 제2 레지스터를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 6

제1 항에 있어서,

상기 제1 적분기는,

상기 디지털 변조 신호에 응답하여 상기 선택된 가중치 신호 및 논리값 0 중 하나를 멀티플렉서 출력 신호로서 출력하는 멀티플렉서; 및

클럭 신호에 응답하여 상기 멀티플렉서 출력 신호를 적분하여 상기 디지털 신호를 생성하는 적분 유닛을 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 7

제6 항에 있어서,

상기 적분 유닛은,

상기 멀티플렉서 출력 신호와 상기 디지털 신호를 더하여 덧셈 신호를 생성하는 덧셈기; 및

상기 덧셈 신호를 상기 클럭 신호에 동기화하여 상기 디지털 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 디지털 신호를 초기화하는 레지스터를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 8

제1 항에 있어서,

상기 제1 적분기는,

상기 디지털 변조 신호와 클럭 신호를 논리곱(AND) 연산하여 레지스터 제어 신호를 생성하는 논리곱 게이트; 및

상기 레지스터 제어 신호에 응답하여 상기 선택된 가중치 신호를 적분하여 상기 디지털 신호를 생성하는 적분 유닛을 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 9

제8 항에 있어서,

상기 적분 유닛은,

상기 선택된 가중치 신호와 상기 디지털 신호를 더하여 덧셈 신호를 생성하는 덧셈기; 및

상기 덧셈 신호를 상기 레지스터 제어 신호에 동기화하여 상기 디지털 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 디지털 신호를 초기화하는 레지스터를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 10

입력된 빛의 세기에 상응하는 픽셀 신호들을 출력하는 복수의 픽셀을 포함하는 픽셀 어레이(Pixel array);

상기 픽셀 신호들에 상응하는 디지털 신호들을 생성하는 복수의 아날로그-디지털 컨버터들; 및

열 선택 신호에 기초하여 상기 디지털 신호들 중 하나를 선택하고, 선택된 디지털 신호를 출력하는 스위치 회로를 포함하고,

상기 아날로그-디지털 컨버터들의 각각은,

상기 픽셀 신호들의 각각에 기초하여 디지털 변조 신호를 생성하는 변조부;

가변적인 가중치 제어 신호들을 생성하는 제어부; 및

상기 가중치 제어 신호들 및 상기 디지털 변조 신호에 기초하여 상기 디지털 신호들 각각을 생성하는 디지털 필터를 포함하고,

상기 디지털 필터는

상기 디지털 필터가 구현할 수 있는 복수의 디지털 필터링들 중 하나의 디지털 필터링의 종류를 나타내는 상기 가중치 제어 신호들 중 제1 가중치 제어 신호 및 제2 가중치 제어 신호에 기초하여 상기 하나의 디지털 필터링의 복수의 차수들에 해당하는 복수의 가중치 신호들을 생성하고, 상기 가중치 제어 신호들 중 제3 가중치 제어 신호에 응답하여 상기 복수의 가중치 신호들 중 하나를 선택된 가중치 신호로 제공하는 가중치 신호 생성부; 및

상기 디지털 변조 신호에 응답하여 상기 선택된 가중치 신호를 적분하여 상기 디지털 신호를 생성하는 제1 적분기를 포함하는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그-디지털 컨버터에 관한 것으로서, 더욱 상세하게는 가중치를 변경할 수 있는 디지털 필터를 포함하는 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서에 관한 것이다.

배경 기술

[0002] 이미지 센서는 픽셀에서 생성된 아날로그 픽셀 신호를 디지털 신호로 변환하기 위해 열(Column)마다 아날로그-디지털 컨버터(Analog-digital converter; ADC)를 포함한다. 아날로그-디지털 컨버터의 종류는 싱글-슬로프 아날로그-디지털 컨버터(Single-slope ADC) 및 델타-시그마 아날로그 디지털 컨버터(Delta-sigma ADC) 등이 있다.

[0003] 종래의 델타-시그마 아날로그-디지털 컨버터에 포함되는 디지털 필터는 다양한 종류와 차수의 디지털 필터링 기능을 제공하지 못하는 문제점을 가지고 있다.

발명의 내용

해결하려는 과제

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 디지털 필터링의 차수와 종류를 나타내는 가중치를 변경할 수 있는 디지털 필터를 포함하는 아날로그-디지털 컨버터를 제공하는데 있다.

[0005] 본 발명의 일 목적은 디지털 필터링의 차수와 종류를 나타내는 가중치를 변경할 수 있는 디지털 필터를 구비하는 아날로그-디지털 컨버터를 포함하는 이미지 센서를 제공하는데 있다.

과제의 해결 수단

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 아날로그-디지털 컨버터는 변조부, 제어부 및 디지털 필터를 포함한다. 상기 디지털 필터는 가중치 신호 생성부 및 제1 적분기를 포함한다. 상기 변조부는 아날로그 신호에 기초하여 디지털 변조 신호를 생성한다. 상기 제어부는 디지털 필터링의 종류 및 차수를 나타내는 가변적인 가중치 제어 신호를 생성한다. 상기 가중치 신호 생성부는 상기 가중치 제어 신호에 기초하여 가중치 신호를 생성한다. 상기 제1 적분기는 상기 디지털 변조 신호에 응답하여 상기 가중치 신호를 적분하여 상기 아날로그 신호에 상응하는 디지털 신호를 생성한다.

[0007] 일 실시예에 있어서, 상기 가중치 제어 신호는 카운트 제어 신호, 연산 제어 신호 및 선택 제어 신호를 포함할

수 있다.

- [0008] 일 실시예에 있어서, 상기 카운트 제어 신호 및 상기 연산 제어 신호는 주기적인 신호들일 수 있다.
- [0009] 일 실시예에 있어서, 상기 가중치 신호 생성부는 상기 제어부가 생성한 초기화 신호에 응답하여 상기 카운트 제어 신호 및 상기 연산 제어 신호의 주기마다 상기 가중치 신호를 초기화할 수 있다. 상기 제1 적분기는 상기 초기화 신호에 응답하여 상기 카운트 제어 신호 및 상기 연산 제어 신호의 주기마다 상기 디지털 신호를 초기화할 수 있다.
- [0010] 일 실시예에 있어서, 상기 가중치 신호 생성부는 카운터, 적분 유닛, 제1 레지스터 및 멀티플렉서를 포함할 수 있다. 상기 카운터는 상기 카운트 제어 신호에 응답하여 클럭 신호의 에지(Edge)의 개수를 계수하여 카운트 신호를 생성할 수 있다. 상기 적분 유닛은 상기 연산 제어 신호에 응답하여 상기 카운트 신호를 적분하여 적분 신호를 생성할 수 있다. 상기 멀티플렉서는 상기 선택 제어 신호에 응답하여 상기 카운트 신호, 상기 적분 신호 및 상기 제1 레지스터의 출력 신호 중 하나를 상기 가중치 신호로서 출력할 수 있다.
- [0011] 일 실시예에 있어서, 상기 카운터는 상기 카운트 제어 신호가 논리값 1을 갖는 경우 업(Up) 카운팅하고, 상기 카운트 제어 신호가 논리값 0을 갖는 경우 다운(Down) 카운팅하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 카운트 신호를 초기화할 수 있다.
- [0012] 일 실시예에 있어서, 상기 적분 유닛은 연산 유닛 및 제2 레지스터를 포함할 수 있다. 상기 연산 유닛은 상기 연산 제어 신호에 응답하여 상기 적분 신호와 상기 카운트 신호를 더하거나, 상기 적분 신호에서 상기 카운트 신호를 빼서 연산 신호를 생성할 수 있다. 상기 제2 레지스터는 상기 연산 신호를 상기 클럭 신호에 동기화하여 상기 적분 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 적분 신호를 초기화할 수 있다.
- [0013] 일 실시예에 있어서, 상기 연산 유닛은 상기 연산 제어 신호가 논리값 1을 가지는 경우 상기 적분 신호와 상기 카운트 신호를 더해서 상기 연산 신호를 생성하고, 상기 연산 제어 신호가 논리값 0을 가지는 경우 상기 적분 신호에서 상기 카운트 신호를 빼서 상기 연산 신호를 생성할 수 있다.
- [0014] 일 실시예에 있어서, 상기 제1 적분기는 멀티플렉서 및 적분 유닛을 포함할 수 있다. 상기 멀티플렉서는 상기 디지털 변조 신호에 응답하여 상기 가중치 신호 및 논리값 0 중 하나를 멀티플렉서 출력 신호로서 출력할 수 있다. 상기 적분 유닛은 클럭 신호에 응답하여 상기 멀티플렉서 출력 신호를 적분하여 상기 디지털 신호를 생성할 수 있다.
- [0015] 일 실시예에 있어서, 상기 적분 유닛은 덧셈기 및 레지스터를 포함할 수 있다. 상기 덧셈기는 상기 멀티플렉서 출력 신호와 상기 디지털 신호를 더하여 덧셈 신호를 생성할 수 있다. 상기 레지스터는 상기 덧셈 신호를 상기 클럭 신호에 동기화하여 상기 디지털 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 디지털 신호를 초기화할 수 있다.
- [0016] 일 실시예에 있어서, 상기 제1 적분기는 논리곱 게이트 및 적분 유닛을 포함할 수 있다. 상기 제1 적분기는 상기 디지털 변조 신호와 클럭 신호를 논리곱(AND) 연산하여 레지스터 제어 신호를 생성할 수 있다. 상기 적분 유닛은 상기 레지스터 제어 신호에 응답하여 상기 가중치 신호를 적분하여 상기 디지털 신호를 생성할 수 있다.
- [0017] 일 실시예에 있어서, 상기 적분 유닛은 덧셈기 및 레지스터를 포함할 수 있다. 상기 덧셈기는 상기 가중치 신호와 상기 디지털 신호를 더하여 덧셈 신호를 생성할 수 있다. 상기 레지스터는 상기 덧셈 신호를 상기 레지스터 제어 신호에 동기화하여 상기 디지털 신호로서 저장하고, 상기 제어부가 생성한 초기화 신호에 응답하여 상기 디지털 신호를 초기화할 수 있다.
- [0018] 일 실시예에 있어서, 상기 디지털 필터의 종류는 매치드(Matched) 또는 싱크(Sinc)일 수 있다.
- [0019] 일 실시예에 있어서, 상기 디지털 필터의 종류는 사용자에게 의해 미리 정의된 주파수 특성을 가지는 커스텀(Custom)일 수 있다.
- [0020] 일 실시예에 있어서, 상기 디지털 필터의 차수는 1차 내지 3차 중 하나일 수 있다.
- [0021] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 이미지 센서는 픽셀 어레이, 복수의 아날로그-디지털 컨버터들 및 스위치 회로를 포함한다. 상기 아날로그-디지털 컨버터들의 각각은 변조부, 제어부 및 디지털 필터를 포함한다. 상기 디지털 필터는 가중치 신호 생성부 및 적분기를 포함한다. 상기 픽셀 어레이는 입력된 빛의 세기에 상응하는 픽셀 신호들을 출력하는 복수의 픽셀을 포함한다. 상기 아날로그-디지털 컨버터들은 상기

픽셀 신호들에 상응하는 디지털 신호들을 생성한다. 상기 스위치 회로는 열 선택 신호에 기초하여 상기 디지털 신호들 중 하나를 선택하고, 선택된 디지털 신호를 출력한다. 상기 변조부는 상기 픽셀 신호들의 각각에 기초하여 디지털 변조 신호를 생성한다. 상기 제어부는 디지털 필터링의 종류 및 차수를 나타내는 가변적인 가중치 제어 신호를 생성한다. 상기 가중치 신호 생성부는 상기 가중치 제어 신호에 기초하여 가중치 신호를 생성한다. 상기 적분기는 상기 디지털 변조 신호에 응답하여 상기 가중치 신호를 적분하여 상기 아날로그 신호에 상응하는 상기 디지털 신호들의 각각을 생성한다.

발명의 효과

[0022] 본 발명의 실시예들에 따른 아날로그-디지털 컨버터 및 이를 포함하는 이미지 센서는 가변의 가중치 신호에 기초하여 다양한 종류 및 차수의 디지털 필터링을 수행할 수 있다. 상기 아날로그-디지털 컨버터에 포함되는 디지털 필터는 디지털 필터링의 차수에 관계없이 고정적인 면적 내에 구현될 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 아날로그-디지털 컨버터를 나타내는 블록도이다.
 도 2는 도 1의 아날로그-디지털 컨버터에 포함되는 가중치 신호 생성부를 나타내는 블록도이다.
 도 3은 도 2의 가중치 신호 생성부에 포함되는 적분 유닛을 나타내는 블록도이다.
 도 4는 도 1의 아날로그-디지털 컨버터에 포함되는 제1 적분기를 나타내는 블록도이다.
 도 5는 도 4의 제1 적분기에 포함되는 적분 유닛을 나타내는 블록도이다.
 도 6은 도 1의 아날로그-디지털 컨버터에 포함되는 제1 적분기를 나타내는 블록도이다.
 도 7은 도 6의 제1 적분기에 포함되는 적분 유닛을 나타내는 블록도이다.
 도 8 내지 12는 도 4의 제1 적분기를 포함하는 도 1의 아날로그-디지털 컨버터의 신호들의 타이밍도들이다.
 도 13 내지 15는 도 6의 제1 적분기를 포함하는 도 1의 아날로그-디지털 컨버터의 신호들의 타이밍도들이다.
 도 16은 도 1의 아날로그-디지털 컨버터를 포함하는 이미지 센서를 나타내는 블록도이다.
 도 17은 도 16의 이미지 센서를 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.
 도 18은 도 17의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0026] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대해서 중복된 설명은 생략한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 아날로그-디지털 컨버터를 나타내는 블록도이다.
- [0032] 도 1을 참조하면, 아날로그-디지털 컨버터(100)는 변조부(MOD; 130), 제어부(CU; 140) 및 디지털 필터(150)를 포함한다. 디지털 필터(150)는 가중치 신호 생성부(WSG; 110) 및 제1 적분기(INT; 120)를 포함한다. 변조부(130)는 아날로그 신호(AS)에 기초하여 디지털 변조 신호(MS)를 생성한다. 제어부(140)는 디지털 필터링의 종류 및 차수를 나타내는 가변적인 가중치 제어 신호(WCS)를 생성한다. 제어부(140)는 초기화 신호(RST)를 생성한다. 가중치 신호 생성부(WSG)는 가중치 제어 신호(WCS)에 기초하여 가중치 신호(WS)를 생성한다. 제1 적분기(120)는 디지털 변조 신호(MS)에 응답하여 가중치 신호(WS)를 적분하여 아날로그 신호(AS)에 상응하는 디지털 신호(DS)를 생성한다.
- [0033] 가중치 제어 신호(WCS)는 카운트 제어 신호(UDCS), 연산 제어 신호(ADCS) 및 선택 제어 신호(SCS)를 포함할 수 있다.
- [0034] 디지털 필터(150)의 종류는 매치드(Matched), 싱크(Sinc) 또는 사용자에게 의해 미리 정의된 주파수 특성을 가지는 커스텀(Custom)일 수 있다. 디지털 필터(150)의 차수는 1차 내지 3차 중 하나일 수 있다. 카운트 제어 신호(UDCS) 및 연산 제어 신호(ADCS)는 주기적인 신호들일 수 있다.
- [0035] 변조기(130)는 아날로그 신호(AS)를 샘플링 주파수(fs)로 샘플링하여 순차적인 1비트의 디지털 변조 신호(MS)를 생성한다. 변조기(130)는 종래의 시그마-델타 아날로그-디지털 변환기(Sigma-delta Analog-Digital Converter(ADC))에 포함되는 변조기(Modulator)와 동일 또는 유사하므로, 변조기(130)에 대한 설명은 생략한다.
- [0036] 가중치 신호 생성부(110)는 초기화 신호(RST)에 응답하여 카운트 제어 신호(UDCS) 및 연산 제어 신호(ADCS)의 주기마다 가중치 신호(WS)를 초기화할 수 있다. 제1 적분기(120)는 초기화 신호(RST)에 응답하여 카운트 제어 신호(UDCS) 및 연산 제어 신호(ADCS)의 주기마다 디지털 신호(DS)를 초기화할 수 있다.
- [0037] 가중치 제어 신호 생성부(110)의 구조에 대하여 도 2 및 3을 참조하여 후술하고, 제1 적분기(120)의 구조에 대하여 도 4 내지 7을 참조하여 후술한다. 본 발명의 실시예들에 따른 아날로그-디지털 컨버터(100)의 신호들의 타이밍에 대하여 도 8 내지 15를 참조하여 후술한다.
- [0038] 도 2는 도 1의 아날로그-디지털 컨버터에 포함되는 가중치 신호 생성부를 나타내는 블록도이다.
- [0039] 도 2를 참조하면, 도 1의 아날로그-디지털 컨버터(100)에 포함되는 가중치 신호 생성부(110)는 카운터(CNT; 111), 적분 유닛(IU1; 113), 제1 레지스터(REG1) 및 멀티플렉서(MUX)를 포함할 수 있다. 카운터(111)는 카운트 제어 신호(UDCS)에 응답하여 클럭 신호(CLK)의 에지(Edge)의 개수를 계수하여 카운트 신호(CS)를 생성할 수 있다. 적분 유닛(113)은 연산 제어 신호(ADCS)에 응답하여 카운트 신호(CS)를 적분하여 적분 신호(IS)를 생성할 수 있다. 멀티플렉서(MUX)는 선택 제어 신호(SCS)에 응답하여 카운트 신호(CS), 적분 신호(IS) 및 제1 레지스터의 출력 신호(RO) 중 하나를 가중치 신호(WS)로서 출력할 수 있다.
- [0040] 카운터(111)는 카운트 제어 신호(UDCS)가 논리값 1을 갖는 경우 업(Up) 카운팅할 수 있다. 카운터(111)는 카운트 제어 신호(UDCS)가 논리값 0을 갖는 경우 다운(Down) 카운팅할 수 있다. 카운터(111)는 초기화 신호(RST)에 응답하여 카운트 신호(CS)를 초기화할 수 있다.
- [0041] 적분 유닛(113)은 초기화 신호(RST)에 응답하여 적분 신호(IS)를 초기화할 수 있다. 적분 유닛(113)에 대하여

도 3을 참조하여 후술한다.

- [0042] 싱크(Sinc) 디지털 필터에 상응하는 카운트 제어 신호(UDCS)가 카운터(111)에 입력되는 경우, 카운터(111)는 2차 싱크 디지털 필터에 상응하는 가중치 신호를 카운트 신호(CS)로서 출력하고, 적분 유닛(113)은 3차 싱크 디지털 필터에 상응하는 가중치 신호를 적분 신호(IS)로서 출력한다. 1차 싱크 디지털 필터에 상응하는 가중치 신호는 제1 레지스터의 출력 신호(RO)이다.
- [0043] 선택 제어 신호(SCS)가 0의 값을 가지는 경우, 멀티플렉서(114)는 1차 싱크 디지털 필터에 상응하는 제1 레지스터 출력 신호(RO)를 가중치 신호(WS)로서 출력한다. 선택 제어 신호(SCS)가 1의 값을 가지는 경우, 멀티플렉서(114)는 2차 싱크 디지털 필터에 상응하는 카운트 신호(CS)를 가중치 신호(WS)로서 출력한다. 선택 제어 신호(SCS)가 2의 값을 가지는 경우, 멀티플렉서(114)는 3차 싱크 디지털 필터에 상응하는 적분 신호(IS)를 가중치 신호(WS)로서 출력한다.
- [0044] 1차 싱크 디지털 필터로 동작하는 디지털 필터(150)는 종래 기술과 동일하므로 설명을 생략한다. 2차 싱크 디지털 필터로 동작하는 디지털 필터(150)를 포함하는 아날로그-디지털 컨버터(100)에 대하여 도 8 및 13을 참조하여 후술한다. 3차 싱크 디지털 필터로 동작하는 디지털 필터(150)를 포함하는 아날로그-디지털 컨버터(100)에 대하여 도 11을 참조하여 후술한다.
- [0045] 매치드(Matched) 디지털 필터에 상응하는 카운트 제어 신호(UDCS)가 카운터(111)에 입력되는 경우, 카운터(111)는 1차 매치드 디지털 필터에 상응하는 가중치 신호를 카운트 신호(CS)로서 출력하고, 적분 유닛(113)은 2차 매치드 디지털 필터에 상응하는 가중치 신호를 적분 신호(IS)로서 출력한다.
- [0046] 선택 제어 신호(SCS)가 1의 값을 가지는 경우, 멀티플렉서(114)는 1차 매치드 디지털 필터에 상응하는 카운트 신호(CS)를 가중치 신호로서 출력한다. 선택 제어 신호(SCS)가 2의 값을 가지는 경우, 멀티플렉서(114)는 2차 매치드 디지털 필터에 상응하는 적분 신호(IS)를 가중치 신호(WS)로서 출력한다.
- [0047] 1차 매치드 디지털 필터로 동작하는 디지털 필터(150)를 포함하는 아날로그-디지털 컨버터(100)에 대하여 도 10 및 15를 참조하여 후술한다. 2차 매치드 디지털 필터로 동작하는 디지털 필터(150)를 포함하는 아날로그-디지털 컨버터(100)에 대하여 도 12를 참조하여 후술한다.
- [0048] 디지털 필터(150)는 싱크 디지털 필터 및 매치드 디지털 필터가 아닌 커스텀 디지털 필터(Custom digital filter)일 수 있다. 커스텀 디지털 필터는 사용자가 임의로 주파수 특성을 조절한 디지털 필터를 지칭한다. 커스텀 디지털 필터를 구현하기 위한 카운트 제어 신호(UDCS)가 카운터(111)에 입력되는 경우, 카운터(111)는 커스텀 디지털 필터에 상응하는 가중치 신호를 카운트 신호(CS)로서 출력한다. 선택 제어 신호(SCS)가 1의 값을 가지는 경우, 멀티플렉서(114)는 커스텀 디지털 필터에 상응하는 카운트 신호(CS)를 가중치 신호(WS)로서 출력한다.
- [0049] 커스텀 디지털 필터로 동작하는 디지털 필터(150)를 포함하는 아날로그-디지털 컨버터(100)에 대하여 도 9 및 14를 참조하여 후술한다.
- [0050] 도 3은 도 2의 가중치 신호 생성부에 포함되는 적분 유닛을 나타내는 블록도이다.
- [0051] 도 3을 참조하면, 도 2의 가중치 신호 생성부(110)에 포함되는 적분 유닛(113)은 연산 유닛(ADD_SUB1; 114) 및 제2 레지스터(REG2; 115)를 포함할 수 있다. 연산 유닛(114)은 제1 포트(P1) 및 제2 포트(P2)를 포함할 수 있다. 연산 유닛(114)은 연산 제어 신호(ADCS)에 응답하여 적분 신호(IS)와 카운트 신호(CS)를 더할 수 있다. 연산 유닛(114)은 적분 신호(IS)에서 카운트 신호(CS)를 빼서 연산 신호(AS)를 생성할 수 있다. 제2 레지스터(115)는 연산 신호(AS)를 클럭 신호(CLK)에 동기화하여 적분 신호(IS)로서 저장할 수 있다. 제2 레지스터(115)는 초기화 신호(RST)에 응답하여 적분 신호(IS)를 초기화할 수 있다.
- [0052] 더욱 자세하게는, 연산 유닛(114)은 연산 제어 신호(ADCS)가 논리값 1을 가지는 경우 제1 포트(P1)를 통해 수신한 적분 신호(IS)와 제2 포트(P2)를 통해 수신한 카운트 신호(CS)를 더해서 연산 신호(AS)를 생성할 수 있다. 연산 유닛(114)은 연산 제어 신호(ADCS)가 논리값 0을 가지는 경우 제1 포트(P1)를 통해 수신한 적분 신호(IS)에서 제2 포트(P2)를 통해 수신한 카운트 신호(CS)를 빼서 연산 신호(AS)를 생성할 수 있다.
- [0053] 도 4는 도 1의 아날로그-디지털 컨버터에 포함되는 제1 적분기를 나타내는 블록도이다.
- [0054] 도 4를 참조하면, 도 1의 아날로그-디지털 컨버터(100)에 포함되는 제1 적분기(120a)는 멀티플렉서(MUX1; 121a) 및 적분 유닛(IU; 122a)을 포함할 수 있다. 멀티플렉서(121a)는 디지털 변조 신호(MS)에 응답하여 가중치 신호

(WS) 및 논리값 0 중 하나를 멀티플렉서 출력 신호(MOS)로서 출력할 수 있다. 적분 유닛(122a)은 클럭 신호(CLK)에 응답하여 멀티플렉서 출력 신호(MOS)를 적분하여 디지털 신호(DS)를 생성할 수 있다. 적분 유닛(122a)은 초기화 신호(RST)에 응답하여 디지털 신호(DS)를 초기화할 수 있다.

[0055] 일 실시예로, 멀티플렉서(121a)는 디지털 변조 신호(MS)가 논리값 0을 가지는 경우 가중치 신호(WS)를 멀티플렉서 출력 신호(MOS)로서 출력하고, 디지털 변조 신호(MS)가 논리값 1을 가지는 경우 논리값 0을 멀티플렉서 출력 신호(MOS)로서 출력할 수 있다.

[0056] 다른 실시예로, 멀티플렉서(121a)는 디지털 변조 신호(MS)가 논리값 0을 가지는 경우 논리값 0을 멀티플렉서 출력 신호(MOS)로서 출력하고, 디지털 변조 신호(MS)가 논리값 1을 가지는 경우 가중치 신호(WS)를 멀티플렉서 출력 신호(MOS)로서 출력할 수 있다. 적분 유닛(122a)은 클럭 신호(CLK)에 응답하여 멀티플렉서 출력 신호(MOS)를 적분하여 디지털 신호(DS)를 생성할 수 있다.

[0057] 적분 유닛(122a)에 대하여 도 5를 참조하여 후술한다.

[0058] 도 5는 도 4의 제1 적분기에 포함되는 적분 유닛을 나타내는 블록도이다.

[0059] 도 5를 참조하면, 도 4의 제1 적분기(120a)에 포함되는 적분 유닛(122a)은 덧셈기(ADD1; 123a) 및 레지스터(REG3; 124a)를 포함할 수 있다. 상기 덧셈기(123a)는 제1 포트(P1) 및 제2 포트(P2)를 포함할 수 있다. 덧셈기(122a)는 제2 포트(P2)를 통해 수신된 멀티플렉서 출력 신호(MOS)와 제1 포트(P1)를 통해 수신된 디지털 신호(DS)를 더하여 덧셈 신호(ADS1)를 생성할 수 있다. 레지스터(124a)는 덧셈 신호(ADS1)를 클럭 신호(CLK)에 동기화하여 디지털 신호(DS)로서 저장할 수 있다. 레지스터(124a)는 초기화 신호(RST)에 응답하여 디지털 신호(DS)를 초기화할 수 있다.

[0060] 도 6은 도 1의 아날로그-디지털 컨버터에 포함되는 제1 적분기를 나타내는 블록도이다.

[0061] 도 6을 참조하면, 도 1의 아날로그-디지털 컨버터(100)에 포함되는 제1 적분기(120b)는 논리곱 게이트(AND; 121b) 및 적분 유닛(IU; 122b)을 포함할 수 있다. 제1 적분기(120b)는 디지털 변조 신호(MS)와 클럭 신호(CLK)를 논리곱(AND) 연산하여 레지스터 제어 신호(RCS)를 생성할 수 있다. 적분 유닛(122b)은 레지스터 제어 신호(RCS)에 응답하여 가중치 신호(WS)를 적분하여 디지털 신호(DS)를 생성할 수 있다. 적분 유닛(122b)은 초기화 신호(RST)에 응답하여 디지털 신호(DS)를 초기화할 수 있다. 적분 유닛(122b)에 대하여 도 7을 참조하여 후술한다.

[0062] 도 7은 도 6의 제1 적분기에 포함되는 적분 유닛을 나타내는 블록도이다.

[0063] 도 7을 참조하면, 도 6의 제1 적분기(120b)에 포함되는 적분 유닛(122b)은 덧셈기(ADD2; 123b) 및 레지스터(REG4; 124b)를 포함할 수 있다. 덧셈기(123b)는 제1 포트(P1) 및 제2 포트(P2)를 포함할 수 있다. 덧셈기(123b)는 제2 포트(P2)를 통해 수신한 가중치 신호(WS)와 제1 포트(P1)를 통해 수신한 디지털 신호(DS)를 더하여 덧셈 신호(ADS2)를 생성할 수 있다. 레지스터(124b)는 덧셈 신호(ADS2)를 레지스터 제어 신호(RCS)에 동기화하여 디지털 신호(DS)로서 저장할 수 있다. 레지스터(124b)는 초기화 신호(RST)에 응답하여 디지털 신호(DS)를 초기화할 수 있다.

[0064] 도 8 내지 12는 도 4의 제1 적분기를 포함하는 도 1의 아날로그-디지털 컨버터의 신호들의 타이밍도들이다.

[0065] 도 8은 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120a)를 포함하고, 가중치 신호 생성부(110)가 2차 싱크(2nd-order sinc) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 8은 2차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 2차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 8과 다르게 동작할 수 있다.

[0066] 선택 제어 신호(SCS)는 1의 값을 가진다. 제1 시점(211) 내지 제11 시점(221)은 클럭 신호(CLK)의 상승 에지들(Rising edges)에 동기화되어 있다. 제2 시점(212)과 제11 시점(221) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.

[0067] 제1 시점(211)에서, 초기화 신호(RST)가 활성화 된다.

[0068] 제2 시점(212)에서, 제1 시점(211)과 제2 시점(212) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다.

- [0069] 제3 시점(213)에서, 제2 시점(212)과 제3 시점(213) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0에서 1로 업 카운팅(Up counting)한다.
- [0070] 제4 시점(214)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(213)과 제4 시점(214) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 2로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS) 값을 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0071] 제5 시점(215)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(214)과 제5 시점(215) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 3으로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 초기화된 디지털 신호(DS) 값인 0에 제4 시점(214)과 제5 시점(215) 사이의 멀티플렉서 출력 신호(MOS) 값인 2를 더한 값인 2를 디지털 신호(DS)로서 출력한다.
- [0072] 제6 시점(216)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(215)과 제6 시점(216) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 4로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다. 적분 유닛(122a)은 제5 시점(215)과 제6 시점(216) 사이의 디지털 신호(DS) 값인 2에 제5 시점(215)과 제6 시점(216) 사이의 멀티플렉서 출력 신호(MOS) 값인 3을 더한 값인 5를 디지털 신호(DS)로서 출력한다.
- [0073] 제7 시점(217)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제6 시점(216)과 제7 시점(217) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 제6 시점(216)과 제7 시점(217) 사이의 디지털 신호(DS) 값인 5에 제6 시점(216)과 제7 시점(217) 사이의 멀티플렉서 출력 신호(MOS) 값인 0을 더한 값인 5를 디지털 신호(DS)로서 출력한다.
- [0074] 제8 시점(218)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제7 시점(217)과 제8 시점(218) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다. 적분 유닛(122a)은 제7 시점(217)과 제8 시점(218) 사이의 디지털 신호(DS) 값인 5에 제7 시점(217)과 제8 시점(218) 사이의 멀티플렉서 출력 신호(MOS) 값인 3을 더한 값인 8을 디지털 신호(DS)로서 출력한다.
- [0075] 제9 시점(219)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제8 시점(218)과 제9 시점(219) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 제8 시점(218)과 제9 시점(219) 사이의 디지털 신호(DS) 값인 8에 제8 시점(218)과 제9 시점(219) 사이의 멀티플렉서 출력 신호(MOS) 값인 0을 더한 값인 8을 디지털 신호(DS)로서 출력한다.
- [0076] 제10 시점(220)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제9 시점(219)과 제10 시점(220) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS)가 논리값 1을 가지므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 제9 시점(219)과 제10 시점(220) 사이의 디지털 신호(DS) 값인 8에 제9 시점(219)과 제10 시점(220) 사이의 멀티플렉서 출력 신호(MOS) 값인 1을 더한 값인 9를 디지털 신호(DS)로서 출력한다.
- [0077] 제11 시점(221)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제10 시점(220)과 제11 시점(221) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다. 제10 시점(220)과 제11 시점(221) 사이의 디지털 신호(DS) 값인 9가 일정 시간의 아날로그 신호(AS) 값에 상응한다.

- [0078] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.
- [0079] 도 9는 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120a)를 포함하고, 가중치 신호 생성부(110)가 커스텀(Custom) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 9는 커스텀 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 커스텀 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 9와 다르게 동작할 수 있다.
- [0080] 선택 제어 신호(SCS)는 1의 값을 가진다. 가중치 신호 생성부(110)에 포함되는 카운터(111)는 카운트 신호(CS)를 2를 단위로 업 카운팅하고, 카운터(111)는 카운트 신호(CS)를 1을 단위로 다운 카운팅을 수행한다.
- [0081] 제1 시점(311) 내지 제9 시점(319)은 클럭 신호(CLK)의 상승 에지들에 동기화되어 있다. 제2 시점(312)과 제9 시점(319) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.
- [0082] 제1 시점(311)에서, 초기화 신호(RST)가 활성화 된다.
- [0083] 제2 시점(312)에서, 제1 시점(311)과 제2 시점(312) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다.
- [0084] 제3 시점(313)에서, 제2 시점(312)과 제3 시점(313) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0에서 2로 업 카운팅한다.
- [0085] 제4 시점(314)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(313)과 제4 시점(314) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 4로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0086] 제5 시점(315)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(314)과 제5 시점(315) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 초기화된 디지털 신호(DS) 값인 0에 제4 시점(314)과 제5 시점(315) 사이의 멀티플렉서 출력 신호(MOS) 값인 4를 더한 값인 4를 디지털 신호(DS)로서 출력한다.
- [0087] 제6 시점(316)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(315)과 제6 시점(316) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다. 적분 유닛(122a)은 제5 시점(315)과 제6 시점(316) 사이의 디지털 신호(DS) 값인 4에 제5 시점(315)과 제6 시점(316) 사이의 멀티플렉서 출력 신호(MOS) 값인 3을 더한 값인 7을 디지털 신호(DS)로서 출력한다.
- [0088] 제7 시점(317)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제6 시점(316)과 제7 시점(317) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 제6 시점(316)과 제7 시점(317) 사이의 디지털 신호(DS) 값인 7에 제6 시점(316)과 제7 시점(317) 사이의 멀티플렉서 출력 신호(MOS) 값인 0을 더한 값인 7을 디지털 신호(DS)로서 출력한다.
- [0089] 제8 시점(318)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제7 시점(317)과 제8 시점(318) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다. 적분 유닛(122a)은 제7 시점(317)과 제8 시점(318) 사이의 디지털 신호(DS) 값인 7에 제7 시점(317)과 제8 시점(318) 사이의 멀티플렉서 출력 신호(MOS) 값인 1을 더한 값인 8을 디지털 신호(DS)로서 출력한다.
- [0090] 제9 시점(319)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제8 시점(318)과 제9 시점(319) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다. 제8 시점(318)과 제9 시점(319) 사이의 디지털 신호(DS) 값인 8이 일정 시간의 아날로그 신호(AS) 값에 상

응한다.

- [0091] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.
- [0092] 도 10은 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120a)를 포함하고, 가중치 신호 생성부(110)가 1차 매치드(1st order matched) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 10은 1차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 1차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 10과 다르게 동작할 수 있다.
- [0093] 선택 제어 신호(SCS)는 1의 값을 가진다. 제1 시점(411) 내지 제7 시점(417)은 클럭 신호(CLK)의 상승 에지들에 동기화되어 있다. 제2 시점(412)과 제7 시점(417) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.
- [0094] 제1 시점(411)에서, 초기화 신호(RST)가 활성화 된다.
- [0095] 제2 시점(412)에서, 제1 시점(411)과 제4 시점(412) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4로 초기화한다.
- [0096] 제3 시점(413)에서, 제2 시점(412)과 제3 시점(413) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다.
- [0097] 제4 시점(414)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(413)과 제4 시점(414) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0098] 제5 시점(415)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(414)과 제5 시점(415) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다. 적분 유닛(122a)은 초기화된 디지털 신호(DS) 값인 0에 제4 시점(414)과 제5 시점(415) 사이의 멀티플렉서 출력 신호(MOS) 값인 2를 더한 값인 2를 디지털 신호(DS)로서 출력한다.
- [0099] 제6 시점(416)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(415)과 제6 시점(416) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다. 적분 유닛(122a)은 제5 시점(415)과 제6 시점(416) 사이의 디지털 신호(DS) 값인 2에 제5 시점(415)과 제6 시점(416) 사이의 멀티플렉서 출력 신호(MOS) 값인 1을 더한 값인 3을 디지털 신호(DS)로서 출력한다.
- [0100] 제7 시점(417)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제6 시점(416)과 제7 시점(417) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다. 제6 시점(416)과 제7 시점(417) 사이의 디지털 신호(DS) 값인 3이 일정 시간의 아날로그 신호(AS) 값에 상응한다.
- [0101] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.
- [0102] 도 11은 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120a)를 포함하고, 가중치 신호 생성부(110)가 3차 싱크(3rd-order sinc) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 11은 3차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 3차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 11과 다르게 동작할 수 있다.
- [0103] 선택 제어 신호(SCS)는 2의 값을 가진다. 시점들(511 내지 521)에서 적분 유닛(122a)의 동작은 도 8 내지 10을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0104] 제1 시점(511) 내지 제11 시점(521)은 클럭 신호(CLK)의 상승 에지들에 동기화되어 있다. 제2 시점(512)과 제11 시점(521) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.

- [0105] 제1 시점(511)에서, 초기화 신호(RST)가 활성화 된다.
- [0106] 제2 시점(512)에서, 제1 시점(511)과 제2 시점(512) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화하고, 적분 유닛(113)은 적분 신호(IS) 값을 0으로 초기화한다.
- [0107] 제3 시점(513)에서, 제2 시점(512)과 제3 시점(513) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0에서 1로 업 카운팅한다.
- [0108] 제4 시점(514)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(513)과 제4 시점(514) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 2로 업 카운팅한다. 제3 시점(513)과 제4 시점(514) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 초기화된 적분 신호(IS) 값인 0에 제3 시점(513)과 제4 시점(514) 사이의 카운트 신호(CS) 값인 1을 더한 값인 1을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0109] 제5 시점(515)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(514)과 제5 시점(515) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 3으로 업 카운팅한다. 제4 시점(514)과 제5 시점(515) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제4 시점(514)에서 제5 시점(515) 사이의 적분 신호(IS) 값인 1에 제4 시점(514)과 제5 시점(515) 사이의 카운트 신호(CS) 값인 2를 더한 값인 3을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0110] 제6 시점(516)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(515)과 제6 시점(516) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 4로 업 카운팅한다. 제5 시점(515)과 제6 시점(516) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제5 시점(515)에서 제6 시점(516) 사이의 적분 신호(IS) 값인 3에 제5 시점(515)과 제6 시점(516) 사이의 카운트 신호(CS) 값인 3을 더한 값인 6을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다.
- [0111] 제7 시점(517)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제6 시점(516)과 제7 시점(517) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다. 제6 시점(516)과 제7 시점(517) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제6 시점(516)에서 제7 시점(517) 사이의 적분 신호(IS) 값인 6에 제6 시점(516)과 제7 시점(517) 사이의 카운트 신호(CS) 값인 4를 더한 값인 10을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0112] 제8 시점(518)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제7 시점(517)과 제8 시점(518) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 제7 시점(517)과 제8 시점(518) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제7 시점(517)에서 제8 시점(518) 사이의 적분 신호(IS) 값인 10에 제7 시점(517)과 제8 시점(518) 사이의 카운트 신호(CS) 값인 3을 더한 값인 13을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다.
- [0113] 제9 시점(519)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제8 시점(518)과 제9 시점(519) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 제8 시점(518)과 제9 시점(519) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제8 시점(518)에서 제9 시점(519) 사이의 적분 신호(IS) 값인 13에 제8 시점(518)과 제9 시점(519) 사이의 카운트 신호(CS) 값인 2를 더한 값인 15를 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.

- [0114] 제10 시점(520)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제9 시점(519)과 제10 시점(520) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 제9 시점(519)과 제10 시점(520) 사이에서 연산 제어 신호(ADCS)가 논리값 1을 가지므로, 적분 유닛(113)은 제9 시점(519)에서 제10 시점(520) 사이의 적분 신호(IS) 값인 15에 제9 시점(519)과 제10 시점(520) 사이의 카운트 신호(CS) 값인 1을 더한 값인 16을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(CS)를 출력한다. 디지털 변조 신호(MS)가 논리값 1을 가지므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0115] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명 및 도 8 내지 10을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0116] 도 12는 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120a)를 포함하고, 가중치 신호 생성부(110)가 2차 매치드(2nd-order matched) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 12는 2차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 2차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 12와 다르게 동작할 수 있다.
- [0117] 선택 제어 신호(SCS)는 2의 값을 가진다. 시점들(611 내지 617)에서 적분 유닛(122a)의 동작은 도 8 내지 11을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0118] 제1 시점(611) 내지 제7 시점(617)은 클럭 신호(CLK)의 상승 에지들에 동기화되어 있다. 제2 시점(612)과 제7 시점(617) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.
- [0119] 제1 시점(611)에서, 초기화 신호(RST)가 활성화 된다.
- [0120] 제2 시점(612)에서, 제1 시점(611)과 제2 시점(612) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4로 초기화하고, 적분 유닛(113)은 적분 신호(IS) 값을 10으로 초기화한다.
- [0121] 제3 시점(613)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제2 시점(612)과 제3 시점(613) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다. 제2 시점(612)과 제3 시점(613) 사이에서 연산 제어 신호(ADCS)가 논리값 0을 가지므로, 적분 유닛(113)은 초기화된 적분 신호(IS) 값인 10에서 제2 시점(612)과 제3 시점(613) 사이의 카운트 신호(CS) 값인 4를 뺀 값인 6을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 0이므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다.
- [0122] 제4 시점(614)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(613)과 제4 시점(614) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 제3 시점(613)과 제4 시점(614) 사이에서 연산 제어 신호(ADCS)가 논리값 0을 가지므로, 적분 유닛(113)은 제3 시점(613)과 제4 시점(614) 사이의 적분 신호(IS) 값인 6에서 제3 시점(613)과 제4 시점(614) 사이의 카운트 신호(CS) 값인 3을 뺀 값인 3을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0123] 제5 시점(615)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(614)과 제5 시점(615) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 제4 시점(614)과 제5 시점(615) 사이에서 연산 제어 신호(ADCS)가 논리값 0을 가지므로, 적분 유닛(113)은 제4 시점(614)에서 제5 시점(615) 사이의 적분 신호(IS) 값인 3에서 제4 시점(614)과 제5 시점(615) 사이의 카운트 신호(CS) 값인 2를 뺀 값인 1을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.
- [0124] 제6 시점(616)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(615)과 제6 시점(616) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 제5 시점(615)과 제6 시점(616) 사이에서 연산 제어 신호(ADCS)가 논리값 0을 가지므로, 적분 유닛(113)은 제5 시점(615)에서 제6 시점(616) 사이의 적분 신호(IS) 값인 1에서 제5 시점(615)과 제6 시점(616) 사이의 카운트 신호(CS) 값인 0을 뺀 값인 1을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 1을 유지하므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 가중치 신호(WS)를 출력한다.

점(616) 사이의 카운트 신호(CS) 값인 1을 뺀 값인 0을 적분 신호(IS)로서 출력한다. 멀티플렉서(114)는 가중치 신호(WS)로서 적분 신호(IS)를 출력한다. 디지털 변조 신호(MS) 값이 0으로 변경되었으므로, 멀티플렉서(121a)는 멀티플렉서 출력 신호(MOS)로서 0을 출력한다.

[0125] 제7 시점(617)에서, 제6 시점(616)과 제7 시점(617) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4로 초기화하고, 적분 유닛(113)은 적분 신호(IS) 값을 10으로 초기화한다.

[0126] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.

[0127] 도 13 내지 15는 도 6의 제1 적분기를 포함하는 도 1의 아날로그-디지털 컨버터의 신호들의 타이밍도들이다.

[0128] 도 13은 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120b)를 포함하고, 가중치 신호 생성부(110)가 2차 싱크(2nd-order sinc) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 13은 2차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 2차 싱크 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 13과 다르게 동작할 수 있다.

[0129] 선택 제어 신호(SCS)는 1의 값을 가진다. 제1 시점(711) 내지 제11 시점(721)은 클럭 신호(CLK)의 상승 에지들에 동기화되어 있다. 제2 시점(712)과 제11 시점(721) 사이 구간이 가중치 신호(WS)의 하나의 주기이다.

[0130] 제1 시점(711)에서, 초기화 신호(RST)가 활성화 된다.

[0131] 제2 시점(712)에서, 제1 시점(711)과 제2 시점(712) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다.

[0132] 제3 시점(713), 제2 시점(712)과 제3 시점(713) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0에서 1로 업 카운팅한다.

[0133] 제4 시점(714)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제3 시점(713)과 제4 시점(714) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 2로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다.

[0134] 제5 시점(715)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제4 시점(714)과 제5 시점(715) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 3으로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 초기화된 디지털 신호(DS) 값인 0에 제4 시점(714)과 제5 시점(715) 사이의 가중치 신호(WS) 값인 2를 더한 값인 2를 디지털 신호(DS)로서 출력한다.

[0135] 제6 시점(716)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제5 시점(715)과 제6 시점(716) 사이에서 카운트 제어 신호(UDCS)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 4로 업 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 제5 시점(715)과 제6 시점(716) 사이의 디지털 신호(DS) 값인 2에 제5 시점(715)과 제6 시점(716) 사이의 가중치 신호(WS) 값인 3을 더한 값인 5를 디지털 신호(DS)로서 출력한다.

[0136] 제7 시점(717)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제6 시점(716)과 제7 시점(717) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 4에서 3으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 제6 시점(716)과 제7 시점(717) 사이의 디지털 신호(DS) 값을 5로 유지한다.

[0137] 제8 시점(718)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제7 시점(717)과 제8 시점(718) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 3에서 2로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 제7 시점(717)과 제8 시점(718) 사이의 디지털 신호(DS) 값인 5에 제7 시점(717)과 제8 시점(718) 사이의 가중치 신호(WS) 값인 3을 더한 값인 8을 디지털 신호(DS)로서 출력한다.

[0138] 제9 시점(719)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제8 시점(718)과 제9 시점(719) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 2에서 1로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 제8 시점(718)과 제9 시점(719) 사이의 디지털 신호(DS) 값을 8로 유지한다.

- [0139] 제10 시점(720)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제9 시점(719)과 제10 시점(720) 사이에서 카운트 제어 신호(UDCS)가 논리값 0을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 1에서 0으로 다운 카운팅한다. 멀티플렉서(114)는 가중치 신호(WS)로서 카운트 신호(CS)를 출력한다. 적분 유닛(122b)은 제9 시점(719)과 제10 시점(720) 사이의 디지털 신호(DS) 값인 8에 제9 시점(719)과 제10 시점(720) 사이의 가중치 신호(WS) 값인 1을 더한 값인 9를 디지털 신호(DS)로서 출력한다.
- [0140] 제11 시점(721)에서 아날로그-디지털 컨버터(100)의 신호들의 동작은 다음과 같다. 제10 시점(720)과 제11 시점(721) 사이에서 초기화 신호(RST)가 논리값 1을 가지므로, 카운터(111)는 카운트 신호(CS) 값을 0으로 초기화한다. 제10 시점(720)과 제11 시점(721) 사이의 디지털 신호(DS) 값인 9가 일정 시간의 아날로그 신호(AS) 값에 상응한다.
- [0141] 나머지 아날로그-디지털 컨버터(100)의 신호들은 위 설명에 기초하여 이해할 수 있으므로 설명을 생략한다.
- [0142] 도 14는 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120b)를 포함하고, 가중치 신호 생성부(110)가 커스텀(Custom) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 14는 커스텀 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 2차 커스텀 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 14와 다르게 동작할 수 있다. 도 14의 타이밍도는 도 9 및 도 13을 참조하여 이해할 수 있으므로 자세한 설명은 생략한다.
- [0143] 도 15는 아날로그-디지털 컨버터(100)가 가중치 신호 생성부(110) 및 제1 적분기(120b)를 포함하고, 가중치 신호 생성부(110)가 1차 매치드(1st order matched) 특성을 가지는 가중치 신호(WS)를 생성하는 실시예의 타이밍도이다. 도 15는 1차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100) 동작의 일 실시예일 뿐이며, 1차 매치드 특성을 가지는 가중치 신호(WS)를 생성하는 가중치 신호 생성부(110)를 포함하는 아날로그-디지털 컨버터(100)는 도 15와 다르게 동작할 수 있다. 도 15의 타이밍도는 도 10 및 12를 참조하여 이해할 수 있으므로 자세한 설명은 생략한다.
- [0144] 도 16은 도 1의 아날로그-디지털 컨버터를 포함하는 이미지 센서를 나타내는 블록도이다.
- [0145] 도 16을 참조하면, 이미지 센서(1000)는 픽셀 어레이(1010), 이미지 판독 회로(1020), 스위치 회로(1060), 타이밍 제어 회로(TIMING CONTROL CIRCUIT; 1032), 행 스캔 회로(ROW SCAN CIRCUIT; 1031) 및 열 스캔 회로(COLUMN SCAN CIRCUIT; 1033)를 포함한다. 픽셀 어레이(1010)는 복수 개의 픽셀(1011)을 포함한다. 이미지 판독 회로(1020)는 복수의 아날로그-디지털 컨버터들(ADC1, ADC2, ADC3)을 포함한다. 스위치 회로(1060)는 복수 개의 스위치들 및 공통 출력선(1061)을 포함한다.
- [0146] 타이밍 제어 회로(1032)는 클럭 신호(CLK)를 입력 받아 행 스캔 회로 제어 신호(1041) 및 열 스캔 회로 제어 신호(1042)를 생성한다. 행 스캔 회로(1031)는 행 스캔 회로 제어 신호(1041)에 응답하여 제1 행 제어 신호(1051), 제2 행 제어 신호(1052) 내지 제N 행 제어 신호(1053) 중 하나를 활성화시킨다. 열 스캔 회로(1033)는 열 스캔 회로 제어 신호(1042)에 응답하여 열 선택 신호(SEL)를 생성한다.
- [0147] 픽셀 어레이(1010)는 입력된 빛의 세기에 상응하는 픽셀 신호들을 출력한다. 행 제어 신호들(1051, 1052, 1053)에 의해 선택된 픽셀들에서 생성된 픽셀 신호들은 열 신호들(1054, 1055, 1056)로서 아날로그-디지털 컨버터들(ADC1, ADC2, ADC3)에 전달된다.
- [0148] 아날로그-디지털 컨버터들(ADC1, ADC2, ADC3)은 상기 픽셀 신호들에 상응하는 디지털 신호들을 생성한다. 아날로그-디지털 컨버터들(ADC1, ADC2, ADC3)에 대하여 도 1 내지 도 15를 참조하여 기술하였다.
- [0149] 스위치 회로(1061)는 열 선택 신호(SEL)에 기초하여 상기 디지털 신호들 중 하나를 선택하고, 선택된 디지털 신호를 공통 출력선(1061)을 통해 출력한다. 스위치들의 각각의 일 말단에는 아날로그-디지털 컨버터들(ADC1, ADC2, ADC3)이 생성한 디지털 신호들의 각각이 인가된다. 스위치들의 각각의 타 말단에는 공통 출력선(1061)이 전기적으로 연결된다.
- [0150] 도 17은 도 16의 이미지 센서를 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.
- [0151] 도 17을 참조하면, 컴퓨팅 시스템(1100)은 이미지 센서(1110), 프로세서(1120) 및 저장 장치(STORAGE DEVICE)(1130)를 포함한다.
- [0152] 이미지 센서(1110)는 입사광에 상응하는 디지털 신호를 생성한다. 저장 장치(1130)는 상기 디지털 신호를 저장

한다. 프로세서(1120)는 이미지 센서(1110) 및 저장 장치(1130)의 동작을 제어한다.

- [0153] 컴퓨팅 시스템(1100)은 메모리 장치(MEMORY DEVICE)(1140), 입출력 장치(1150) 및 전원 장치(1160)를 더 포함할 수 있다. 또한, 도 17에는 도시되지 않았지만, 컴퓨팅 시스템(1100)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 전자 기기들과 통신할 수 있는 포트(port)들을 더 포함할 수 있다.
- [0154] 프로세서(1120)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라서, 프로세서(1120)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU, Central Processing Unit)일 수 있다. 프로세서(1120)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus)를 통하여 저장 장치(1130), 메모리 장치(1140) 및 입출력 장치(1150)에 연결되어 통신을 수행할 수 있다. 실시예에 따라서, 프로세서(1120)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0155] 저장 장치(1130)는 플래시 메모리 장치(flash memory device), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 및 모든 형태의 비휘발성 메모리 장치 등을 포함할 수 있다.
- [0156] 메모리 장치(1140)는 컴퓨팅 시스템(1100)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(1140)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM), 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 등과 같은 휘발성 메모리 장치 및 이피롬(Erasable Programmable Read-Only Memory; EPROM), 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 및 플래시 메모리 장치(flash memory device) 등과 같은 비휘발성 메모리 장치를 포함할 수 있다.
- [0157] 입출력 장치(1150)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터, 디스플레이 등과 같은 출력 수단을 포함할 수 있다. 전원 장치(1160)는 컴퓨팅 시스템(1100)의 동작에 필요한 동작 전압을 공급할 수 있다.
- [0158] 이미지 센서(1110)는 상기 버스들 또는 다른 통신 링크를 통해서 프로세서(1120)와 연결되어 통신을 수행할 수 있다.
- [0159] 이미지 센서(1110)는 도 16에 도시된 이미지 센서(1000)로 구현될 수 있다. 이미지 센서(1000)의 구성 및 동작에 대해서는 도 1 내지 16을 참조하여 상세히 설명하였으므로 이미지 센서(1000)에 대한 상세한 설명은 생략한다.
- [0160] 이미지 센서(1110)는 다양한 형태들의 패키지로 구현될 수 있다. 예를 들어, 이미지 센서(1110)의 적어도 일부의 구성들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0161] 실시예에 따라서, 이미지 센서(1110)는 프로세서(1120)와 함께 하나의 칩에 집적될 수도 있고, 서로 다른 칩에 각각 집적될 수도 있다.
- [0162] 한편, 컴퓨팅 시스템(1100)은 이미지 센서(1110)를 이용하는 모든 컴퓨팅 시스템으로 해석되어야 할 것이다. 예를 들어, 컴퓨팅 시스템(1100)은 디지털 카메라, 이동 전화기, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 스마트폰 등을 포함할 수 있다.
- [0163] 도 18은 도 17의 컴퓨팅 시스템에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.
- [0164] 도 18을 참조하면, 컴퓨팅 시스템(1200)은 MIPI 인터페이스를 사용 또는 지원할 수 있는 데이터 처리 장치(예를 들어, 이동 전화기, 피디에이(Personal Digital Assistants; PDA), 피엠펜(Portable Multimedia Player; PMP), 스마트폰 등)로 구현될 수 있고, 어플리케이션 프로세서(1210), 이미지 센서(1240) 및 디스플레이(1250) 등을 포함할 수 있다.
- [0165] 어플리케이션 프로세서(1210)의 CSI 호스트(1212)는 카메라 시리얼 인터페이스(Camera Serial Interface; CSI)를 통하여 이미지 센서(1240)의 CSI 장치(1241)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, CSI 호스트(1212)는 광 디시리얼라이저(DES)를 포함할 수 있고, CSI 장치(1241)는 광 시리얼라이저(SER)를 포함할 수

있다. 어플리케이션 프로세서(1210)의 DSI 호스트(1211)는 디스플레이 시리얼 인터페이스(Display Serial Interface DSI)를 통하여 디스플레이(1250)의 DSI 장치(1251)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, DSI 호스트(1211)는 광 시리얼라이저(SER)를 포함할 수 있고, DSI 장치(1251)는 광 디시리얼라이저(DES)를 포함할 수 있다.

[0166] 이미지 센서(1240)는 도 16에 도시된 이미지 센서(1000)로 구현될 수 있다. 이미지 센서(1000)의 구성 및 동작에 대해서는 도 1 내지 16을 참조하여 상세히 설명하였으므로 이미지 센서(1000)에 대한 상세한 설명은 생략한다.

[0167] 또한, 컴퓨팅 시스템(1200)은 어플리케이션 프로세서(1210)와 통신을 수행할 수 있는 알에프(Radio Frequency; RF) 칩(1260)을 더 포함할 수 있다. 컴퓨팅 시스템(1200)의 PHY(1213)와 RF 칩(1260)의 PHY(1261)는 MIPI(Mobile Industry Processor Interface) DigRF에 따라 데이터 송수신을 수행할 수 있다. 또한, 어플리케이션 프로세서(1210)는 PHY(1261)의 MIPI DigRF에 따른 데이터 송수신을 제어하는 DigRF MASTER(1214)를 더 포함할 수 있고, RF 칩(1260)은 DigRF MASTER(1214)를 통하여 제어되는 DigRF SLAVE(1262)를 더 포함할 수 있다.

[0168] 한편, 컴퓨팅 시스템(1200)은 지피에스(Global Positioning System; GPS)(1220), 스토리지(1270), 마이크(1280), 디램(Dynamic Random Access Memory; DRAM)(1285) 및 스피커(1290)를 포함할 수 있다. 또한, 컴퓨팅 시스템(1200)은 초광대역(Ultra WideBand; UWB)(1310), 무선랜(Wireless Local Area Network; WLAN)(1320) 및 와이맥스(Worldwide Interoperability for Microwave Access; WIMAX)(1330) 등을 이용하여 통신을 수행할 수 있다. 다만, 컴퓨팅 시스템(1200)의 구조 및 인터페이스는 하나의 예시로서 이에 한정되는 것이 아니다.

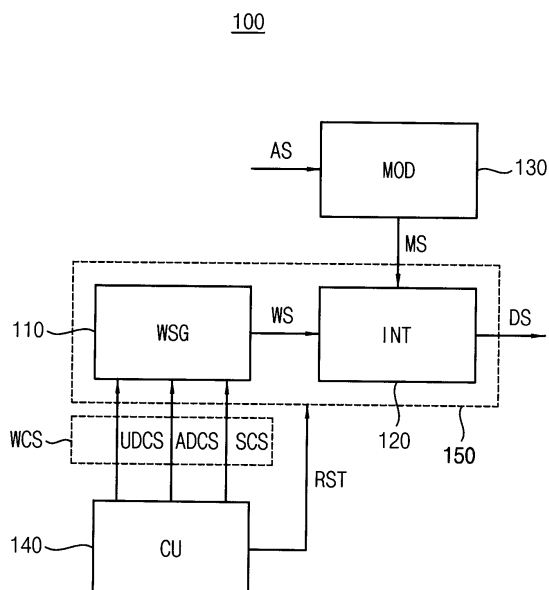
산업상 이용가능성

[0169] 본 발명은 이미지 센서를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 휴대폰(Mobile Phone), 스마트폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 디지털 TV(Digital Television) 등에 적용될 수 있다.

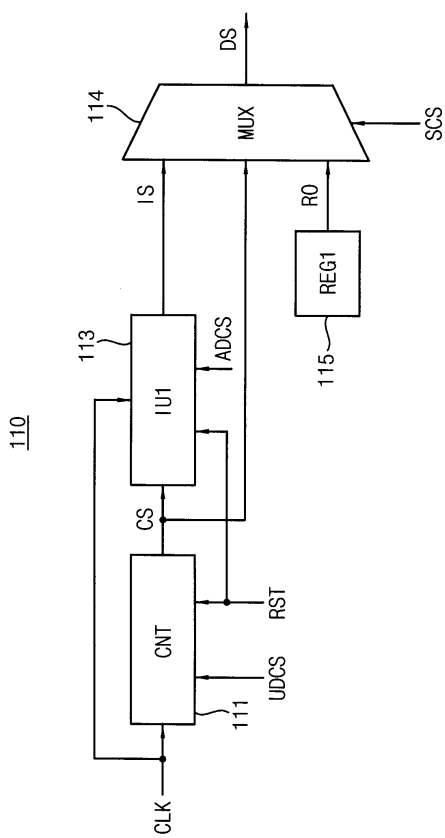
[0170] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

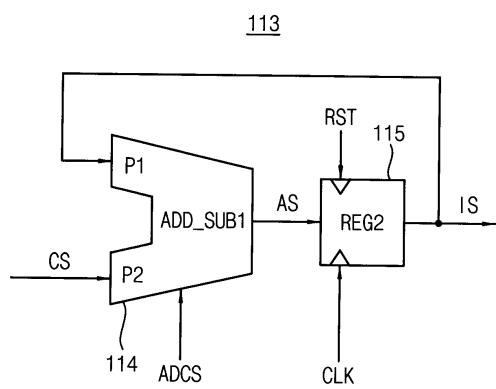
도면1



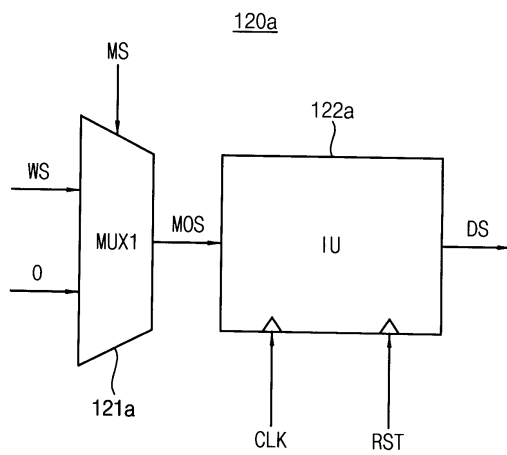
도면2



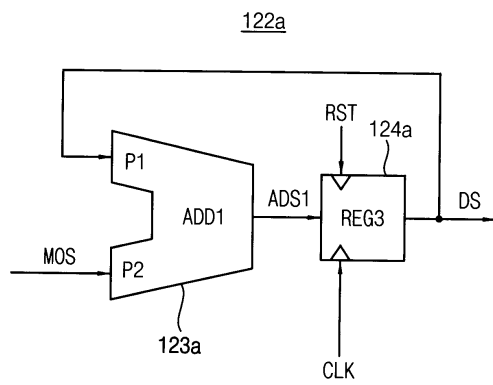
도면3



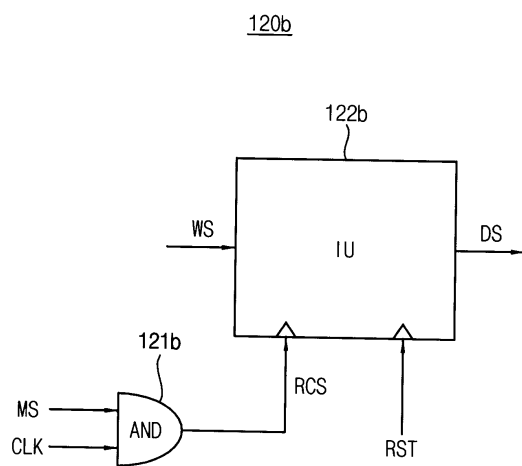
도면4



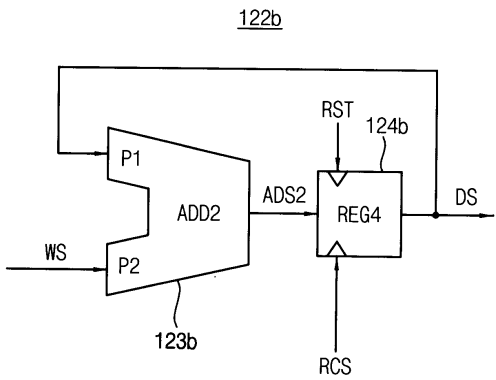
도면5



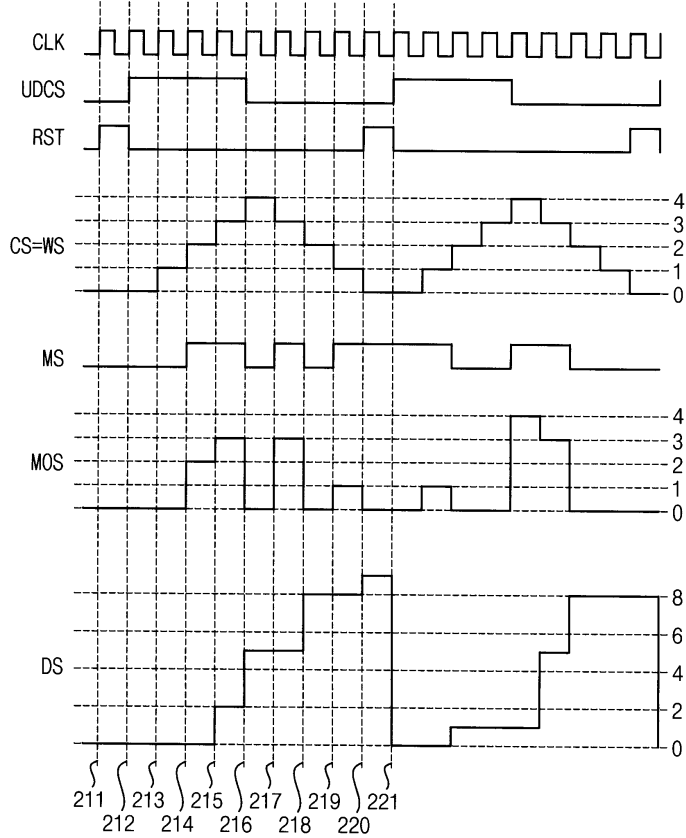
도면6



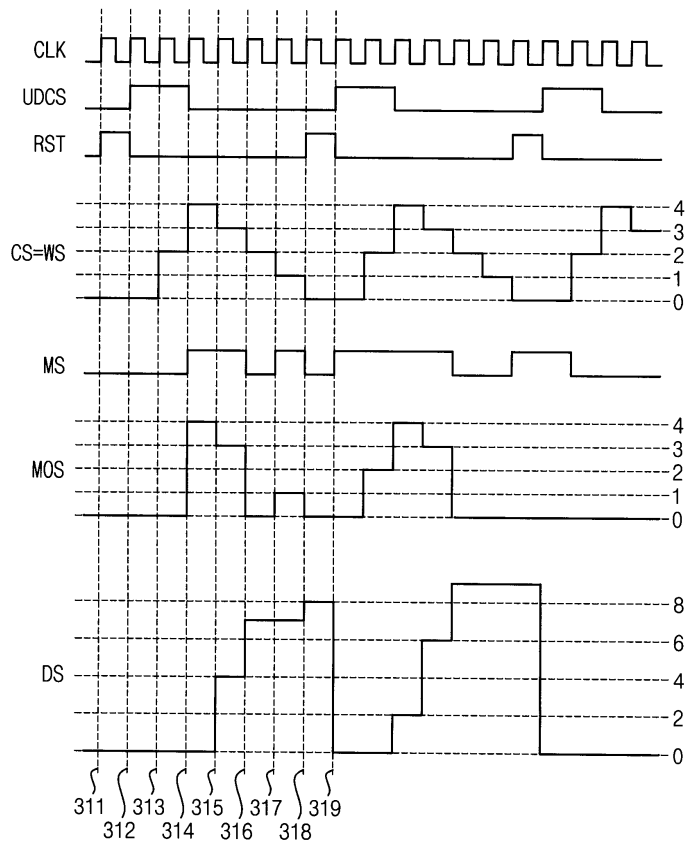
도면7



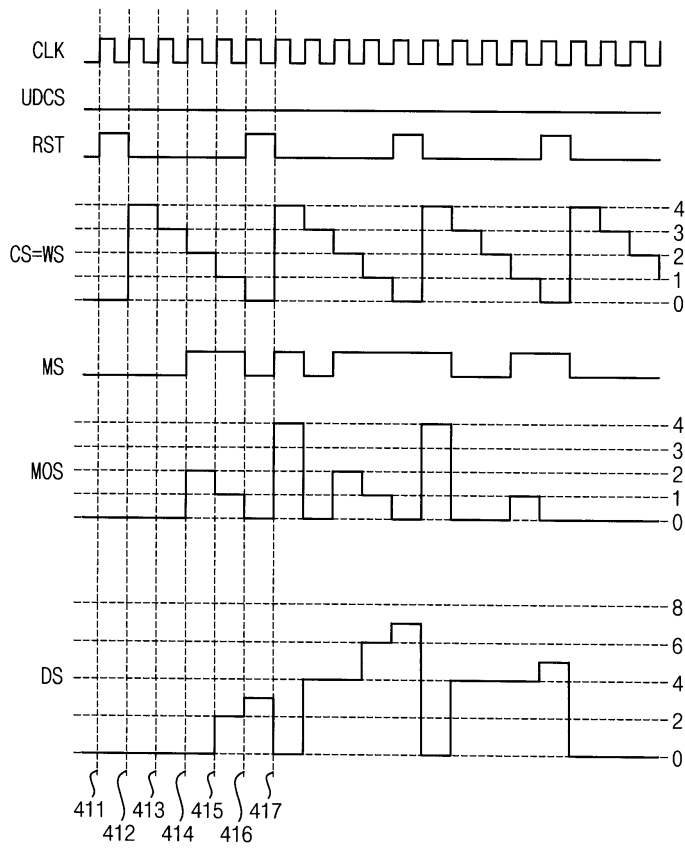
도면8



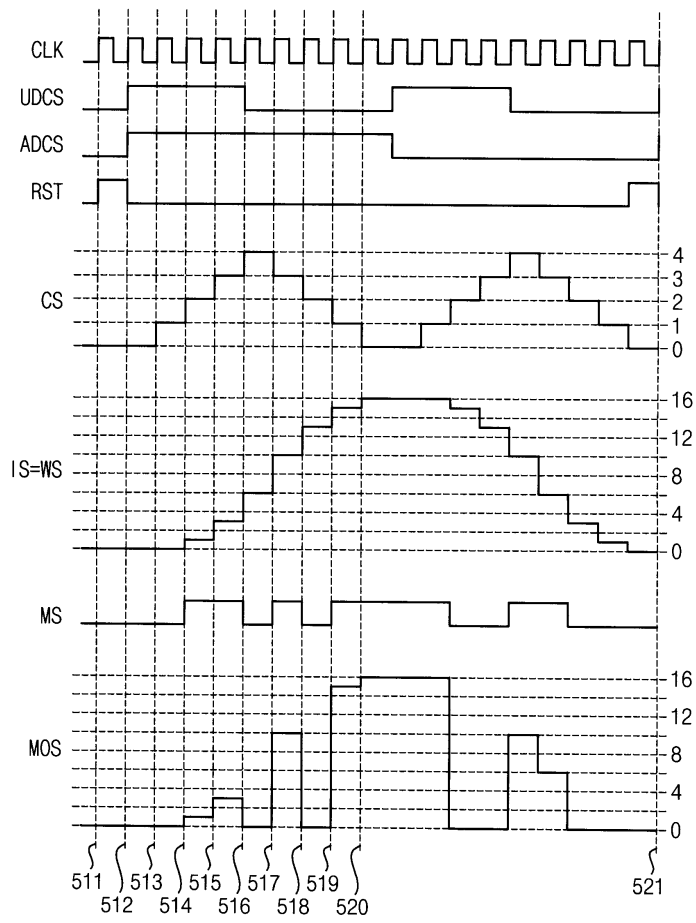
도면9



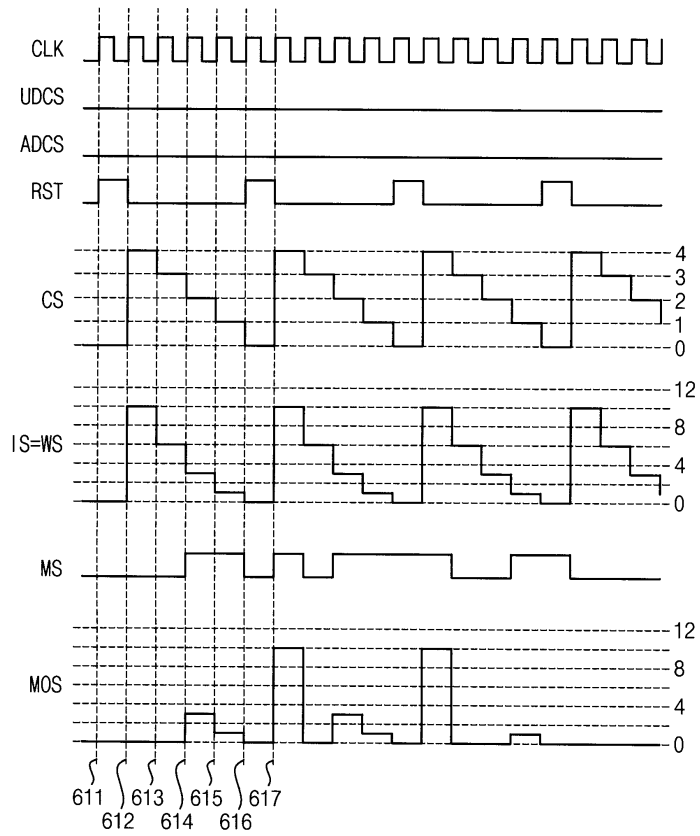
도면10



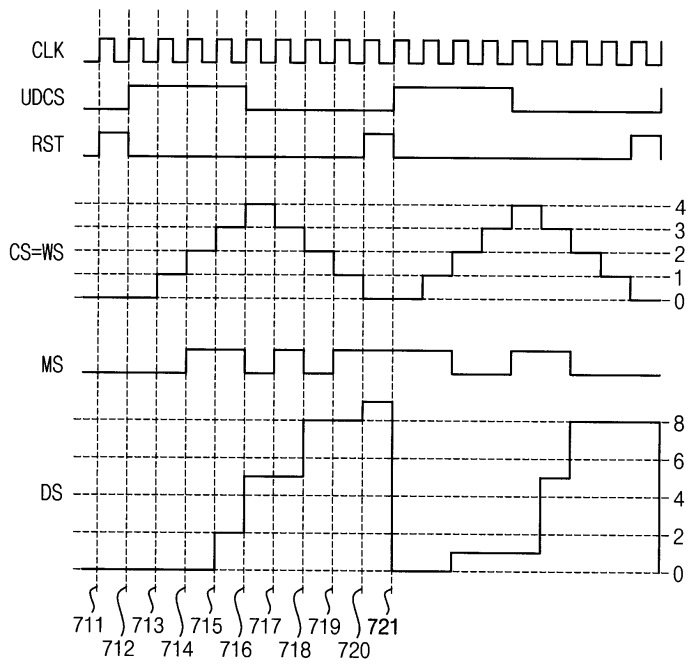
도면11



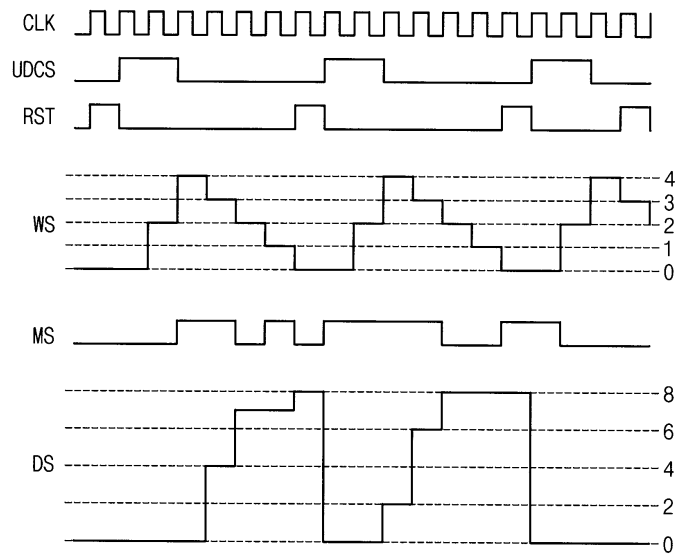
도면12



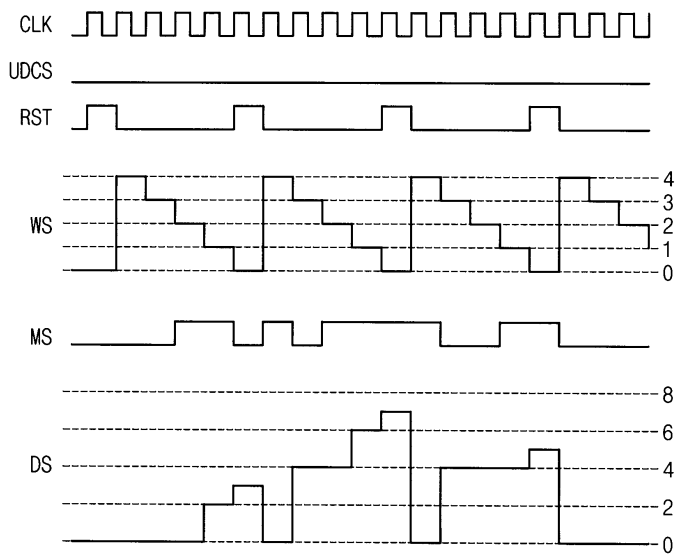
도면13



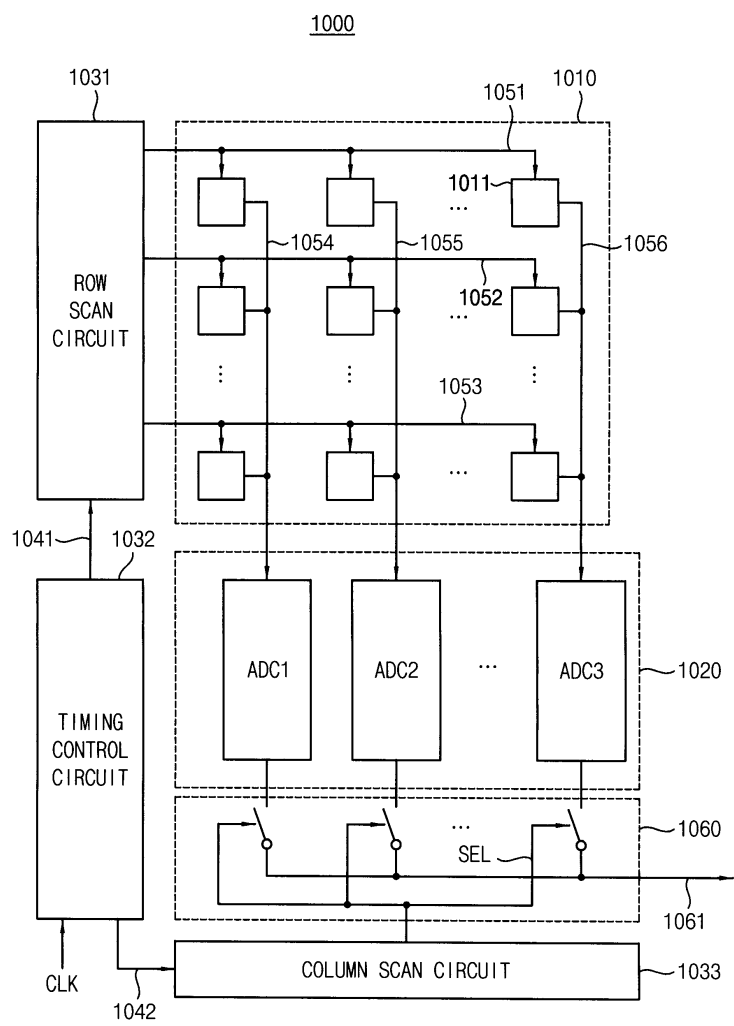
도면14



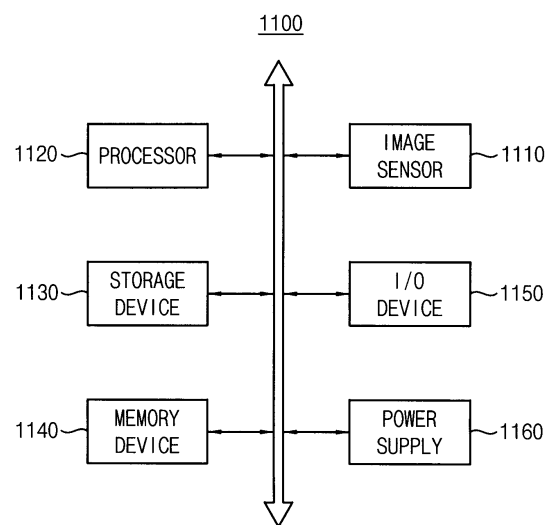
도면15



도면16



도면17



도면18

